

采用增强模式 GaN HEMT 的先进准谐振离线高压转换器

特性



- 准谐振 (QR) 反激控制器
- 650 V E-mode 功率 GaN 晶体管
- 嵌入 sense FET
- 动态消隐时间和可调谷值同步延迟功能，以最大限度地提高任何输入线路和负载条件下的效率
- 谷底锁定确保持续跳谷底
- 具有自适应突发模式的先进电源管理，待机功耗低于 30 mW
- 输出 OVP 保护
- 针对独立电源 OPP 变化的输入电压前馈补偿
- 过压和欠压保护
- 输入 OVP 保护
- 集成热关断保护
- 具有抖频功能，用于 EMI 抑制

应用

- 高效电源适配器
- 快速电池充电器
- 适用于各类电器、工业、消费品、照明应用的辅助电源

产品状态链接

VIPERGAN100

产品标签



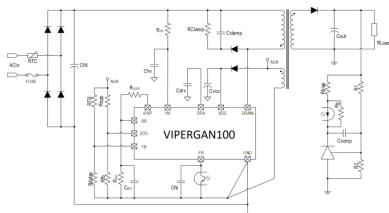
说明

VIPERGAN100 是一款高压转换器，适用于中等功率的准谐振 ZVS（开关开启时的零电压开关）反激式转换器，能够在宽范围内提供高达 75W 的输出功率，在欧洲市电范围内或在前端配备 PFC 的情况下提供高达 100W 的输出功率。

该器件集成了一套完整的功能，提供了极其灵活且易于使用的芯片，有助于设计高效的离线电源。ZVS 准谐振操作模式具有动态消隐时间功能和谷底同步功能，始终在漏极谐振的谷底处打开电源开关，降低了开关损耗，并在任何输入线路和负载条件下最大限度地提高了整体效率。先进的低静态功耗电源管理有助于实现低待机功耗。前馈补偿使整个输入电压范围内的最大输出峰值功率变化最小化。

除上述功能外，该器件还提供了显著提高最终产品安全性和可靠性的保护功能：输出过压保护、超温保护 (OTP)、过载保护 (OLP)、过压/欠压保护，此类功能可设置输入电压电平以开关转换器以及输入过压保护 (iOVP)，同时可在输入线路异常情况下保护系统。所有保护均为自动重启模式。

图 1. 典型应用



1 引脚连接和功能

图 2. 连接图 (顶视图)

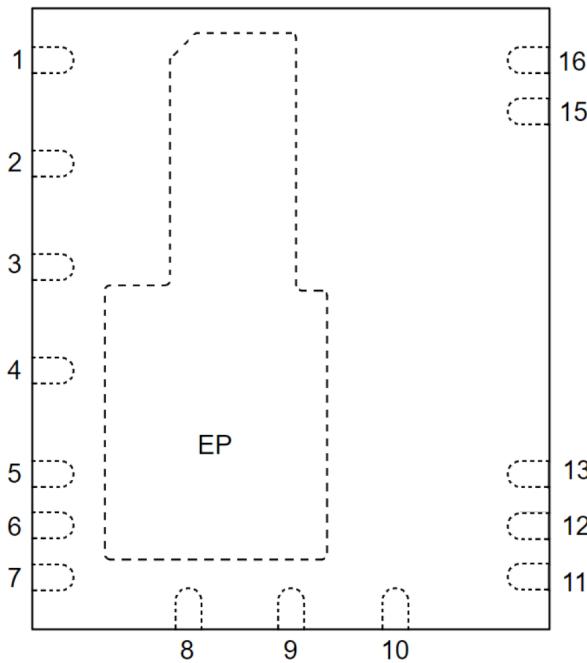


表 1. 引脚功能

引脚号	名称	功能
1,2,3,4,	GND	用于电流返回的设备接地。
5	BR	输入过压和欠压保护。该引脚和 GND 之间需要放置一个 10nF 电容。如果不使用此功能，则该引脚必须连接到 GND。
6	iOVP	输入 OVP 保护。如果不需要此功能，则该引脚必须连接到 GND。
7	N.A.	用户不可用。该引脚机械地连接到框架的控制器芯片焊盘上。要提高噪声抗扰能力，须将其连接到 GND。
8	HV	启动引脚。通过一个电阻连接到电源，为高压启动发生器提供偏置电压。它也可用作上层电阻来设置 BR 和 iOVP 功能。在 $10\text{-}30\text{ M}\Omega$ 范围内选择一个值，以尽量减少剩余消耗。 该引脚和 GND 之间必须连接一个 220 pF 的陶瓷电容器，以确保高压启动控制逻辑正常运行。
9	TB	消隐时间调整和谷值同步。在导通期间，连接在 TB 和辅助绕组之间的电阻通过与输入电压成比例的方式增加了消隐时间，以减少高压线路的开关损耗。 在关断期间，连接在辅助绕组、TB 和 GND 之间的分压器允许调整退磁后的导通延迟时间，以精确地将 GaN 导通与谐振谷值同步。 如果两个功能均不使用，则将该引脚连接到 GND。
10	FB	反馈。该引脚用于设置给定输出负载的控制回路所需的峰值电流值。 该引脚是光耦合器的输入。电压比阈值 V_{FBbm} 低 100 mV 时会激活突发模式工作。接近阈值 V_{FBH} 的电平意味着每个周期之间的过电流置位点相接近。

引脚号	名称	功能
11	ZCD	ZCD 准谐振运行时的变压器退磁感应。 分压器必须连接在辅助绕组、ZCD 和 GND 之间。穿过引脚的负向沿触发 GaN 导通。 在 GaN 导通期间，监测引脚产生的电流，以获得转换器输入电压的镜像，用于前馈补偿。 在 GaN 的关断期间，超过 OVP 阈值的电压会关闭 IC，从而降低器件消耗。该功能经过选通和数字滤波，可实现高抗噪能力。
12	VDD	控制器电源。一个电解电容器（连接在该引脚和 GND 之间）最初由内部高压启动发生器充电。 在 VDD 和 GND 之间可能需要一个 100 nF 的陶瓷帽（尽可能靠近 IC），以抑制来自内部电路的高频干扰。
13	DRV	GaN 驱动器部分电源。内部稳压器将 GaN 的驱动电压严格设定为 6 V，以获得理想性能。 该引脚和 GND 之间需要放置一个低 ESR/ESL 1 μF 陶瓷电容。
15,16	DRAIN	GaN 开关的 DRAIN 引脚
EP	EP	裸露焊盘。该引脚机械地连接到框架的控制器芯片焊盘上。要提高噪声抗扰能力，须将其连接到 GND。

2 电气数据

2.1 绝对最大额定值

如果对器件施加的压力超出了表 2 中列出的额定值，可能会对设备造成永久损坏。这些仅仅是耐受额定值，并不意味器件可在这些条件下或是超出本说明书工作原理部分指示的任何条件下工作。长期处在绝对最大额定值的条件下会影响器件的可靠度。

表 2. 绝对最大额定值

符号	引脚	参数	值		单位
			最小值	最大值	
V_{DRAIN}	15,16	漏极阻断直流电压		650	V
		漏极瞬态电压 ($T_{pulse} < 1 \mu s$)		850	
	5,10	模拟输入&输出	-0.3	3.6	V
I_{ZCD}	11	零电流检测器电流	-3	3	mA
I_{TB}	9	TB 电流	-3	3	mA
V_{DD}	12	供电电压 ($I_{DD} < 25 \text{ mA}$)	-0.3	自限制	V
I_{DD}	12	设备供电电流+内部齐纳能力		25	mA
V_{DRV}	13	驱动器电源最大电压		12	V
V_{IOVP}	6	iOVP 配置, 符合图 1、图 2 或图 3		10	V
		iOVP 外部偏置		6	V
V_{HV}	8	启动引脚 ($I_{HV} < 100 \mu A$)	-0.3	自限制	
T_J		结温范围	-40	150	°C
T_{STG}		存储温度	-55	150	°C

2.2 热工数据

表 3. 热数据

符号	参数	最大值	单位
R_{TH-JEP}	结到裸露焊盘的热阻 ⁽¹⁾	1.5	°C/W
R_{TH-JA}	热阻 (结到环境) ⁽¹⁾	32	°C/W

1. $P_{diss} = 1 \text{ W}$ – 自然对流-板件: 11.4 mm x 7.6 mm Fr4, 4 层, 2 盎司覆铜, 5 个通孔, 符合 EP JESD 51-7 标准

2.3 典型功率能力

表 4. 典型功率能力

85-265 V _{AC} ⁽¹⁾	185-265 V _{AC} ⁽¹⁾
75 W	100 W

1. 50°C 环境温度下且充分散热时, 适配器设计的典型最大输出功率额定值。

3 电气特性

表 5. 电气特性

$T_J = -25$ 至 125°C , $V_{DD} = 14\text{ V}$; 除非另有说明

符号	参数	测试条件	最小值	典型值	最大值	单位
功率部分						
$V_{(BL)DS}$	漏-源阻断电压	$I_D < 12\text{ }\mu\text{A}$	650			V
I_{DSS}	关断状态漏极电流	$V_{DRAIN} = 650\text{ V}$, LS 开, HS 关, $T_J = 25^\circ\text{C}$		0.5	13	μA
		$V_{DRAIN} = 650\text{ V}$, LS 开, HS 关, $T_J = 125^\circ\text{C}$		100		
$R_{DS(ON)HS}$	HS 漏-源通态电阻	$T_J = 25^\circ\text{C}$; $I_D = 2\text{ A}$		225	300	$\text{m}\Omega$
		$T_J = 125^\circ\text{C}$; $I_D = 2\text{ A}$		495		
$R_{DS(ON)LS}$	LS 漏-源通态电阻	$T_J = 25^\circ\text{C}$, $I_D = 2\text{ A}$		72		$\text{m}\Omega$
高电压启动生成器						
V_{START}	漏源起始电压	$R_{HV} = 10\text{ M}\Omega$, $T_J = 25^\circ\text{C}$			34.5	V
		$R_{HV} = 20\text{ M}\Omega$, $T_J = 25^\circ\text{C}$			41	
I_{CHARGE}	V_{DD} 启动充电电流	$V_{DD} \leq V_{DD-FOLD}$	0.4	0.65	0.9	mA
		$V_{DD-FOLD} < V_{DD} < V_{DD-ON}$	2.6	3.55	4.5	
I_{HV}	HV 关断电流	$V_{HV} = 22\text{ V}$, $T_J = 25^\circ\text{C}$		124		nA
$V_{DD-FOLD}$	V_{DD} 返送阈值		1	1.4	2	V
电源电压						
V_{DD}	工作范围	开启后	9		23	V
V_{DRV-op}	工作范围	开启后	5.7		6.3	V
V_{DD-ON}	开机阈值		14	15	16	V
V_{DD-OFF}	关机阈值		7.5	8	8.5	V
$V_{DD-RESTART}$	重启阈值		6.5	7	7.5	V
$V_{DD-ONREG}$	用于打开稳压器的 V_{DD} 电压	V_{UVLO} 之后上升的 V_{DD}	6.5	7	7.5	V
V_{DD-CL}	V_{DD} 钳位电压	$I_{DD} = 25\text{ mA}$	23.8	25	27.2	V
V_{DRV}	驱动调节电压	$I_{DRV} = 2\text{ mA}$	5.7	6	6.3	V
V_{DRV-OK}	驱动 UVLO 电压	上升电压	5.2		5.7	V
		迟滞		0.2		V
$V_{DRV-OVP}$	驱动 OVP 电压	上升电压	6.8		7.5	V
$V_{DRV-HYST}$	驱动 OVP 迟滞	迟滞		0.3		V
$I_{DRV-MAX}$	驱动短路电流	$DRV = GND$	4			mA
I_{DD-CL}	关断钳位电流		20	26	32	mA
T_{DD-CL}	关断钳位延迟			100		μs
供电电流						
I_Q	静态电流	突发模式工作			900	μA
I_{DD}	工作供电电流	$TB = GND$; $F_{SW} = 100\text{ kHz}$			3.2	mA

符号	参数	测试条件	最小值	典型值	最大值	单位
		包括DRV供电电流, $V_{FB} = 0.9\text{ V}$				
$I_{DD-FAULT}$	故障静态电流	$V_{DD} > V_{DD-OFF}$			620	μA
电流限定						
I_{DLIM}	漏极电流限制	$V_{FB} = 3.1\text{ V}$	3.318	3.5	3.682	A
I_{OCP_LEB}	OCP_LEB 电流阈值			2.69		A
I_{BM}	突发模式电流	$V_{FB} = 0.7\text{ V}$	718	840	956	mA
T_{SS}	软启动时间			8		ms
T_D	传播延时	$dI_{DRAIN}/dt = 50\text{ mA}/\mu\text{s}$			150	ns
T_{LEB}	前沿消隐		163	170	220	ns
T_{ON-MIN}	最小导通时间	$dI_{DRAIN}/dt = 50\text{ mA}/\mu\text{s}$		260	350	ns
启动定时器和频率限制						
F_{LIM_MAX}	最大内部频率限制	$TB = GND$	176	240	330	kHz
零电流检测器						
I_{ZCDB}	输入偏置电流	$V_{ZCD} = 0.1$ 至 2.7 V			1	μA
V_{ZCDH}	上钳位电压	$I_{ZCD} = 1\text{ mA}$	3		3.5	V
V_{ZCDL}	低钳位电压	$I_{ZCD} = -1\text{ mA}$		-60		mV
V_{ZCDA}	预备电压	正向沿	100	110	120	mV
V_{ZCDT}	触发电压	负向沿	50	60	70	mV
T_{BLANK}	GaN 导通之后的触发器消隐时间	$V_{FB} \geq V_{FBR}, I_{TB-neg} = 0$	3.04	4.16	5.66	μs
		$V_{FB} \geq V_{FBR}, I_{TB-neg} = 1\text{ mA}$	10	15	20	
		$V_{FB} = V_{FBB}$	12	16	20	
T_{FORCE}	消隐之后的强制导通时间	软启动之后	2	2.7	3.4	μs
		软启动期间			23	
补偿						
V_{FBH}	上饱和		3			V
V_{FBR}	降频阈值		0.98	1.15	1.32	V
V_{FBB}	突发模式阈值		0.63	0.7	0.77	V
V_{HYST}	突发模式迟滞			60		mV
K_V	FB 电压对电流感应阈值增益				92.8	mV/V
G1	电压到 RSNS_RF 电流				58.3	$\mu\text{A/V}$
R_{SNS_RF}	FB 内部电流感应电阻				1.55	$\text{k}\Omega$
H_{FB}	电流感应增益				0.87	V/A
I_{FB}	电流	$V_{FB} = 0\text{ V}$	70	100	130	μA
R_{FB}	动态反馈电阻				15	$\text{k}\Omega$
动态消隐时间和导通延迟设置						
K_{BLANK}	消隐时间增益	$I_{TB} = 10\text{ }\mu\text{A}$ to 1 mA	7.64	10.91	14.18	ms/mA

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{TBH}	TB 上钳位电压	$I_{TB} = 1 \text{ mA}$	3.1	3.3	3.5	V
V_{TBL}	TB 低钳位电压	$I_{TB} = 1 \text{ mA}$	-30		20	mV
$V_{D-ON(MIN)}$	TB 低延迟电压			0.6		V
$V_{D-ON(MAX)}$	TB 上延迟电压			2.6		V
$T_{D-ON(MIN)}$	触发之后的最低导通延迟时间	$V_{TB} \leq V_{D-ON(MIN)}$		197		ns
$T_{D-ON(MAX)}$	触发之后的最低导通延迟时间	$V_{TB} \geq V_{D-ON(MAX)}$		1.1		μs
V_{TB-DIS}	禁用 TB 引脚电压		80	100	120	mV
I_{TB-DIS}	禁用 TB 电流		160	200	240	mA
过电压保护						
$VOVP$	OVP 阈值		2.375	2.5	2.625	V
线路电压前馈						
α_{FF}	前馈电流调制增益	$V_{FB} > 1.2 \text{ V}$	44	55	66	$\mu\text{A}/\text{mA}$
		$V_{FB} < 0.8 \text{ V}$	8.8	11	13.2	
过载保护						
T_{OVL}	过载时间			50		ms
$T_{RESTART}$	故障后重启时间			1		s
过压/欠压和输入 OVP						
V_{BR-IN}	过压阈值		0.475	0.5	0.525	V
V_{BR-OUT}	欠压阈值		0.38	0.4	0.42	V
V_{BR-DIS}	过压/欠压禁用电压		80	100	120	mV
I_{BR-DIS}	过压/欠压禁用电流		12	15	18	mA
T_{BR-IN}	过压延迟时间		200	250	300	ms
T_{BR-OUT}	欠压延迟时间		24	30	36	ms
V_{iOVP}	输入 OVP		4.75	5	5.25	V
T_{iOVP}	OVP 延迟时间		200	250	300	ms
频率抖动						
F_D	调制频率			10		kHz
V_{ZCDH}	调制占空比			50		%
ΔIpk	峰值电流变化			5		%
过热保护						
T_{SD}	热关机温度	由设计和特性加以保证	125	140	155	°C
$T_{SD-REST}$	OTP 和 OCP_LEB 激活之后的重启时间			2		s

4

典型电气特性

图 3. 典型值 I_{DLIM} vs. T_J

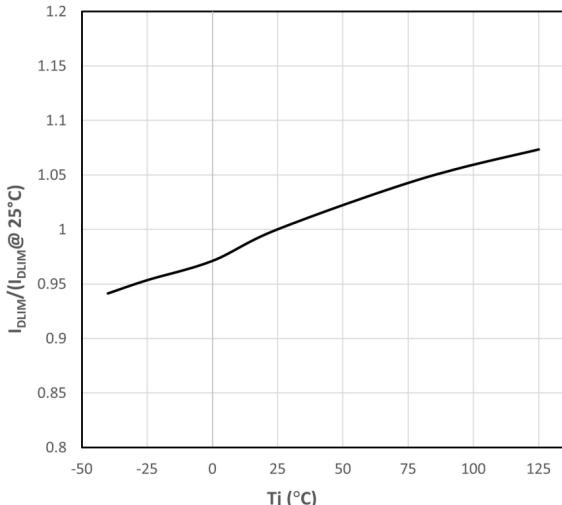


图 4. V_{START} vs. T_J @ $10 \text{ M}\Omega$ 和 $20 \text{ M}\Omega$

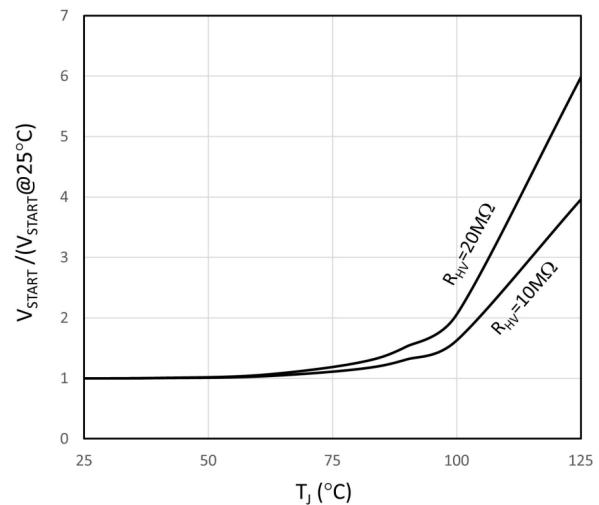


图 5. 典型值 $R_{DS(ON)}$ vs. I_D

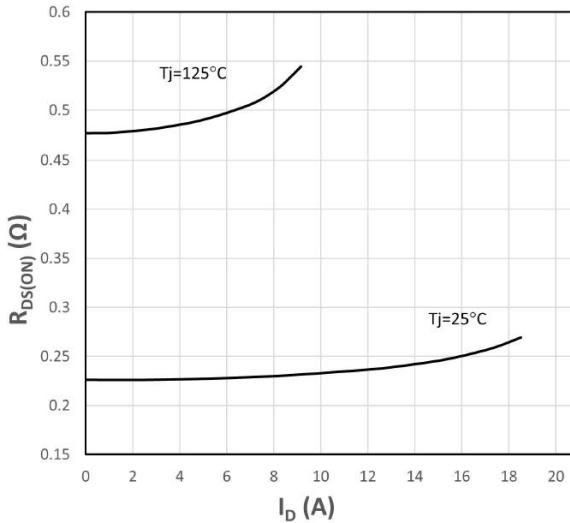


图 6. 典型值 $R_{DS(ON)}$ vs. T_J

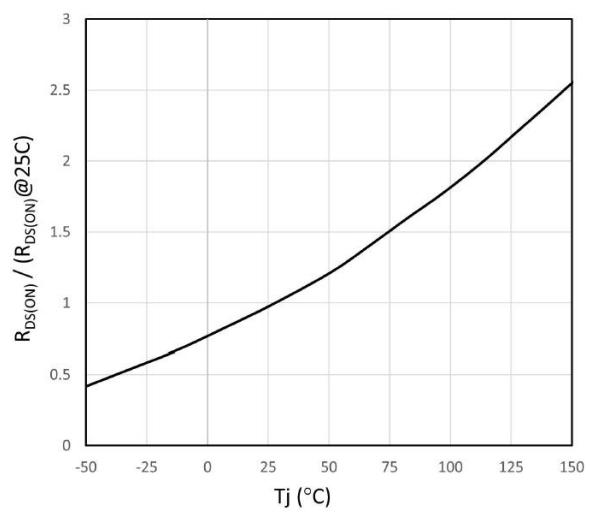
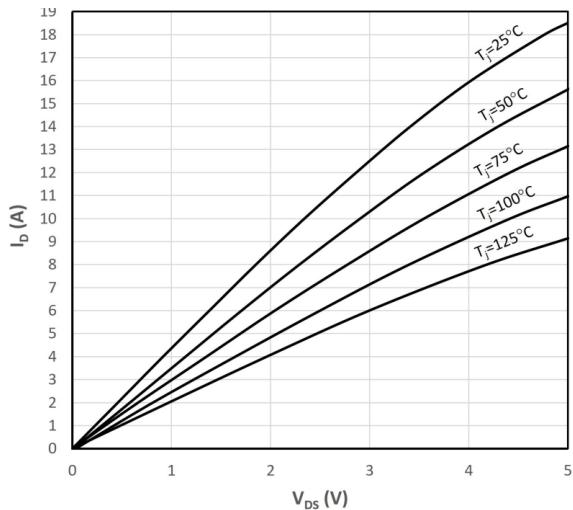
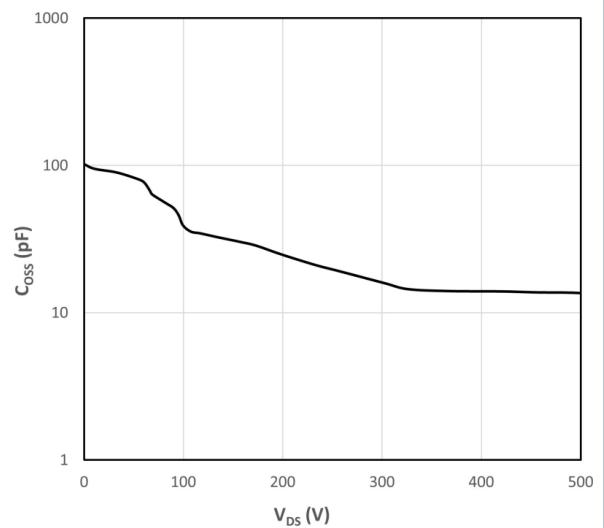
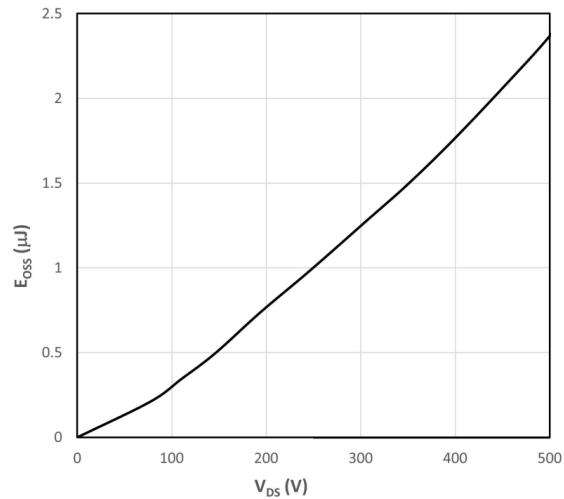


图 7. 典型值 I_D vs. V_{DS} 图 8. 典型值 C_{oss} vs. V_{DS} 图 9. 典型值 E_{oss} vs. V_{DS} 

5 应用信息

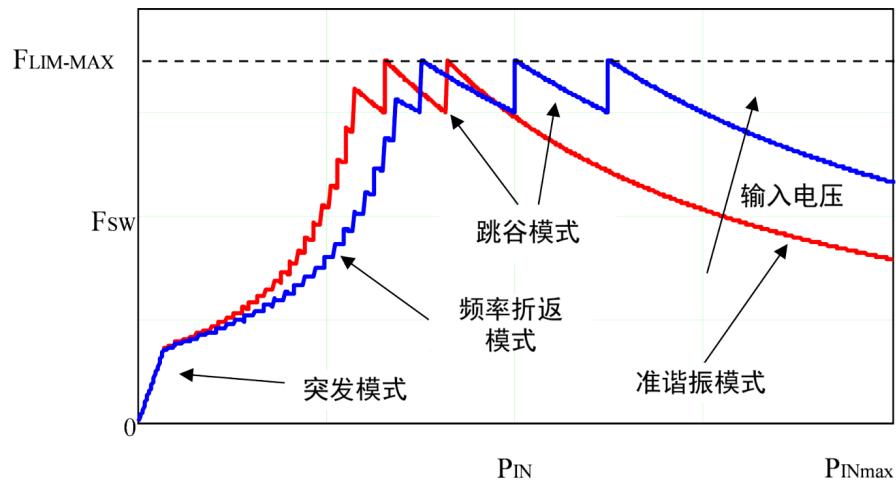
5.1 多模式运行

VIPERGAN100 是一种离线准谐振 ZVS（开关开启时的谷底导通）反激式转换器。

根据转换器的负载情况，该器件能够在不同模式下工作（参见图 10）：

1. 重载时的 QR 模式。通过检测变压器绕组上电压产生的负向沿，使 GaN 导通与变压器退磁同步，从而实现准谐振运行。系统在变压器不连续（DCM）和连续导通（CCM）的临界情况下工作。因此开关频率根据不同的线路/负载情况而不同（参见图 10 中曲线的双曲部分）。导通损耗小、低 EMI 辐射，以及短路情况下的安全特性是此类技术的主要优点。
2. 中/重负载时的跳谷底模式。该器件定义了转换器的最大工作频率。随着负载减小，GaN 在第一个谷底时不再导通，而在第二个、第三个谷底（等等）处导通。如此一来，开关频率不再增加，从而限制了开关损耗。
3. 中/低负载时的频率返送模式。最大开关频率限制随着 FB 引脚电压逐渐降低，仍然保持 ZVS 运行。这有效提高了轻负载时的效率，同时确保无噪声运行，因为开关频率的底部限值高于可听频率范围。
4. 没有或具有非常轻负载的突发模式。当负载极低或断开时，转换器在恒定的峰值电流作用下进入受控的开/关操作。负载的减少会导致频率降低，甚至可降至几百赫兹，从而降低所有频率相关损耗，更易于遵守节能法规或建议。由于峰值电流非常低，因此不会产生可听噪声。

图 10. VIPERGAN100 多模式操作

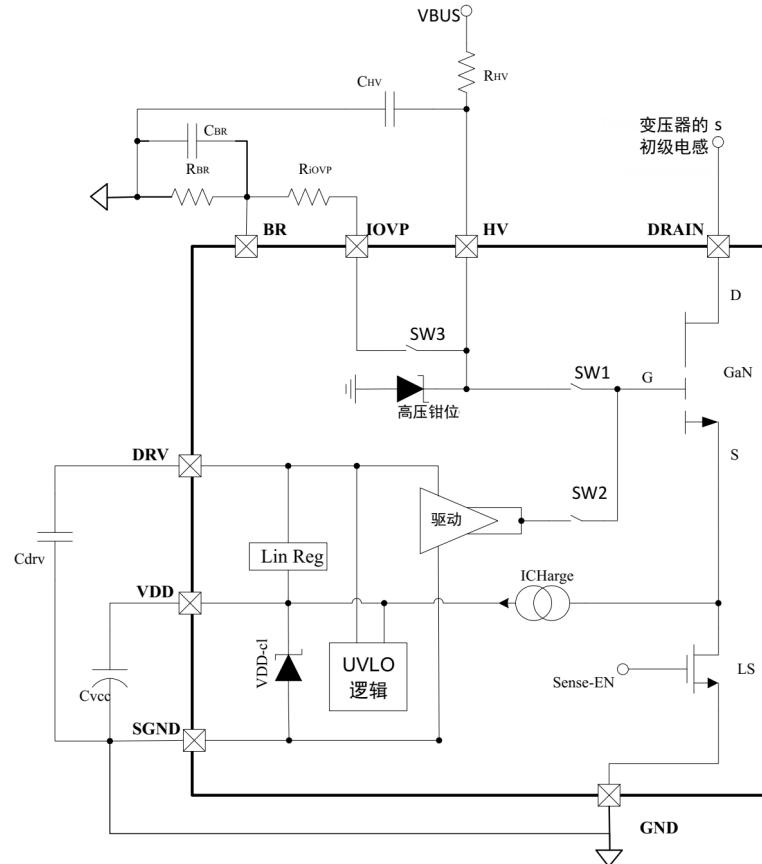


5.2 高压启动发生器和供电结构

基于双 FET 结构，高压电流发生器通过 DRAIN 引脚供电，用于启动器件。

内部原理图如图 11 所示。在启动之前，开关 SW1 闭合，SW2 和 SW3 打开；而低侧 MOSFET (LS MOSFET) 打开。当电源施加到电路后，高侧 GaN (HS GaN) 的栅极通过电阻 R_{HV} 和电容 C_{HV} 上拉。当电压足够高时，内部电流发生器吸收电流 I_{CHARGE} (3.55 mA, 典型值)，以便为连接在 V_{DD} 和 GND 之间的电容充电。为了避免在 V_{DD} 意外短路到 GND 时出现过高的 IC 耗散，该电流将首先减小到 0.6 mA，直至 V_{DD_FOLD} 低于 V_{DD}。

图 11. 高压启动发生器：内部原理图和引脚配置



一旦 V_{DD} 达到 $V_{DD-ONREG}$ 阈值，为 DRV 引脚供电的线性稳压器将开启， DRV 电压开始充电。

一旦 V_{DD} 达到启动阈值 V_{DD-ON} ：

1. 控制逻辑会禁用内部电流发生器；
2. 开关 $SW1$ 打开， HV 引脚被钳位到 27 V（通过 HV_{clamp} ）；
3. 开关 $SW2$ 闭合，将 GaN 栅极拉到零；
4. 开关 $SW3$ 闭合，在内部将 HV 引脚与 $iOVP$ 连接；
5. 最后， LS MOSFET 开启，其漏-源电阻 $R_{DS(ON)LS}$ 用作感应电阻。

仅当 V_{DRV} 高于 V_{DRV-OK} 阈值时，开关活动才开始。

DRV 引脚电压没有上限，但如果 V_{DRV} 被意外设置为高于 7V（典型值），此时驱动器不传输栅极信号。

如果 V_{DD} 不够高，或者负载过大，则 DRV 线性稳压器可能会出现电压下降。为了避免不正确的 GaN 驱动，如果 V_{DRV} 掉至 ($V_{DRV-OK} - \text{迟滞}$) 以下，开关活动将中断。

如果 V_{DD} 掉至 V_{DD-off} 以下，开关活动将立即中断， GaN 将转换为高压启动。

当向下交叉时， $UVLO$ 阈值用于完全重置内部逻辑。

电流发生器关闭之后，剩余消耗只有几 mW，具体取决于电阻 $R_{淮V}$ 的值；10 到 30 MΩ 范围内的值有助于将剩余损耗最小化，即使当 IC 必须在极低输入电压下工作时可能需要更低的值。

下电后，当输入电压低于 V_{START} 且 V_{DD} 低于 V_{DD-OFF} 时，转换器活动停止。

5.3

零电流检测和触发模块

如果在 ZCD 引脚上施加低于 60 mV 的负向沿，则零电流检测（ZCD）和触发模块导通功率 GaN。要做到这一点，触发模块必须事先加载一个超过 110 mV 的正向沿。

该特性用于检测 QR 运行的变压器退磁，其中 ZCD 输入的信号来自也用于为 IC 供电的变压器辅助绕组。

触发模块在 GaN 导通后被屏蔽，以防止漏感退磁后的任何负向沿错误地触发 ZCD 电路。

开关频率的最高限值低于 240 kHz。

为了防止系统在轻载时出现频率过高的趋势，实现了可变的消隐时间（与 FB 引脚电压成函数关系）。该消隐时间在 $V_{FB} = V_{FBB}$ 时为最大值，在 $V_{FB} = V_{FBR}$ 时线性下降到最小值。

在 QR 系统中，开关频率也随着输入线路的增加而增加。为了解决该问题，VIPERGAN100 提供了一项特殊的动态消隐时间功能，会随着输入线路的增加而降低最高允许开关频率。此功能可通过 TB 引脚来设置，并在相关章节中进行说明。

这样，开关频率将随输入电压和输出负载的降低而逐渐减小，从而降低频率相关损耗。

如果退磁完成-因此在 ZCD 引脚上出现负向沿-在经过超过之前导通的时间 T_{BLANK} 的间隔之后，GaN 再次导通并伴有一些延迟，以确保导通时（“QR 模式”）的最低电压。

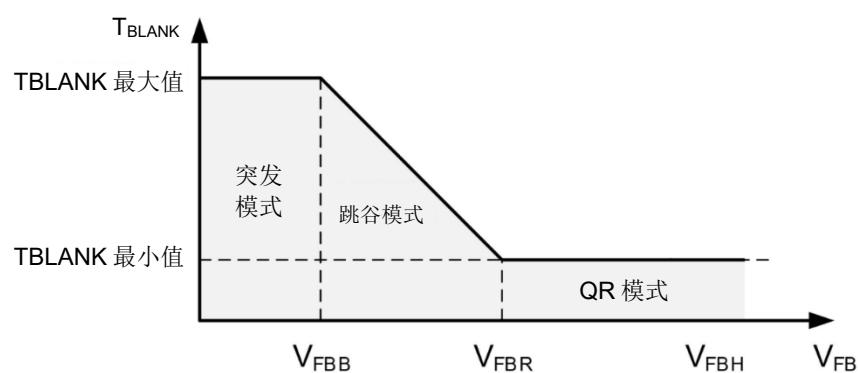
如果负向沿在 T_{BLANK} 时间耗尽之前出现，则将忽略负向沿，只有 T_{BLANK} 之后出现的第一个负向沿会导通 GaN。以这种方式跳过一个或多个漏极振铃周期（“谷值跳跃模式”），防止开关频率超过 $1/T_{BLANK}$ 。

消隐时间限制和工作模式在图 12 中提及。

如果 ZCD 上的残余振幅不足以再次触发开关(可能在低频操作期间发生)，则在消隐时间耗尽之后的 T_{FORCE} 时间内，内部功能强制 GaN 导通。当 ZCD 引脚上的信号不足以触发 GaN 时，启动模块也可用于启动系统。在启动装置发起的前几个周期后，随着辅助绕组上生成的电压足以 ZCD 电路供电，GaN 的导通开始被锁定到变压器退磁，从而建立 QR 操作。

ZCD 引脚电压的最高限值和最低限值都是由双钳位电路设定的。上钳位通常为 3 V，下钳位通常为 -60 mV。引脚和辅助绕组之间的接口是一个电阻分压器。适当地选择其电阻比和单个电阻值，详情请参见“线路电压前馈功能块”和“输出过电压保护”。

图 12. 频率限制和工作模式



5.4 谷值锁定功能

当系统以跳谷底模式运行时，在一些线路/负载条件下可能会发现开关周期不均匀，这是由于 GaN 的关闭时间随每个振铃周期的离散步长而变化，而逐周期能量均衡所要求的关闭时间则介于两者之间。因此一个或多个较长的开关周期由一个或多个较短的开关周期来补偿，反之亦然。

这种“跳谷底”现象在初级电流中引入了一个低频分量，该分量可能落在可听范围内。如果这种周期性扰动的幅度足够大，则磁性分量的机械振动能够产生可听噪声。

为了避免这种现象发生，我们新发明了一种谷底锁定功能（正在申请专利），即在一定的输入电压和输出负载条件下，无论直流总线电压纹波如何，在跳谷底模式运行期间固定已跳谷值的数量。

当 VFB 低于 1.3 V 时，该功能关闭，当 VFB 升至 1.43 V（典型值）时，该功能重新启用。

5.5 恒定电压运行和突发模式

FB 引脚连接到光耦合器，后者传输来自位于转换器次级侧的调节回路的误差信号，参见图 13。通常情况下，TS431 被用作电压基准。

FB 引脚由光电晶体管的集电极直接驱动，以调制占空比。

穿过引脚的电容器通常用于补偿回路。

当 FB 引脚电压比 V_{FBB} 低 60 mV 时，GaN 被关断，IC 消耗降低到 I_Q ，有效减少偏置损耗。

GaN 关断后，由于能量传输停止，因此 FB 引脚电压会增加，当它达到 V_{FBB} 时，器件再次开始开关动作。

这种突发模式运行的效果（如图 14 中所示）可降低等效开关频率，甚至可降至几百赫兹，从而显著降低所有频率相关损耗，使器件更易于遵守节能法规。此外，低峰值电流可确保无噪声运行。

图 13. 恒定输出电压控制原理：内部原理图和引脚配置

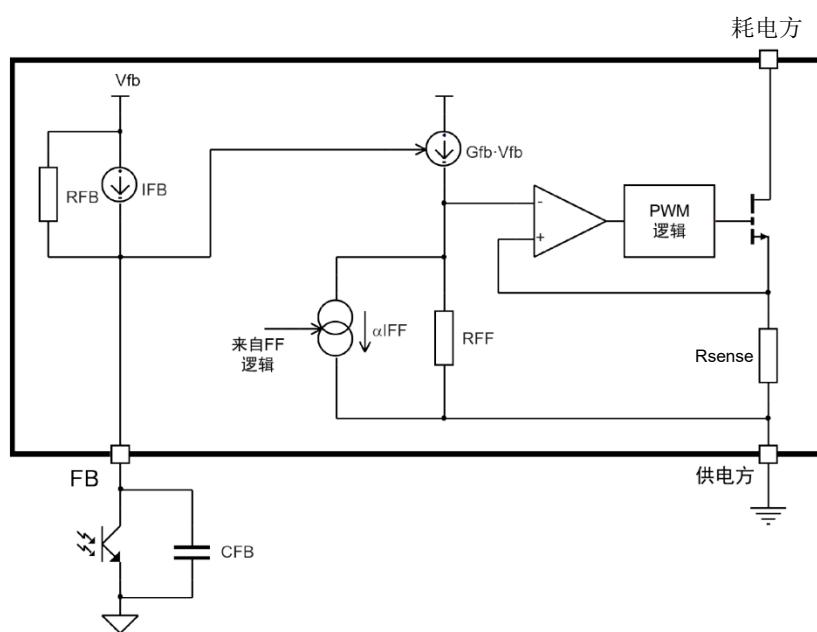
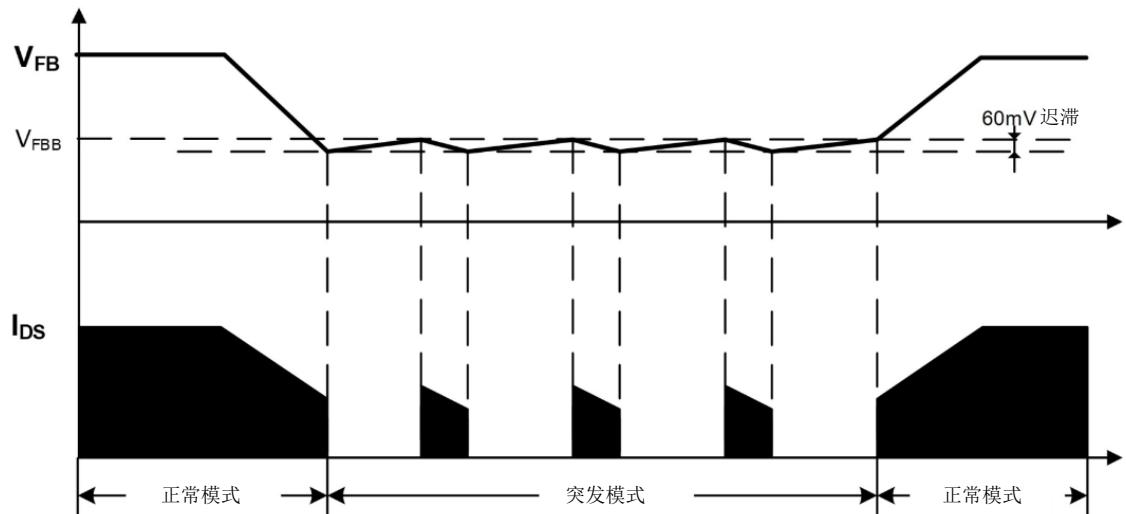


图 14. 突发模式工作



5.6

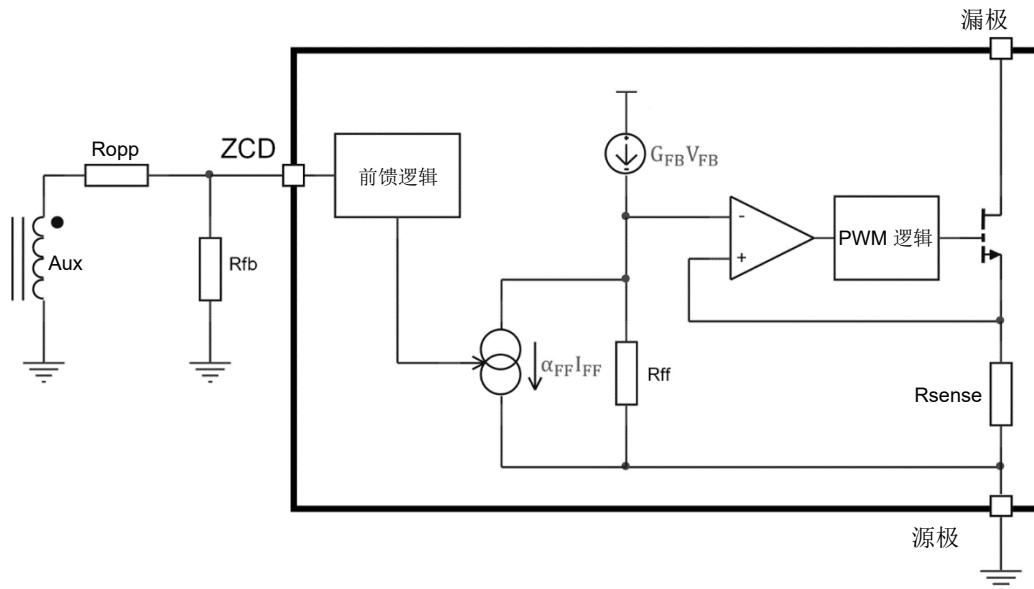
线路电压前馈功能块

具有固定过流设定点的 QR 反激式转换器可以提供的功率随输入电压的变化而显著变化。

在广泛的市电应用中，高压的可输出功率可能是最低电压的两倍以上。这是一个问题，因为这意味着在高压上，相比触发低过载的功率水平，系统可以在高得多的电压下运行，因此需要调高功率组件的额定值。

为解决该问题，VIPERGAN100 实现了一项前馈功能，即：监测辅助绕组上的电压，并使用该信息来补偿转换器（参见图 15）。

图 15. 前馈补偿：简化的内部原理图和引脚配置



在 GaN 导通期间，ZCD 引脚通过 R_{OPP} 电阻提供的电流在“前馈逻辑”功能块内被镜像，以提供前馈电流 I_{FF} ，该电流与输入电压成正比，公式为：

公式 1

$$I_{FF} = \frac{N_{AUX}}{N_{PRI}} \cdot \frac{V_{IN}}{R_{OPP}} \quad (1)$$

补偿的最优值（在输入电压范围内使功率能力变化最小）可以在该范围的极值处提供同等功率能力，该值由电阻的适当选择来确定，如下方公式所示：

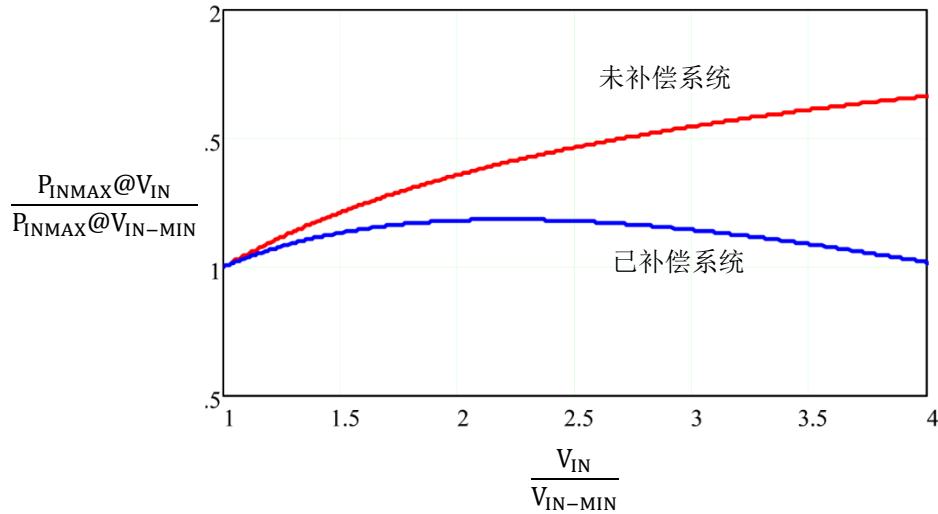
公式 2

$$R_{OPP} = \frac{N_{AUX}}{N_{PRI}} \cdot \frac{\alpha_{FF}}{G1 \cdot V_{FBH}} \cdot (V_{MIN} + V_{MAX} + \frac{V_{MIN} \cdot V_{MAX}}{V_R}) \quad (2)$$

适当的补偿可以优化功率能力变化，如图 16 的图表所示。

前馈补偿影响进入突发模式时的功率级，于是电流 I_{FF} 线性降低，从 100% ($V_{FB} \geq 1.2$ V 时) 降低到 20% ($V_{FB} < 0.8$ V 时)。突发模式下的剩余 I_{FF} 确保针对传播延迟 T_D 提供一定程度的补偿。

图 16. QR 反激式转换器中典型功率能力变化 vs 输入电压



5.7 动态消隐时间

由于供电系统的电容损耗随频率的增加而增加，因此 QR 转换器随输入线路的增加而提高开关频率的趋势是设计高效转换器时需要考虑的主要限制因素之一。

为了解决该问题，VIPERGAN100 提供了一项特殊的动态消隐时间功能，会根据与输入线路的函数关系来降低最高允许开关频率。

通过电阻将引脚 **TB** 连接到辅助绕组 R_{TB} ，导通期间引脚产生的电流与输入电压成正比，被采样并用于调节关断期间的消隐时间。

这种技术的优点是，在最需要的地方（即高压处）频率降低幅度较大，在低线处频率降低幅度最小。

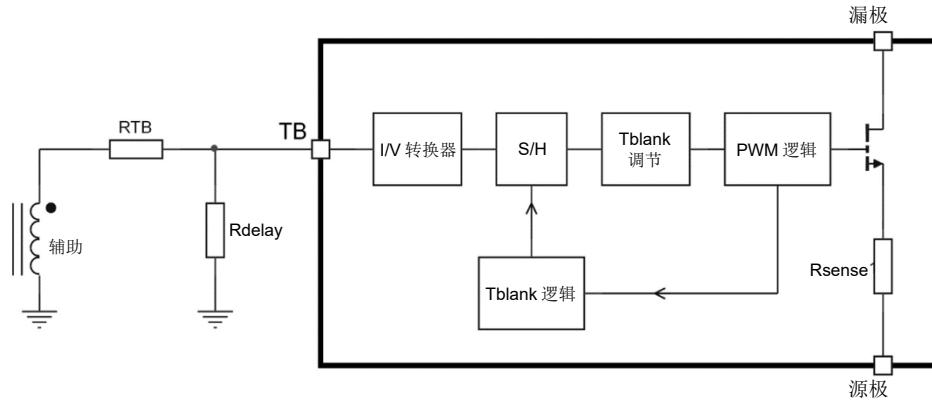
下面的等式可用于动态调节动态消隐时间 $T_{BLANK(dyn)}$ ：

公式 3

$$R_{TB} = \frac{N_{AUX}}{N_{PRI}} \cdot \frac{K_{BLANK} \cdot V_{IN}}{T_{BLANK(dyn)} - T_{BLANK}} \quad (3)$$

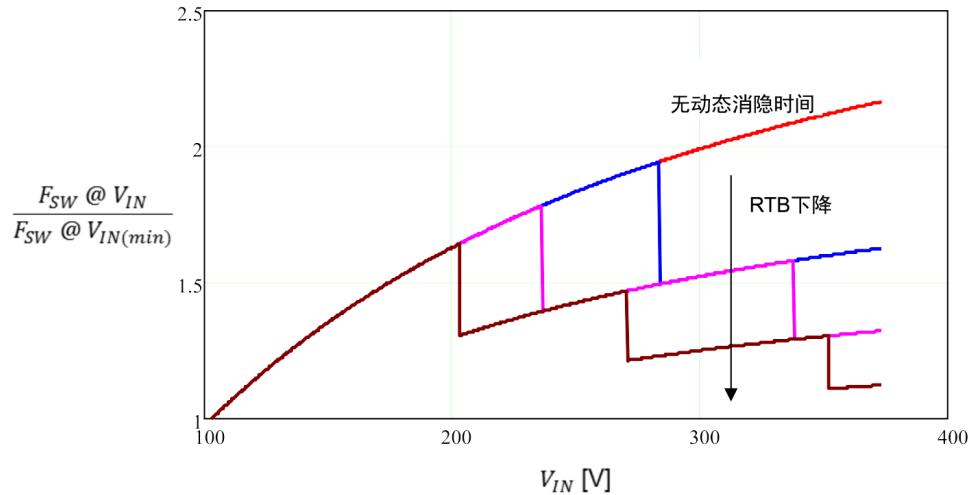
在该公式中， T_{BLANK} 是 $V_{FB} \geq V_{FR}$ 时的默认值，而 K_{BLANK} 是消隐时间增益。

图 17. 动态消隐时间：内部原理图和引脚配置



此类动态变化的结果显示在图 18 中：在低输入线处，与不实施动态消隐时间的情况相比，开关频率没有变化（或变化很轻微），而随着输入电压的增加，开关频率越来越低。

图 18. 输入电压范围内的典型归一化开关频率变化

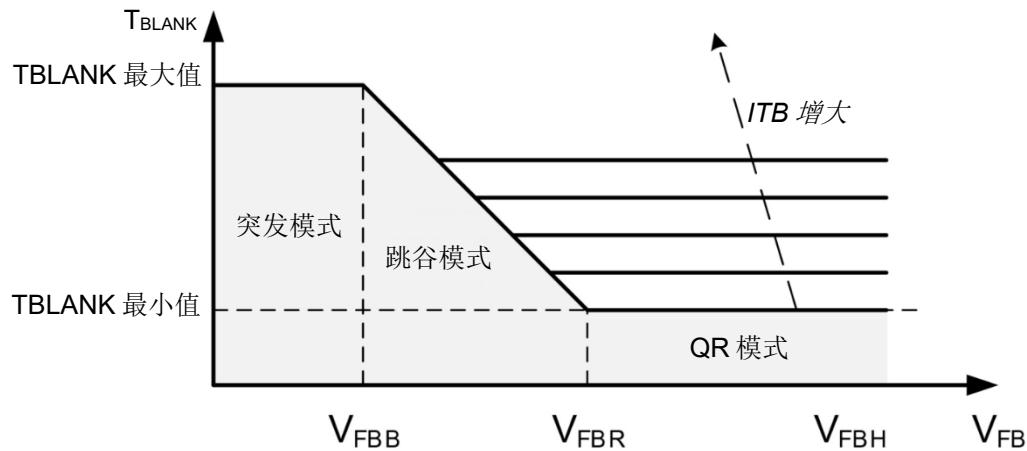


该功能对消隐时间配置文件随 FB 电压的变化也有积极影响，详情如图 19 中所示：根据输入电压的不同，动态消隐时间还可以在中/轻负载情况下降低最高允许开关频率，从而进一步减少相关损耗。

这种方法缩小了频率变化范围，从而增加了初级侧电流的峰值。必须调整线路前馈补偿，以保证在任何线路条件下具有相同的功率能力。

将引脚 TB 接地，可以关闭动态消隐时间和谷值同步（参见相关章节）功能。在上电时决定是否使用该功能：在引脚 V_{DD} 达到 V_{DD-ON} 阈值之前，电流 I_{TB-DIS} (200 μA, 典型值) 来自于引脚。如果 TB 引脚电压低于 V_{TB-DIS} 阈值 (100 mV, 典型值)，则假定该引脚连接到 GND，禁用相关电路，并将信息锁存，直到下一次上电。

图 19. 动态消隐时间功能激活后，消隐时间随 FB 电压的变化



5.8 谷值同步

QR 转换器的主要特点是在二次退磁后的谐振的谷底处发生导通，与一次电感、漏极节点的 L_P 和总电容、C_D 成函数关系。对于变压器的退磁瞬间，第一个波谷出现的延迟由公式给出：

公式 4

$$T_{VALLEY} = \pi \cdot \sqrt{L_P \cdot C_D} \quad (4)$$

由于 T_{VALLEY} 在一种设计和另一种设计之间可以变化很大，在 ZCD 触发后使用固定的导通延迟时间来最小化导通损耗，其难度较大。因此，VIPERGAN100 集成了一个特殊功能，可以增加触发后的默认导通延迟时间，

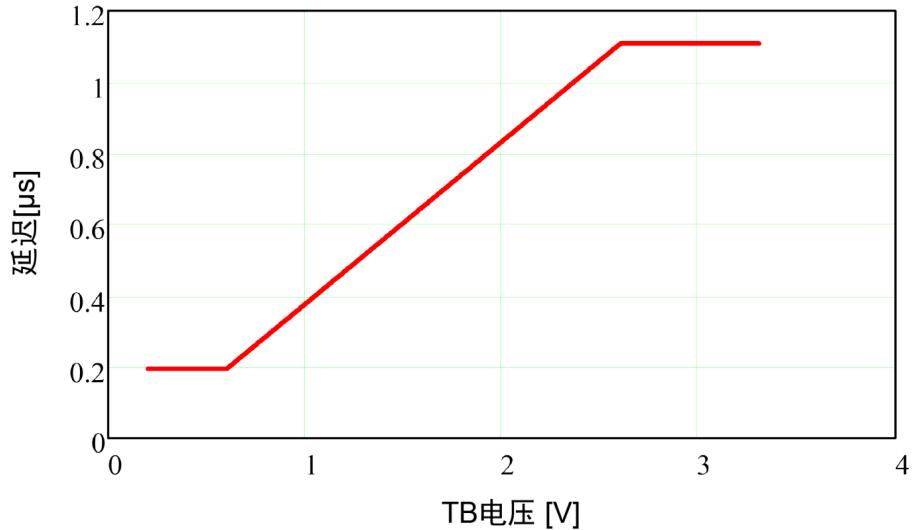
$T_{D-ONMIN}$

(197 ns, 典型值)，以便在谐振的谷值处精确同步导通时间，将导通损耗降至最低。

引脚排列如图 1 中所示：由 R_{TB} 和 R_{DELAY} 组成的分压器对辅助绕组电压进行采样，该电压在 GaN 关断期间代表输出电压。

由于稳态下的输出电压是恒定的，而且已经选定 RTB 值来获得所需的动态消隐时间，现在可以根据图 20 来选择 R_{DELAY}，将 TB 引脚采样电压设置为与所需导通延迟对应的值。

图 20. 典型的触发后导通延迟与 TB 引脚上的电压成函数关系



所需的延迟（可以在谷值处精确同步导通时间， T_{DELAY} ），可以由以下公式计算：

公式 5

(5)

$$T_{DELAY} = T_{VALLEY} - T_{ZCD-DELAY}$$

在等式中 $T_{ZCD-DELAY}$ 表示退磁时间与 ZCD 电压越过触发阈值的瞬时之间的延迟 V_{ZCDT} ：该延迟的范围是几十 ns 到几百 ns 之间，但可以在转换器工作期间以实验方式轻松测得。

该值 V_{TB} 也可以直接从曲线上读出。

如果 V_{TB} 电压已知，则可轻松得出电阻值：

公式 6

(6)

$$R_{DELAY} = \frac{R_{TB}}{\frac{N_{AUX}}{N_{SEC}} \cdot \frac{V_{OUT}}{V_{TB}} - 1}$$

电阻 R_{TB} 可以计算得出，如动态消隐时间中报告的那样。

低 T_{DELAY} 可以设为默认值，前提是 R_{DELAY} 小于：

公式 7

(7)

$$R_{DELAY_default} < \frac{R_{TB}}{\frac{N_{AUX}}{N_{SEC}} \cdot \frac{V_{OUT}}{V_{D-ON(MIN)}} - 1}$$

将 TB 连接到 GND，可以关闭动态消隐时间和谷值同步功能。

在上电时决定是否使用该功能：在引脚 V_{DD} 达到 V_{DD-ON} 阈值之前，电流 I_{TB-DIS} (200 μA，典型值) 来自于引脚。如果 TB 引脚电压低于 V_{TB-DIS} 阈值 (100 mV，典型值)，则假定该引脚连接到 GND，禁用相关电路，并将信息锁存，直到下一次上电。

请注意！为了确保正确检查禁用功能，电阻值 R_{DELAY} 不能小于：

公式 8

(8)

$$R_{DELAY(min)} < \frac{V_{TB-DIS(max)}}{I_{TB-DIS(min)}} = 750 \Omega$$

5.9 TB 引脚配置

引脚 TB 可以轻松配置成不同的组合，详情请参见表 6、图 21、图 22、图 23、图 24。

表 6. TB 引脚矩阵配置

动态消隐时间	谷底同步	原理图配置
有	有	图 21
无	有	图 22
有	无	图 23
无	无	图 24

图 21. TB 引脚：(外部配置：动态消隐时间和谷值同步)

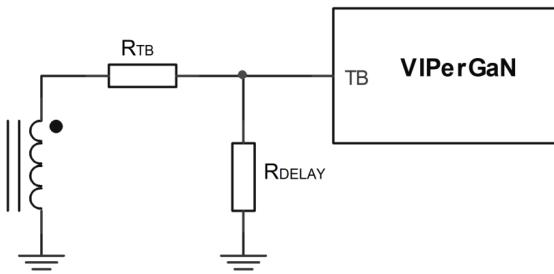


图 22. TB 引脚：(外部配置：仅谷值同步)

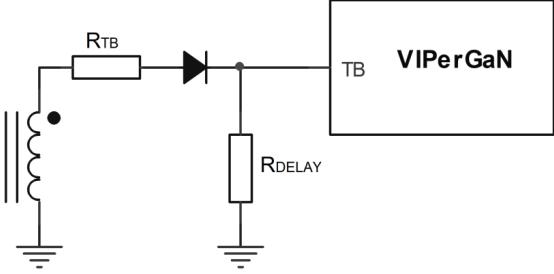


图 23. TB 引脚：(外部配置：仅动态消隐时间)

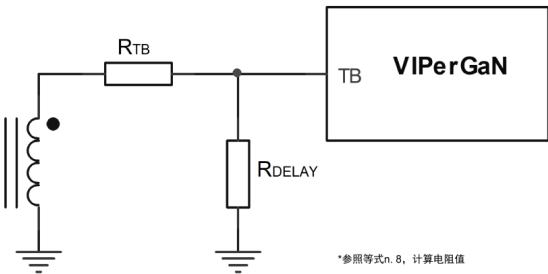
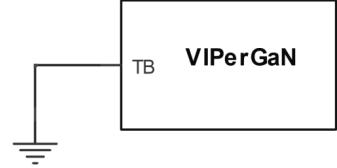


图 24. TB 引脚：(外部配置：无动态消隐时间或谷值同步)



5.10 过载和短路保护

为了管理过载或短路情况，如果 FB 引脚电压分别高于或低于上饱和限值 V_{FBH} ，则内部递增/减计数器通过内部时钟增加或减少。

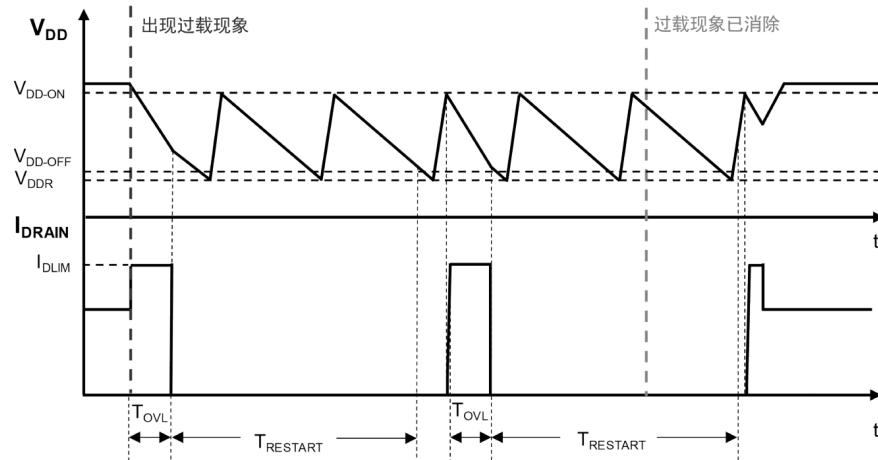
如果过载/短路事件持续时间超过 T_{OVL} (50 ms, 典型值)，开关动作被禁止且 V_{DD} 在 $V_{DD_RESTART}$ 和 V_{DD_ON} 之间循环（周期性激活高压电流源）。在保护跳闸的 $T_{RESTART}$ 时间过后，一旦 V_{DD} 再充电到 V_{DD_ON} ，则 IC 会通过软启动重新开始开关动作。软启动（在此期间禁用过载计数器）之后，如果仍然存在过载，则按前面描述的那样再次禁用开关动作，否则恢复正常运行。如果过载/短路事件持续时间小于 T_{OVL} ，则计数器将逐周期递减到零，且 IC 不会停止。

故障管理可确保转换器以低重复率重启，从而以极低的功率吞吐安全工作，避免重复过载事件时的 IC 电路过热，而且在故障排除后能迅速恢复正常运行。

为防止变压器饱和、次级侧整流器短路或深度 CCM，还内嵌了 OCP_LEB 保护功能：如果漏极电流值在两个后续周期的 LEB 时间结束时大于 I_{OCP_LEB} ，VIPERGAN100 在 T_{SD_REST} 秒时间内处于关闭状态，并执行新的启动。

如果 VDD 钳位激活时来自引脚的电流高于 I_{DD_CL} (26 mA, 典型值)，并且持续时间长于 T_{DD_CL} (100 μ s, 典型值)，则 IC 关闭，然后在 VDD 循环后重启。

图 25. OLP 保护的时序图



5.11 输出过电压保护

在变压器退磁结束后监测 ZCD 引脚上的电压，辅助绕组精确跟踪转换器输出电压并与内部参考电压进行比较。

如果采样电压高于 OVP 阈值 V_{OVP} (2.5 V, 典型值)，则假设存在过电压。

有了对图 1 外部配置的参考，一旦通过前馈考虑固定 R_{OPP} (参见相关章节)，则可计算 R_{OVP} 电阻的值，以便为特定的输出电压水平 $V_{OUT-OVP}$ 激活 OVP 保护。

公式 9

$$R_{FB} = \frac{V_{OVP}}{\frac{N_{AUX} \cdot V_{OUT-OVP} - V_{OVP}}{N_{SEC}}} \cdot R_{OPP} \quad (9)$$

为了降低对外部噪声的敏感度并防止保护功能被误激活，必须在连续四个振荡器周期内触发 OVP 比较器，器件才会停止工作。

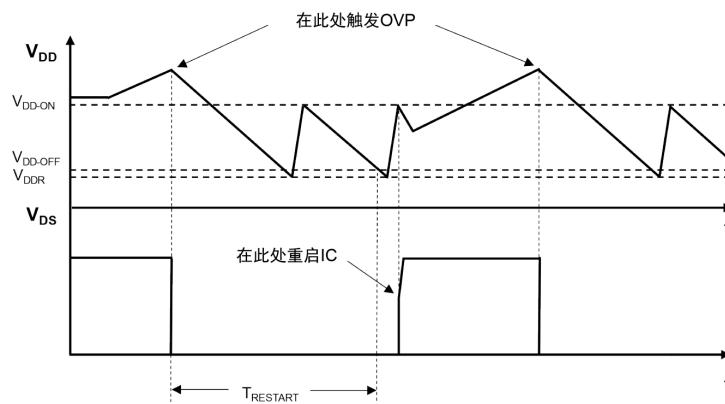
为此，我们提供了一个计数器，每当 OVP 比较器在一个振荡器周期内未被触发时，该计数器会复位。

当退磁时间大于 2 μs 时，OVP 保护的精度最高。

如果保护跳闸，开关动作将在 $T_{RESTART}$ 时间内被禁止，且 V_{DD} 在 $V_{DD_RESTART}$ 和 V_{DD_ON} 之间循环（周期性激活高压电源）。在 $T_{RESTART}$ 结束时，在 V_{DD} 第一次再充电至 V_{DD_ON} 时通过软启动启用开关动作。如果过电压现象仍然存在，则以相同的方式再次调用保护功能，导致低频间歇性运行，从而提高了最终产品的安全性和可靠性；否则，IC 将恢复正常运行。

OVP 保护时序图如图 26 中所示。

图 26. OVP 时序图



5.12 输入 OVP 保护

输入过电压保护的目的是在主线路过电压可能超过 **GaN** 击穿电压的情况下保护转换器。通过分压器将 iOVP 连接到要监测的电压（通常是直流整流输入电源）可以轻松实现。

如果 iOVP 引脚电压超过内部阈值 V_{iOVP_th} (5 V, 典型值) 且持续时间超过 T_{iOVP} (250 μs, 典型值)，则 IC 将关断，而 V_{DD} 在 $V_{DD_RESTART}$ 和 V_{DD_ON} 之间循环（周期性激活高压电流源）。当 V_{iOVP} 掉至 V_{iOVP_th} 以下，开关动作恢复。

延迟时间 T_{iOVP} 用于过滤掉在操作过程中可能耦合的干扰：这是通过一个递增/递减计数器实现的—当 V_{iOVP} 高于 V_{iOVP_th} 时递增（反之递减），以一个周期为基础。由此可将暂时干扰与真正的过电压区分开来，对于运行的连续性很有好处。

关于设置，不同的配置皆有可能，具体取决于是否还实现了过压/欠压保护（将在下一节中描述），详情如表 1 和图 1 中所示。

分压器的电阻值通过等式 (1) 和 (2) 计算得出。将 iOVP 连接到 GND，即可禁用该功能。

5.13 过压和欠压保护

过压保护用于定义让转换器开始工作的最低输入电压。类似地，欠压保护则定义了让转换器停止工作的最低输入电压。

为什么要在输入电压低于一定的范围时让转换器停止工作呢？原因有多个。首先，非常低的输入电压可能会由于 RMS 电流过大而导致主电源部分过热。其次，转换器在下电过程中可能出现虚假重启，导致输出电压不会单调地衰减为零。

上电时，由于 $V_{IN} > V_{START}$ ，内部高压电流源被激活，连接到 VDD 的电容被充电至 V_{DD_ON} 。在此充电过程中，电流 $I_{BR_DIS} = 15 \mu A$ 来自于 BR，而 V_{BR} 被监测。

如果 $V_{BR} < V_{BR_DIS}$ (100 mV, 典型值)，则假定 BR 连接到 GND，禁用相关电路，并将信息锁存，直到下一次上电，而且允许 IC 启动。

如果 $V_{BR} > V_{BR_DIS}$ ，则 IC 启动并被允许在 30 毫秒内切换。在此之后，如果 $V_{BR} > V_{BR_OUT}$ (0.4 V, 典型值)，则将继续切换，否则被禁用。在后一种情况下，如果 V_{BR} 超过 V_{BR_IN} (0.5 V, 典型值) 且持续时间超过 T_{BR_IN} (250 微秒，典型值)，则允许 IC 恢复切换（过压）；然而，如果 V_{BR} 降至 V_{BR_OUT} 以下且持续时间超过 T_{BR_OUT} (30 毫秒，典型值)，则 IC 将被禁用（欠压）。

延迟时间通过递增/递减计数器实现，以阻止线路上的临时干扰。 T_{BR_OUT} 还旨在避免由于输入电容电压纹波引起的错误保护触发，并确保在输入线路丢失周期时保持一段时间。

可以设置输入 OVP、过压，以及欠压条件，方法是在整流输入市电、iOVP、BR 和 GND 之间连接一个分压器，并根据以下公式选择电阻值。

公式 10

$$R_{OVP} = R_{HV} \cdot \left(\frac{V_{iOVP_th}}{V_{IN-OVP}} - \frac{V_{BR-IN}}{V_{IN-ON}} \right) \quad (10)$$

公式 11

$$R_{BR} = R_{HV} \cdot \frac{V_{BR-IN}}{V_{IN-OVP} - V_{IN-ON}} \quad (11)$$

在上述公式中， V_{IN_ON} 且 V_{IN_OVP} 分别代表触发过压和输入过压保护的直流输入电压。

电阻 R_{HV} 用于启动转换器，也作为分压器的一部分（一旦 HV 和 iOVP 连接在一起）。其值可随意选择，但建议至少为几十 $M\Omega$ ，以尽量减少输入市电的剩余消耗。

值得注意的是，阈值 V_{IN-ON} 和 V_{IN-OFF} ((分别触发过压和欠压的输入电压值)) 不能单独设置（相互关联）。因此，关闭器件的直流总线电压值用以下公式计算。

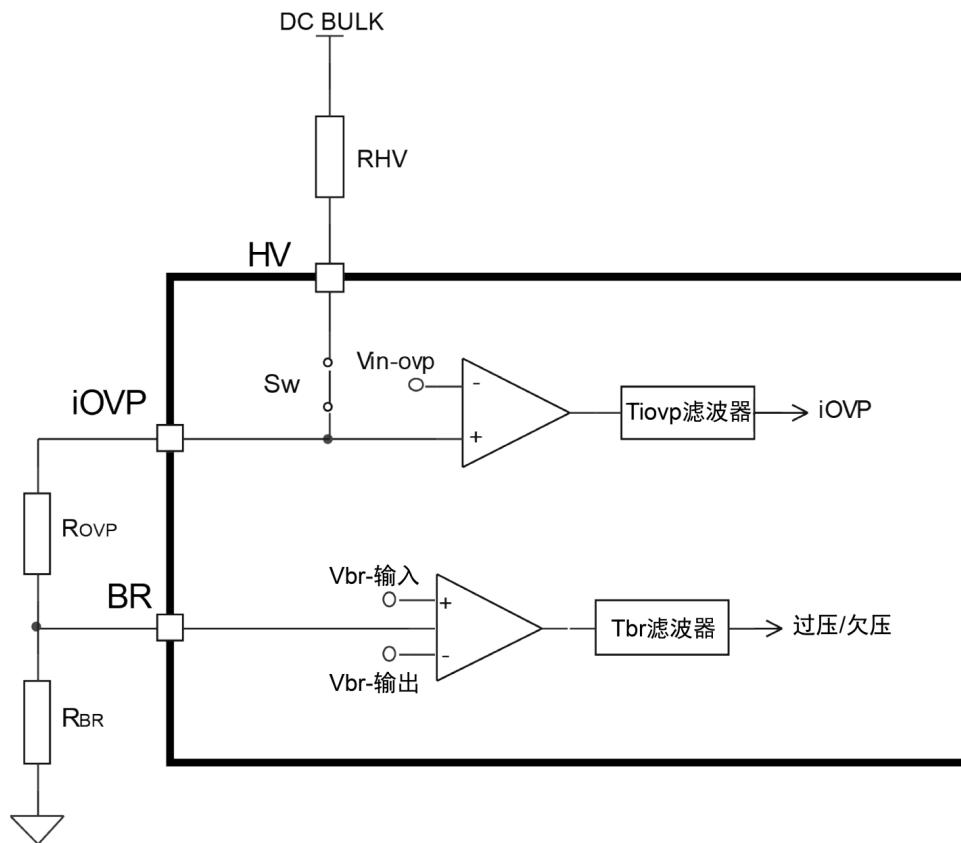
公式 12

$$V_{IN-OFF} = V_{IN-ON} \cdot \frac{V_{BR-OUT}}{V_{BR-IN}} \quad (12)$$

在 BR 引脚和 GND 之间，需放置一个 10 nF 滤波电容，以此来避免在高压启动单元被激活后，欠压逻辑出现错误行为。

将 BR 连接到 GND，即可禁用过压/欠压功能。

图 27. 过压/欠压和输入 OVP：内部原理图



5.14 配置过压/欠压和 OVP 保护

引脚 iOVP 和 BR 可以轻松配置成不同的组合，详情请参见表 7。

表 7. 过压/欠压和 OVP 矩阵配置

iOVP 保护	过压/欠压	原理图配置
有	有	图 28
有	无	图 29
无	有	图 30
无	无	图 31

图 28. 过压/欠压和输入 OVP：外部配置（输入 OVP 和 BR）

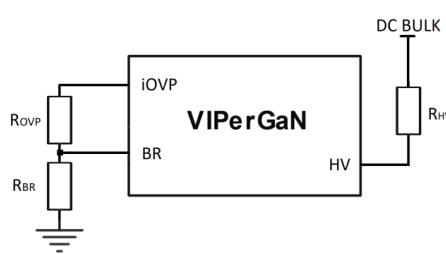


图 29. 过压/欠压和输入 OVP：外部配置（仅输入 OVP）

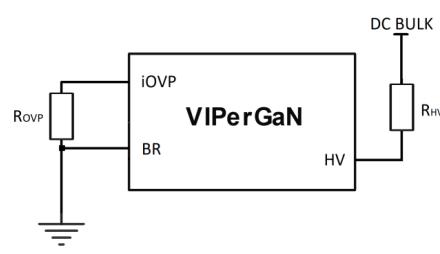


图 30. 过压/欠压和输入 OVP：外部配置（仅 BR）

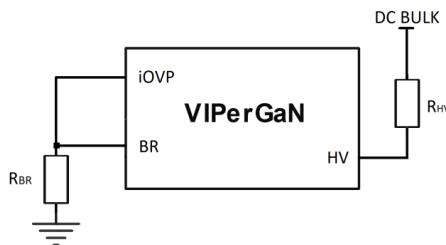
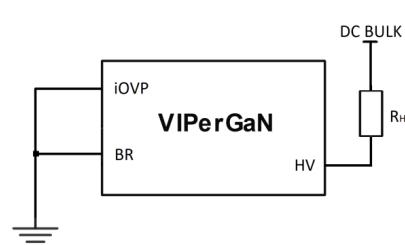


图 31. 过压/欠压和输入 OVP：外部配置（无输入 iOVP 或 BR）



5.15 频率抖动，用于降低 EMI

虽然 VIPERGAN100 工作在 QR 模式下，开关频率已被调制为主频率的两倍，但其采用专有的频率抖动技术，进一步降低了 EMI。该技术会在电流检测信号上注入一个频率为 10 kHz（高于反馈环路带宽）的方波，占空比为 50%，以此来调制峰值初级电流的振幅。此振幅调制的百分比设置为默认值 5%。由于峰值电流随着负载水平的降低而降低，在较低的负载情况下（其中 EMI 噪声的能量大大减少），该效应会自动衰减。

5.16 热关断保护

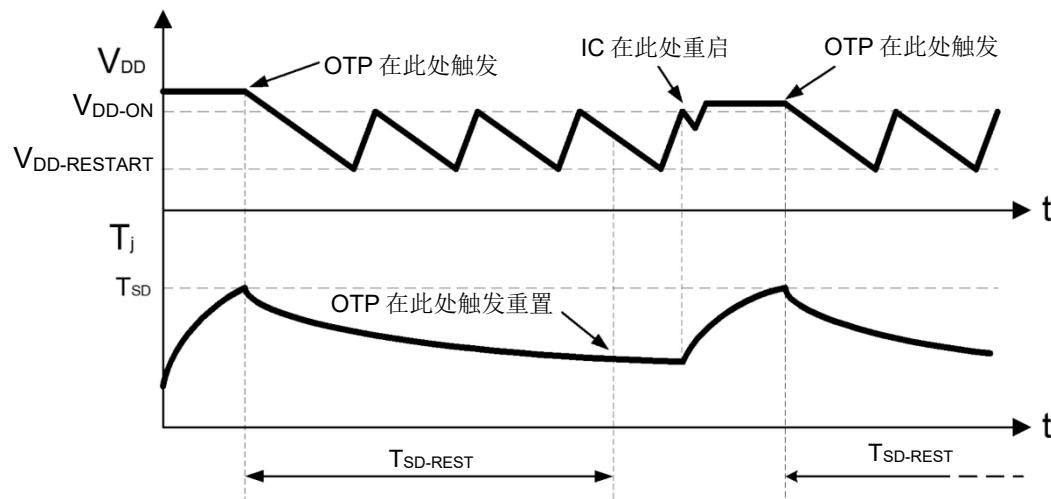
如果控制器温度超过关断阈值 T_{SD} （140°C，典型值），器件将关断并在 $T_{SD-REST}$ （2 s，典型值）时间内保持关闭状态，防止系统过热；而 V_{DD} 引脚在 V_{DD-ON} 和 V_{DD-OFF} 之间不断循环，使控制器保持活动状态。在此期间，IC 消耗降至 $I_{DD-FAULT}$ ，进一步减少了高压启动损耗。

$T_{SD-RESTART}$ 过后，IC 在 V_{DD} 达到 V_{DD-ON} 时重新启动。

请注意！热传感器内嵌到控制器芯片中，功率 GAN 芯片可能具有更高的温度。

OTP 时序图如图 32 所示。

图 32. OTP 时序图



6

典型原理图

图 33. 典型配置：功能齐全

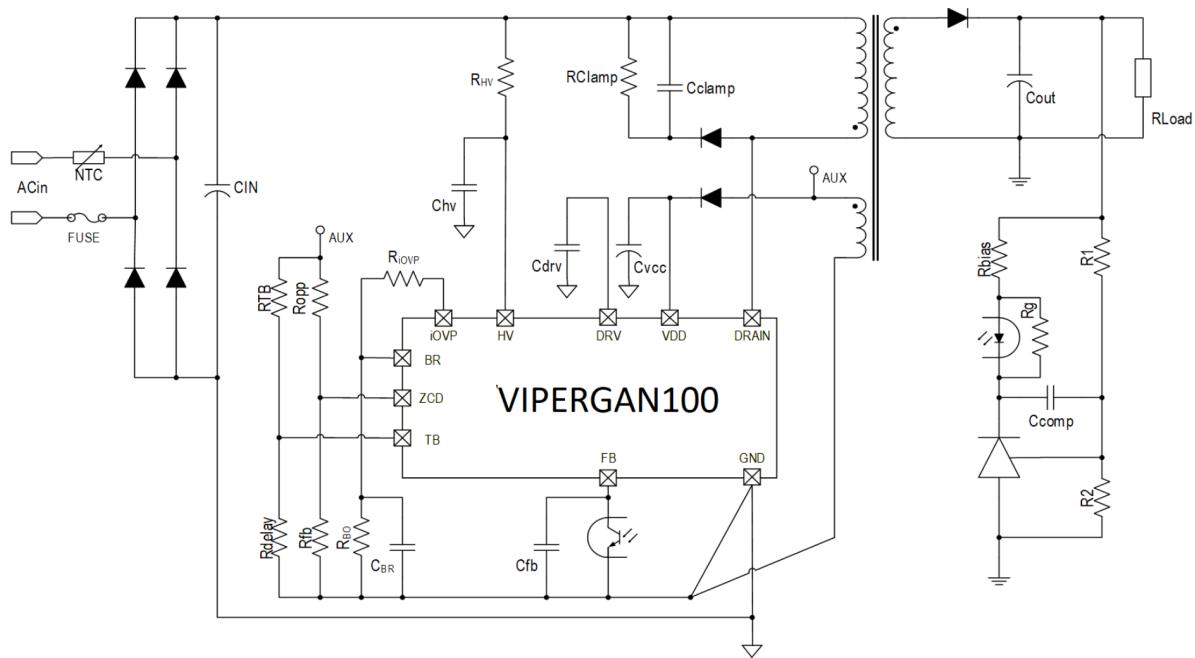
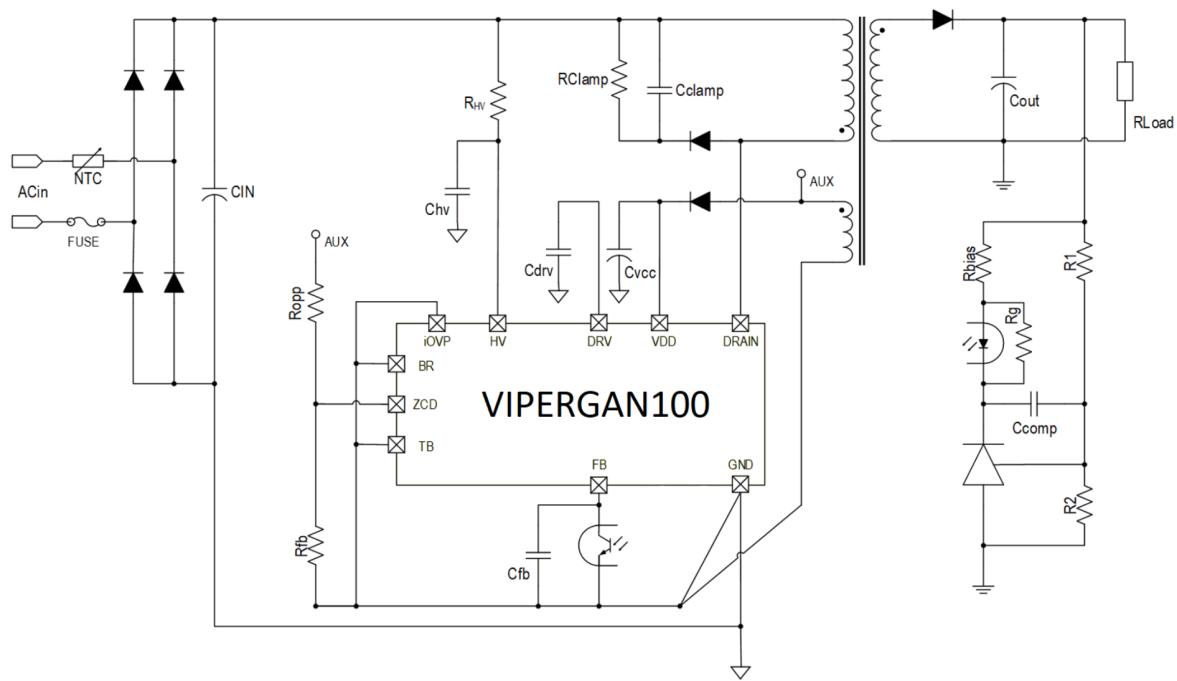


图 34. 典型配置：基本功能



适当的印刷电路板布局对切换模式转换器的正确操作至关重要，这一点同样适用 VIPERGAN100。使用适当的 PCB 布局的主要原因如下：

- 为 IC 提供清晰的信号，确保良好的外部噪声和切换噪声耐受能力
- 减少辐射和传导的电磁干扰，更容易通过电磁兼容测试

如果使用 VIPIPerGaN 来设计 SMPS，应考虑以下基本规则：

- 将信号与电源轨道分离：通常情况下，携带信号电流的走线应远离其他携带脉冲电流或具有快速摆动电压的走线。信号接地走线应该与电源接地走线分离，使用靠近 IC 的单个“星点”进行连接。
- 补偿网络应连接至 FB 引脚，并保持尽可能短的走线。对于双层 PCB，最好在 PCB 一面布线信号走线，在另一面布线电源走线。
- 敏感引脚滤波：电路的一些关键点需要或可能需要过滤。连接至 GND 的小型高频旁路电容可能有助于为 IC 的信号部分获得干净的偏置电压，并在 EFT/ESD 期间保护 IC。应在 VCC 和 GND 之间连接一个低 ESL 陶瓷电容（几百 pF 至 0.1 μF），放置在尽可能靠近 IC 的位置。对于反激式拓扑结构，当使用辅助绕组时，建议连接辅助回路上的 VCC 电容，然后使用单个走线连接到主 GND。BR 和 GND 之间还需要一个小的 10 nF 电容来过滤高阻抗路径中的噪声。
- 尽可能限制电源回路：在电流回路限定的区域中，应尽量减少高脉冲电流，从而降低寄生自感和辐射电磁场；因此，开关过程中电源产生的电磁干扰大大降低。在反激式转换器中，最关键的回路是：包括输入大容量电容器、电源开关、电源变压器的回路，包括缓冲器的回路，包括次级绕组、输出整流器和输出电容器的回路。
- 减少线路长度：任何导线都可以作为天线。由于 EFT 脉冲显示的上升时间非常短，任何天线都可以接收高电压尖峰。通过缩短线路长度，接收到的辐射能量水平降低，静电放电产生的尖峰也随之降低。这也将电阻和电感效应保持在最低水平。特别是，所有携带高电流的走线，尤其是脉冲走线（电源环路的轨道）应尽可能短、宽。建议尽量减少由 TB 到 GND 以及 BR 到 GND 的路径所限定的区域，以确保对 EFT 测试具有良好的抗扰性能。
- 优化走线布线：在电路板边缘附近，静电放电的拾取水平可能更高，所以明智的做法是让任何敏感线路远离这些区域。输入和输出线通常需要在某个阶段到达 PCB 边缘，但若适用，可以尽快使其远离边缘布线。由于过孔被视为电感元件，因此建议尽可能减少信号路径中的过孔数量，在设计电源路径时避免使用过孔。
- 提高散热性能：EP 焊盘下方必须提供足够的铜片区域作为散热器。由于该焊盘以机械方式连接到 GaN 基板上，GaN 基板也连接到 GND，因此可以使用较大的铜片区域，而不会影响 EMC 性能。

8

封装信息

为满足环境要求，意法半导体为这些器件提供了不同等级的 ECOPACK 封装，具体取决于它们的环保合规等级。ECOPACK 规范、等级定义和产品状态可在 www.st.com 网站获得。ECOPACK 是意法半导体的商标。

图 35. QFN 5x6 窄型封装信息

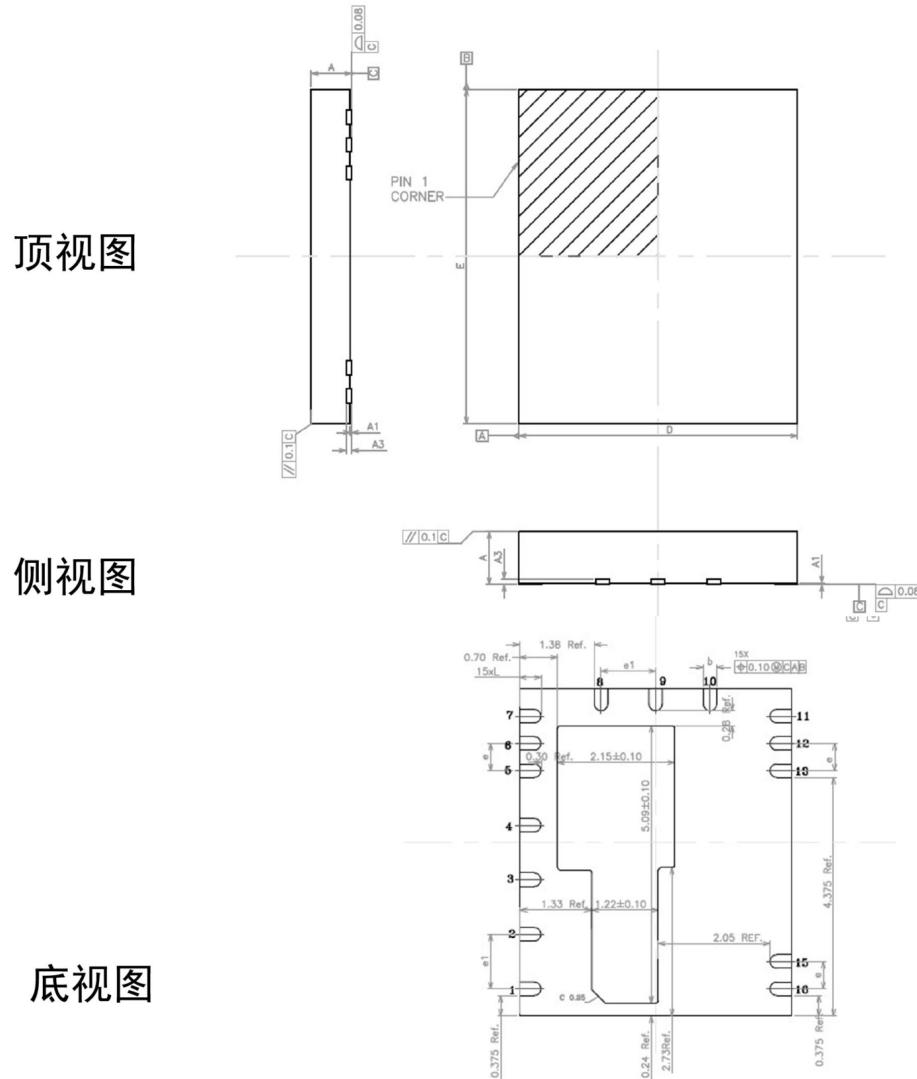
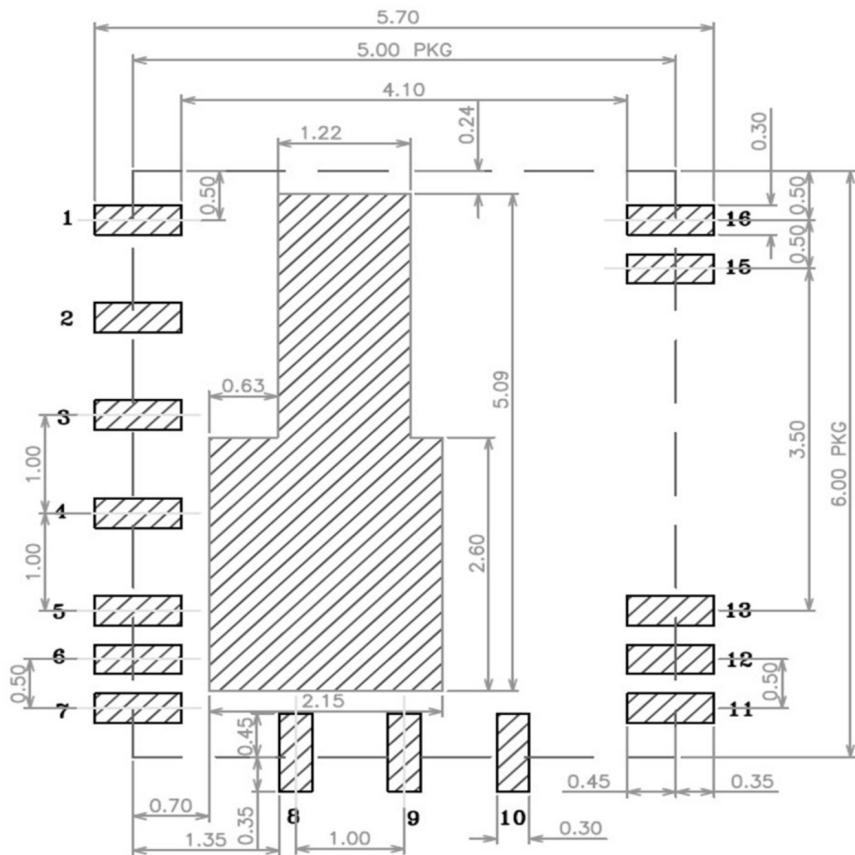


表 8. QFN 5x6 机械数据

图纸 (mm)			
参考	最小值	典型值	最大值
A	0.90	0.95	1.00
A1	0.00	-	0.05
A3		0.10 REF	
b	0.20	0.25	0.30
D	4.90	5.00	5.10
D1	参见裸露焊盘变体		
E	5.90	6.00	6.10
E1	参见裸露焊盘变体		
e	0.50 BSC		
e1	1.00 BSC		
L	0.30	0.40	0.50

图 36. QFN 5x6 窄型封装信息





9 订购代码

表 9. 订购代码

订购代码	封装	封装
VIPERGAN100TR	QFN 5x6	卷带和盘装

版本历史

表 10. 文档版本历史

日期	版本	变更
2022 年 8 月 17 日	1	初始版本。

目录

1	引脚连接和功能	2
2	电气数据	4
2.1	绝对最大额定值	4
2.2	热工数据	4
2.3	典型功率能力	4
3	电气特性	5
4	典型电气特性	8
5	应用信息	10
5.1	多模式运行	10
5.2	高压启动发生器和供电结构	10
5.3	零电流检测和触发模块	12
5.4	谷值锁定功能	13
5.5	恒定电压运行和突发模式	13
5.6	线路电压前馈功能块	14
5.7	动态消隐时间	16
5.8	谷值同步	18
5.9	TB 引脚配置	20
5.10	过载和短路保护	20
5.11	输出过电压保护	21
5.12	输入 OVP 保护	22
5.13	过压和欠压保护	22
5.14	配置过压/欠压和 OVP 保护	23
5.15	频率抖动，用于降低 EMI	24
5.16	热关断保护	24
6	典型原理图	26
7	布局指南和设计建议	27
8	封装信息	28
9	订购代码	30
	版本历史	31
	目录	32



表一览	34
图一览	35

表一览

表 1.	引脚功能	2
表 2.	绝对最大额定值	4
表 3.	热工数据	4
表 4.	典型功率能力	4
表 5.	电气特性	5
表 6.	TB 引脚矩阵配置	20
表 7.	过压/欠压和 OVP 矩阵配置	23
表 8.	QFN 5x6 机械数据	29
表 9.	订购代码	30
表 10.	文档版本历史	31

图一览

图 1.	典型应用	1
图 2.	连接图（顶视图）	2
图 3.	典型值 I_{DLIM} vs. T_J	8
图 4.	V_{START} vs. T_J @ 10 MΩ 和 20 MΩ	8
图 5.	典型值 $R_{DS(ON)}$ vs. I_D	8
图 6.	典型值 $R_{DS(ON)}$ vs. T_J	8
图 7.	典型值 I_D vs. V_{DS}	9
图 8.	典型值 C_{oss} vs. V_{DS}	9
图 9.	典型值 E_{oss} vs. V_{DS}	9
图 10.	VIPERGAN100 多模式操作	10
图 11.	高压启动发生器：内部原理图和引脚配置	11
图 12.	频率限制和工作模式	12
图 13.	恒定输出电压控制原理：内部原理图和引脚配置	13
图 14.	突发模式工作	14
图 15.	前馈补偿：简化的内部原理图和引脚配置	15
图 16.	QR 反激式转换器中典型功率能力变化 vs 输入电压	16
图 17.	动态消隐时间：内部原理图和引脚配置	17
图 18.	输入电压范围内的典型归一化开关频率变化.....	17
图 19.	动态消隐时间功能激活后，消隐时间随 FB 电压的变化	18
图 20.	典型的触发后导通延迟与 TB 引脚上的电压成函数关系	19
图 21.	TB 引脚：（外部配置：动态消隐时间和谷值同步）	20
图 22.	TB 引脚：（外部配置：仅谷值同步）	20
图 23.	TB 引脚：（外部配置：仅动态消隐时间）	20
图 24.	TB 引脚：（外部配置：无动态消隐时间或谷值同步）	20
图 25.	OLP 保护的时序图	21
图 26.	OVP 时序图	21
图 27.	过压/欠压和输入 OVP：内部原理图.....	23
图 28.	过压/欠压和输入 OVP：外部配置（输入 OVP 和 BR）	23
图 29.	过压/欠压和输入 OVP：外部配置（仅输入 OVP）	23
图 30.	过压/欠压和输入 OVP：外部配置（仅 BR）	24
图 31.	过压/欠压和输入 OVP：外部配置（无输入 iOVP 或 BR）	24
图 32.	OTP 时序图	25
图 33.	典型配置：功能齐全	26
图 34.	典型配置：基本功能	26
图 35.	QFN 5x6 窄型封装信息	28
图 36.	QFN 5x6 窄型封装信息	29



重要通知-仔细阅读

意法半导体公司及其子公司（“**ST**”）保留随时对**ST**产品和/或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于意法半导体产品的最新信息。**ST**产品的销售依照订单确认时的相关**ST**销售条款。

买方自行负责对意法半导体产品的选择和使用，意法半导体概不承担与应用协助或买方产品设计相关的任何责任。

意法半导体不对任何知识产权进行任何明示或默示的授权或许可。

转售的意法半导体产品如有不同于此处提供的信息的规定，将导致意法半导体针对该产品授予的任何保证失效。

ST 和 **ST** 徽标均为意法半导体的商标。关于意法半导体商标的其他信息，请访问 www.st.com/trademarks。其他所有产品或服务名称是其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

©2022 STMicroelectronics-保留所有权利