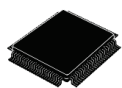


超低功耗 Arm® Cortex®-M0+ 32 位 MCU，256 KB Flash 存储器，40 KB SRAM，USB，LCD，AES



LQFP48
(7 x 7 mm)
LQFP64
(10 x 10 mm)
LQFP80
(12 x 12 mm)



UFQFPN32
(5 x 5 mm)
UFQFPN48
(7 x 7 mm)



UFBGA64
(5 x 5 mm)
UFBGA81
(5 x 5 mm)



WLCSP42
(2.82 x 2.93 mm)

特性

包括意法半导体最先进的专利技术。

超低功耗特性（超低功耗器件）

- 1.71 V 到 3.6 V 电源
- -40 °C 到 85/125 °C 温度范围
- VBAT 模式：130 nA（包含 RTC 和 9 x 32 位备份寄存器）
- 关断模式（6 个唤醒引脚）：16 nA
- 待机模式（6 个唤醒引脚）：160 nA（带 RTC），30 nA（不带 RTC）
- Stop 2 模式：825 nA（带 RTC），695 nA（不带 RTC）
- 运行模式（LDO 模式）：52 µA/MHz
- 批采集模式 (BAM)
- 4 µs 从 Stop 模式唤醒
- 欠压复位 (BOR)

内核

- 32 位 Arm® Cortex®-M0+ CPU，频率最高 56 MHz

ART 加速器

- 1 KB 指令缓存，允许从 Flash 存储器零等待执行

性能基准

- 1.13 DMIPS/MHz (Drystone 2.1)
- 134 CoreMark® (2.4 CoreMark/MHz, 56 MHz)
- 407 ULPMark™-CP
- 143 ULPMark™-PP
- 19.7 ULPMark™-CM

存储器

- 256KB 单存储区 Flash 存储器，专有代码读保护
- 40 KB SRAM，带硬件奇偶校验

丰富的模拟外设（独立供电）

- 1x 12 位 ADC（0.4 µs 转换时间），硬件过采样最高可达 16 位
- 1x 12 位 DAC 输出通道，低功耗采样和保持
- 1 个通用运算放大器，内置 PGA（增益值可变，最高 16）
- 2 个超低功耗比较器

LCD 驱动器

- 8x48 或 4x52 个显示段，带升压转换器

产品摘要

STM32U083xC	STM32U083KC、 STM32U083HC、 STM32U083CC、 STM32U083RC、 STM32U083MC
-------------	-----------------------------------------------------------------------------

产品标签



通用输入/输出

- 多达 69 个快速 I/O，大部分为 5 V 容限

20 个通信接口

- USB 2.0 全速无晶振解决方案（带 LPM 和 BCD）
- 7x USART/LPUART（SPI、ISO 7816、LIN、IrDA、调制解调器）
- 4x I2C 接口，支持快速模式和超快速模式（最高 1 Mbit/s）
- 3x SPI，加上 4x USART（SPI 模式）
- IRTIM（红外接口）

安全性

- 客户代码保护
- 健壮的读保护 (RDP): 3 个保护级别状态和基于密码的回退（128 位 PSWD）
- 硬件保护特性 (HDP)
- 安全启动
- AES: 128/256 位密钥加密硬件加速器
- 真随机数生成，符合 NIST SP 800-90B 认证条件
- 符合 Arm® PSA 1 级和 SESIP 3 级认证条件
- 5 个被动防入侵引脚
- 96 位唯一 ID

时钟管理

- 4 MHz 到 48 MHz 晶振
- 32 kHz 晶振，用于 RTC (LSE)
- 内置经工厂调校的 16 MHz RC ($\pm 1\%$)
- 内部低功耗 32 kHz RC ($\pm 5\%$)
- 内部多速 100 kHz 到 48 MHz 振荡器，由 LSE 自动调整（精度高于 $\pm 0.25\%$ ）
- 内部 48 MHz，带时钟恢复
- 用于系统时钟、USB 和 ADC 的 PLL

10 个定时器、RTC 和 2 个看门狗

- 1 个 16 位高级电机控制定时器，1 个 32 位通用定时器和 3 个 16 位通用定时器，2 个 16 位基本定时器，3 个低功耗 16 位定时器（可在 Stop 模式下使用），2 个看门狗，SysTick 定时器
- RTC，带硬件日历、闹钟和校准

CRC 计算单元**多达 21 个电容感应通道**

- 支持触摸键、线性和旋转触摸传感器

12 通道的 DMA 控制器

- 灵活映射 (DMAMUX)

调试

- 开发支持：串行线调试 (SWD)

所有封装均符合 ECOPACK2 标准

1 简介

本文提供 STM32U083xC 器件的相关信息，例如描述、功能概述、引脚分配和定义、电气特性、封装和订购信息。

必须结合 STM32U083xC 参考手册 (RM0503) 一起阅读。

有关数据手册和参考手册的器件勘误信息，请参见 STM32U083xC 勘误表 (ES0602)。

有关 Arm® Cortex®-M0+ 内核的信息，请参见《Cortex-M0+ 技术参考手册》（可从 www.arm.com 网站获取）。

注：Arm 是 Arm Limited（或其子公司）在美国和/或其他地区的注册商标。



2 说明

STM32U083xC 器件为超低功耗微控制器，基于高性能 Arm® Cortex®-M0+ 32 位 RISC 内核，工作频率最高可达 56 MHz。

STM32U083xC 器件内置高速存储器（256 KB Flash 存储器和 40 KB SRAM，带硬件奇偶校验），丰富的增强 I/O 和外设与 APB 和 AHB 总线连接，并有一个 32 位多 AHB 总线矩阵。

这些器件还内置保护机制以保护嵌入式 Flash 存储器和 SRAM，例如读保护和写保护。

STM32U083xC 器件提供一个 12 位 ADC、一个 12 位 DAC、两个内置的轨到轨模拟比较器、一个运算放大器、低功耗 RTC、一个通用 32 位定时器、一个专用于电机控制的 16 位 PWM 定时器，三个通用 16 位定时器和三个 16 位低功耗定时器。

这些器件还内置多达 21 个容性感应通道，以及一个集成式 LCD 控制器，可借助内部升压转换器驱动 8x48 或 4x52 个显示段。

同时，这些器件具有标准和高级通信接口，分别为四个 I2C、三个 SPI、四个 USART 和三个低功耗 UART，以及一个无晶体 USB 全速设备。

此外，STM32U083xC 器件内置了一个 AES 硬件加速器。

STM32U083xC 器件的工作温度范围为 -40 °C 到 +85 °C（+105 °C 结温）和 -40 °C 到 +125 °C（+130 °C 结温）：当使用内部 LDO 稳压器时，V_{DD} 电源 1.71 V 到 3.6 V；全套的节电模式实现低功耗应用设计。

支持独立电源：用于 ADC、DAC、OPAMP 和比较器的独立模拟电源输入，以及支持 RTC 和备份寄存器的 VBAT 输入。

STM32U083xC 提供 32 到 81 个引脚的八种封装。

有关各器件可用外设的列表，请参见下表。

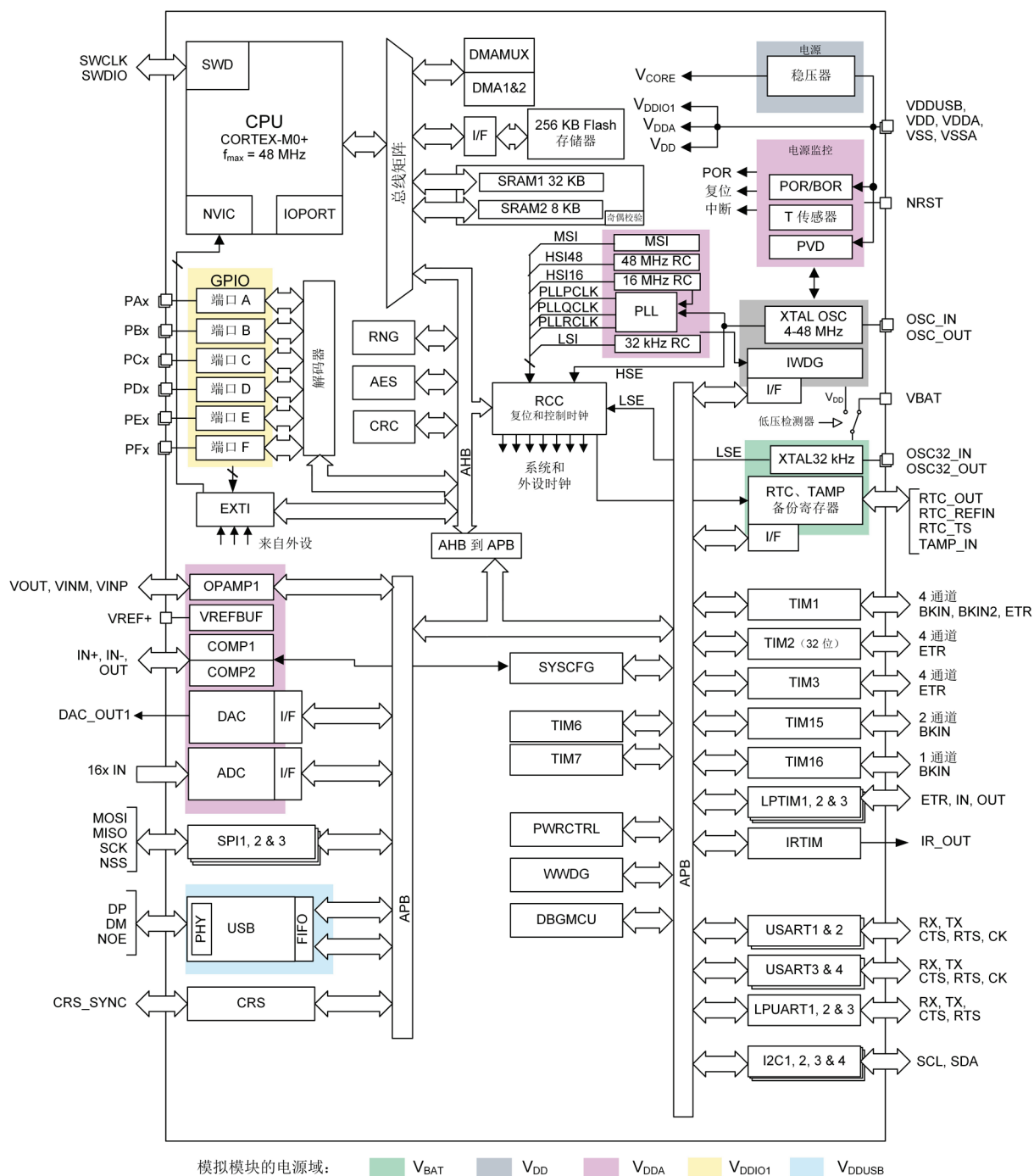
表 1. 器件特性和外设数量

外设		STM32U083MC	STM32U083RC	STM32U083CC	STM32U083HC	STM32U083KC
Flash 存储器 (KB)		256				
SRAM (KB)		40				
定时器	高级控制	1 (16 位)				
	通用	3 (16 位) 1 (32 位)				
	基本	2 (16 位)				
	低功耗	2 (16 位)				
	SysTick	1				
	看门狗定时器 (独立看门狗和窗口看门狗)	2				
通信接口	SPI	3				
	I2C	4				
	USART LPUART	4 3				
	USB	有				
RTC		有				
防篡改引脚		5	5	4	3	3
LCD COM x SEG		有 8x48 或 4x52	有 8x33 或 4x37	有 4x24	有 3x19	有 3x17
真随机数发生器 (RNG)		有				
AES 硬件加速器		有				

外设	STM32U083MC	STM32U083RC	STM32U083CC	STM32U083HC	STM32U083KC
GPIO	68/69 ⁽¹⁾	53	39	33	27
唤醒引脚	6	6	6	4	3
电容电感通道数	21	18	12	9	8
12 位 ADC 通道数	1 16				1 10
12 位 DAC	1				
内部电压参考缓冲器	有	无			
模拟比较器	2				
运算放大器	1				
最大值 CPU 频率 (MHz)	56				
工作电压 (V _{DD})	1.71 V 到 3.6 V				
工作温度	工作环境温度: -40 °C 到 85 °C/-40 °C 到 125 °C 结温: -40 °C 到 105 °C/-40 °C 到 130 °C				
封装	LQFP80、 UFBGA81	LQFP64、 UFBGA64	LQFP48、 UFBGA48	WLCSP42	UFQFPN32

1. LQFP80 和 UFBGA81 分别提供 68 个和 69 个 GPIO。

图 1. 框图



DTT1260V6

3 功能概述

3.1 带有 MPU 的 Arm® Cortex®-M0+ 内核

Arm Cortex -M0+ 是一款入门级 32 位 Arm Cortex 处理器，可用于种类丰富的嵌入式应用。它为开发人员提供的显著优势包括：

- 架构简单，易于学习和编程
- 功耗超低，支持高能效运行
- 优秀的代码密度
- 可确保实现高性能中断处理
- 向上兼容 Cortex-M 系列处理器
- 集成了存储器保护单元 (MPU)，具有极强的平台安全性。

Cortex-M0+ 处理器基于面积和功率实现了高度优化的 32 位内核而构建，采用 2 级流水线冯诺依曼架构。该款处理器通过功能强大的小型指令集和广泛优化的设计，提供包括单周期乘法器在内的高端处理硬件，从而实现卓越能效。

与其他 8 位和 16 位微控制器相比，Cortex-M0+ 处理器实现了 32 位现代架构所应具备的卓越性能，同时提高了代码密度。

由于采用嵌入式 Arm 内核，STM32U083xC 器件与 Arm 工具和软件兼容。

Cortex-M0+ 与第 3.14.1 节: 嵌套向量中断控制器 (NVIC) 中所述的嵌套向量中断控制器 (NVIC) 紧密耦合。

3.2 自适应实时存储器加速器 (ART Accelerator)

ART Accelerator 是针对 STM32 工业标准 Arm® Cortex®-M0+ 处理器进行了优化的存储器加速器。该加速器很好地体现了 Arm Cortex-M0+ 在 Flash 存储器技术方面的固有性能优势，克服了通常条件下，高速的处理器在运行中需要经常等待 Flash 存储器读取的情况。

为了在 56 MHz 下让处理器发挥接近 67 DMIPS 的性能，该加速器将实施指令预取队列和分支缓存，从而提高了 64 位 Flash 存储器的程序执行速度。根据基准测试，凭借 ART 加速器所获得的性能相当于 Flash 存储器在 CPU 频率高达 56 MHz 时以 0 个等待周期执行程序。

3.3 存储器保护单元

存储器保护单元 (MPU) 用于管理 CPU 对存储器的访问，以防止一个任务意外损坏另一个激活任务所使用的存储器或资源。

若应用中有一些关键的或认证的代码必须受到保护，以免被其他任务的错误行为影响，则 MPU 尤其有用。它通常由 RTOS（实时操作系统）管理。若程序访问的存储器位置被 MPU 禁止，则 RTOS 可检测到它并采取行动。在 RTOS 环境中，内核可基于执行的进程，动态更新 MPU 区的设置。

MPU 是可选的，若应用不需要则可绕过。

3.4 存储器

3.4.1 嵌入式 Flash 存储器

STM32U083xC 器件采用 256 KB 嵌入式 Flash 存储器，可用于存储代码和数据。

可以通过选项字节对灵活保护功能进行配置：

- 健壮的读保护 (RDP)，基于密码的回退（128 位 PSWD）。提供三个保护状态等级：
 - 级别 0：无读保护
 - 级别 1：存储器读保护，若连接了调试特性或选择了通过 RAM 或自举程序自举，则无法读写 Flash 存储器
 - 级别 2：芯片读保护，并且禁止调试功能（Cortex-M0 串行线）和通过 RAM 和自举程序自举选择。该选择不可逆。

有关存储器区域访问与 RDP 保护级别的信息，请参见表 2。

- 写保护 (WRP)：保护区域受到保护，可防止被擦除和编程。每个存储区可选择两个区域，粒度为 2 KB。

表 2. 访问状态与读保护级别和执行模式

区域	保护级别	用户执行			调试，从 RAM 自举或从系统内存（加载程序）自举		
		读	写	擦除	读	写	擦除
用户存储器	1	可以	可以	可以	不可以	不可以	不可以
	2	可以	可以	可以	N/A	N/A	N/A
系统存储器	1	可以	不可以	不可以	可以	不可以	不可以
	2	可以	不可以	不可以	N/A	N/A	N/A
选项存储器	1	可以	可以	可以	可以	可以	可以
	2	可以	不可以	不可以	N/A	N/A	N/A
备份存储器	1	可以	可以	N/A ⁽¹⁾	不可以	不可以	N/A ⁽¹⁾
	2	可以	可以	N/A	N/A	N/A	N/A

1. RDP 从级别 1 更改为级别 0 时擦除。

整个非易失性存储器内置纠错码 (ECC) 功能，可支持：

- 单个错误检测和纠正
- 双重错误检测
- 从 ECC 寄存器读取 ECC 失效地址

安全区域

Flash 存储器一部分区域，可以在其包含的代码执行后对应用程序隐藏。只要通过 FLASH_HDPCR 和 FLASH_SECR 寄存器在安全区域使能了安全功能，在系统复位前，便无法访问安全存储器。安全区域通常包含安全启动代码，仅在启动时执行一次。这可以帮助将机密代码与不受信任的应用代码隔离开来。

3.4.2 嵌入式 SRAM

STM32U083xC 器件具有 40 KB SRAM，带硬件奇偶校验。硬件奇偶校验可检测存储器数据错误，可帮助提高应用的功能安全性。

嵌入的 SRAM 分为两个区域，如下所述：

- SRAM1：32 KB，带硬件奇偶校验，映射地址为 0x2000 0000
- SRAM2：8 KB，带硬件奇偶校验，地址为 0x1000 0000
SRAM2 还映射在地址 0x2000 8000 处，从而与 SRAM1 一起提供连续的地址空间（8 KB 位带别名区）。在待机模式下，将保留 SRAM2 的内容。
以 1 KB 的粒度对其进行写保护。

可以以 CPU 时钟速度对存储器进行读/写访问，并保持零等待状态。

3.5 启动模式

启动时，通过自举引脚和自举选择器选项位来选择以下三种自举模式之一：

- 从用户 Flash 存储器自举
- 从系统存储器自举
- 从嵌入式 SRAM 自举

自举引脚与标准 GPIO 共用，可通过自举选择器选项位来使能。自举程序位于系统存储器中。可通过以下接口之一来管理 Flash 存储器重新编程：

- PA9/PA10、PC10/PC11 或 PA2/PA3 引脚上的 USART
- PB6/PB7 或 PB10/PB11 引脚上的 I2C 总线
- PA4/PA5/PA6/PA7 或 PB12/PB13/PB14/PB15 引脚上的 SPI
- PA11/12 引脚上的 USB

3.6 电源管理

3.6.1 电源方案

STM32U083xC 器件需要 1.71 V 到 3.6 V 的工作电压 (V_{DD})。

为特定外设提供了多个不同的电源：

- $V_{DD} = 1.71$ 到 3.6 V：外部电源，用于 I/O (V_{DDIO1})、内部稳压器和系统模拟信号（例如复位、电源管理和内部时钟）。通过 VDD 引脚从外部提供。
- $V_{DDA} = 1.62$ V (ADC/COMP)/1.80 V (DAC/OPAMP)/2.4 V (VREFBUF) 到 3.6 V：外部模拟电源，用于 ADC、OPAMP、DAC 和比较器。 V_{DDA} 电压电平独立于 V_{DD} 电压。
- $V_{DDUSB} = 3.0$ 到 3.6 V：外部独立电源，用于 USB 收发器。 V_{DDUSB} 电压电平独立于 V_{DD} 电压。
- $V_{BAT} = 1.55$ V 到 3.6 V：当 V_{DD} 不存在时，用作 RTC、32 kHz 外部时钟振荡器和备份寄存器的电源（通过电源开关）。封装上没有 VBAT 引脚时，VBAT 焊盘在内部与 VDD/VDDA 引脚连结。
- V_{REF+} 是模拟外设输入参考电压，或是内部电压参考缓冲器（如果使能）的输出。如果 $V_{DDA} < 2$ V， V_{REF+} 必须等于 V_{DDA} 。如果 $V_{DDA} \geq 2$ V， V_{REF+} 必须介于 2 V 和 V_{DDA} 之间。如果使用 V_{REF+} 的模拟外设未激活，则可以将其接地。

内部电压参考缓冲器支持两种输出电压值，可利用 VREFBUF_CSR 寄存器的 VRS 位进行配置：

- V_{REF+} 大约为 2.048 V（要求 V_{DDA} 大于等于 2.4 V）
- V_{REF+} 大约为 2.5 V（要求 V_{DDA} 大于等于 2.8 V）

V_{REF+} 通过 VREF+ 引脚提供。在没有 VREF+ 引脚的封装中，VREF+ 内部连接到 V_{DDA} ，内部电压参考缓冲器必须保持禁止状态（有关封装引脚排列的说明，请参见数据手册）。

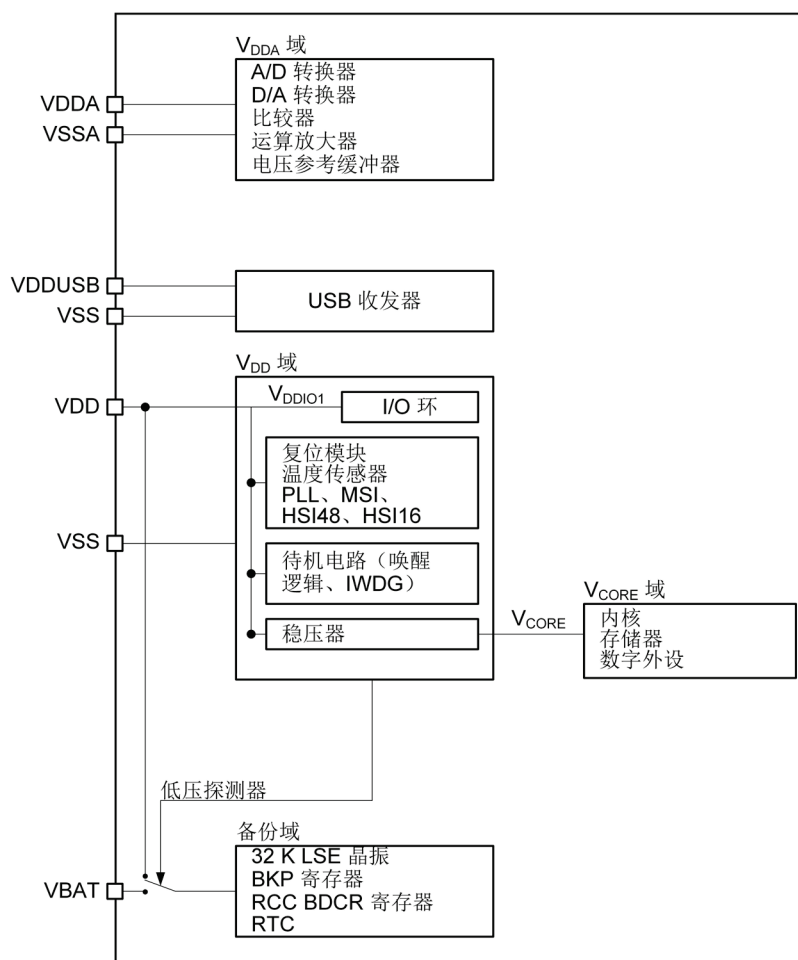
- V_{CORE}

使用嵌入式线性稳压器为内部数字电源 V_{CORE} 供电。 V_{CORE} 是用于数字外设、SRAM 和 Flash 存储器的电源。Flash 存储器还可以通过 V_{DD} 供电。

注： 如果不使用由 V_{DDA} 供电的功能，则最好将该电源与 V_{DD} 短接。

如果这些电源接地，则由这些电源供电的 I/O 不具备 5 V 容差。

V_{DDIOx} 是 I/O 通用数字功能电源。 V_{DDIOx} 表示 V_{DDIO1} ， $V_{DDIO1} = V_{DD}$ 。

图 2. 电源概述


DTT1259V2

3.6.2 电源监控器

该器件集成了上电/掉电 (POR/PDR) 复位功能，除关断模式之外，在其他所有电源模式下均有效，从而确保上电和掉电时正常运行。当供电电压低于 $V_{POR/PDR}$ 阈值时，该功能可让器件保持在复位状态，无需使用外部复位电路。欠压复位 (BOR) 功能增加了灵活性。该功能可通过选项字节使能和配置，方法是在 V_{DD} 上升时选择四个阈值中的一个，在 V_{DD} 下降时选择其他四个阈值中的一个。

该器件还有一个嵌入式可编程电压检测器 (PVD)，用于监视 V_{DD} 电源并将其与 V_{PVD} 阈值进行比较。当 V_{DD} 值超出 V_{PVD} 阈值时，可以选择在下降时、上升时或在下降和上升时产生中断。随后，中断服务程序会生成一条警告消息并且/或者使 MCU 进入安全状态。PVD 由软件使能。

3.6.3 稳压器

两个嵌入式线性稳压器（主稳压器 (MR) 和低功耗稳压器 (LPR)）为器件中的大部分数字电路供电：

- MR 用在运行模式、睡眠模式和 Stop 0 模式下。
- LPR 用在低功耗运行模式、低功耗睡眠模式以及 Stop 1 和 Stop 2 模式下。还用于在待机模式下为 8 KB SRAM2 供电，以确保 SRAM2 内容得以保留。

在待机模式和关断模式下，两个稳压器均掉电：稳压器输出处于高阻抗状态，内核电路掉电，因而实现零功耗。

3.6.4 VBAT 工作模式

VBAT 电源域能耗极低，包括 RTC、LSE 振荡器和备份寄存器。

在 VBAT 模式下，RTC 域由 VBAT 引脚供电。电源可以是外部电池或外部超级电容器等。提供两个防入侵检测引脚。

RTC 域也可以通过 VDD/VDDA 引脚供电。

通过内置开关，内部电压监控器可在 VDD 与 VBAT 引脚电压之间自动切换 RTC 域的供电电压，以确保 RTC 域的供电电压 (VBAT) 保持在有效的工作条件内。如果这两个电压均有效，RTC 域将由 VDD/VDDA 引脚供电。

如果 VDD 电压在有效范围内，可激活内部电路，以便在 VBAT 引脚上为电池充电。

注：外部中断和 RTC 闹钟/事件不会使微控制器退出 VBAT 模式，因为在该模式下，VDD 不在有效范围内。

3.7 低功耗模式

默认情况下，系统复位或上电复位后，微控制器进入运行模式。由用户从下述低功耗模式中选择一种模式：

- **睡眠模式**

在睡眠模式下，只有 CPU 停止工作。所有外设继续运行并可在发生中断/事件时唤醒 CPU。

- **低功耗运行模式**

实现该模式时，V_{CORE} 由低功耗稳压器供电，以最大程度降低稳压器工作电流。代码可通过 SRAM 或 Flash 存储器执行，CPU 频率限制为 2 MHz。具有独立时钟的外设可由 HSI16 提供时钟。

- **低功耗睡眠模式**

从低功耗运行模式进入该模式。只有 CPU 时钟停止。当事件或中断触发唤醒时，系统会恢复到低功耗运行模式。

- **Stop 0、Stop 1 和 Stop 2 模式**

Stop 模式可在保留 SRAM 和寄存器内容的同时，实现最低功耗。V_{CORE} 域中的所有时钟均停止，并将禁止 PLL、MSI RC、HSI16 RC 和 HSE 晶振。LSE 和 LSI 时钟仍运行。

RTC 可以保持有效（带 RTC 的 Stop 模式，不带 RTC 的 Stop 模式）。

一些具有唤醒功能的外设可在 Stop 模式期间使能 HSI16 RC，以检测其唤醒条件。

提供三种 Stop 模式：Stop 0、Stop 1 和 Stop2：

- 在 Stop2 模式下，大多数 V_{CORE} 域处于低泄漏模式。
- Stop 1 可提供最多的工作外设和唤醒源的数量，较短的唤醒时间，但功耗要高于 Stop 2 模式。
- 在 Stop 0 模式下，主稳压器保持开启状态，从而可以非常快速地唤醒，但功耗则会高很多。

退出 Stop 0、Stop 1 或 Stop 2 模式时，系统时钟可以是 MSI 时钟（最高 48 MHz）或 HSI16，具体视软件配置而定。

- **待机模式**

待机模式用于实现一种最低功耗，在该模式下 POR/PDR 始终保持工作状态。主稳压器关断，从而关闭 V_{CORE} 域。低功耗稳压器关断或保持工作状态。如果是后者，则仅为 SRAM 供电以确保数据得以保留。PLL 及 HSI16 RC 振荡器和 HSE 晶振也将关断。RTC 可以保持有效（带 RTC 的待机模式，不带 RTC 的待机模式）。

对于每个 I/O，由软件确定在待机模式期间是否必须为该 I/O 应用上拉电阻、下拉电阻还是不应用电阻。

进入待机模式后，除 RTC 域和待机电路中的寄存器外，其他寄存器的内容都将丢失。SRAM 的内容可通过寄存器设置保留。

发生外部复位事件（NRST 引脚）、IWDG 复位事件、唤醒事件（WKUP 引脚，可配置的上升或下降沿）或 RTC 事件（闹钟、周期性唤醒、时间戳、入侵），或者在 LSE 上检测到故障（LSE 上的 CSS）时，器件将退出待机模式。

- **关断模式**

在关断模式下可实现最低功耗。内部稳压器关闭，因此 V_{CORE} 域将断电。PLL、HSI16、MSI、LSI 和 HSE 振荡器也会关闭。

RTC 可以保持有效状态（带 RTC 的关断模式，不带 RTC 的关断模式）。

在关断模式下 BOR 不可用。在此模式下电源电压监测不可用，因此不支持备份域的开启。

除备份域中的寄存器之外，SRAM1、SRAM2 和寄存器的内容都将丢失。

发生外部复位（NRST 引脚）、WKUP 引脚事件（可配置的上升或下降沿）或 RTC 事件（闹钟、周期性唤醒、时间戳、入侵）时，器件将退出关断模式。

唤醒后的系统时钟为 MSI (4 MHz)。

表 3. 功能取决于工作模式

图例：Y = 支持（使能）。O = 可选（默认情况下禁止。可通过软件使能）。- = 不可用。

外设	运行	睡眠	低功耗运行	低功耗睡眠	Stop 0/1		Stop 2		待机		关断		VBAT
					-	唤醒能力	-	唤醒能力	-	唤醒能力	-	唤醒能力	
CPU	Y	-	Y	-	-	-	-	-	-	-	-	-	-
Flash 存储器 (256 KB)	O ⁽¹⁾	O ⁽¹⁾	O ⁽¹⁾	O ⁽¹⁾	-	-	-	-	-	-	-	-	-
SRAM1 (32 KB)	Y	Y ⁽²⁾	Y	Y ⁽²⁾	Y	-	Y	-	-	-	-	-	-
SRAM2 (8 KB)	Y	Y ⁽²⁾	Y	Y ⁽²⁾	Y	-	Y	-	O ⁽³⁾	-	-	-	-
备份寄存器	Y	Y	Y	Y	Y	-	Y	-	Y	-	Y	-	Y
欠压复位 (BOR)	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-
可编程电压检测器 (PVD)	O	O	O	O	O	O	O	O	-	-	-	-	-
外设电压监测 (PVMx; x = 1、2、3)	O	O	O	O	O	O	O	O	-	-	-	-	-
DMA	O	O	O	O	-	-	-	-	-	-	-	-	-
高速内部时钟 (HSI16)	O	O	O	O	⁽⁴⁾	-	⁽⁴⁾	-	-	-	-	-	-
振荡器 RC48 (HSI48)	O	O	-	-	-	-	-	-	-	-	-	-	-
高速外部时钟 (HSE)	O	O	O	O	-	-	-	-	-	-	-	-	-
低速内部时钟 (LSI)	O	O	O	O	O	-	O	-	O	-	-	-	-
低速外部时钟 (LSE)	O	O	O	O	O	-	O	-	O	-	O	-	O
多速内部 (MSI)	O	O	O	O	-	-	-	-	-	-	-	-	-
时钟安全系统 (CSS)	O	O	O	O	-	-	-	-	-	-	-	-	-
LSE 上的时钟安全系统	O	O	O	O	O	O	O	O	O	O	-	-	-
RTC/自动唤醒	O	O	O	O	O	O	O	O	O	O	O	O	O
RTC 入侵引脚的数量	2	2	2	2	2	O	2	O	2	O	2	O	2
USARTx (x = 1、2、3、4)	O	O	O	O	O ⁽⁵⁾	O ⁽⁵⁾	-	-	-	-	-	-	-
LPUARTx (x = 1 到 x = 3)	O	O	O	O	O ⁽⁵⁾	O ⁽⁵⁾	O ⁽⁵⁾	O ⁽⁵⁾	-	-	-	-	-
I2Cx (x = 2、4)	O	O	O	O	O ⁽⁶⁾	O ⁽⁶⁾	-	-	-	-	-	-	-
I2Cx (x = 1、3)	O	O	O	O	O ⁽⁶⁾	O ⁽⁶⁾	O ⁽⁶⁾	O ⁽⁶⁾	-	-	-	-	-
SPiRx (x = 1 到 3)	O	O	O	O	-	-	-	-	-	-	-	-	-
ADC1	O	O	O	O	-	-	-	-	-	-	-	-	-
DAC1	O	O	O	O	O	-	-	-	-	-	-	-	-
OPAMP1	O	O	O	O	O	-	-	-	-	-	-	-	-
COMPx (x = 1、2)	O	O	O	O	O	O	O	O	-	-	-	-	-
温度传感器	O	O	O	O	-	-	-	-	-	-	-	-	-
定时器 (TIMx)	O	O	O	O	-	-	-	-	-	-	-	-	-
LPTIMx (x = 1 到 3)	O	O	O	O	O	O	O	O	-	-	-	-	-
独立看门狗 (IWDG)	O	O	O	O	O	O	O	O	O	O	-	-	-
窗口看门狗 (WWDG)	O	O	O	O	-	-	-	-	-	-	-	-	-
SysTick 定时器	O	O	O	O	-	-	-	-	-	-	-	-	-

外设	运行	睡眠	低功耗运行	低功耗睡眠	Stop 0/1		Stop 2		待机		关断		VBAT
					-	唤醒能力	-	唤醒能力	-	唤醒能力	-	唤醒能力	
触摸感应控制器 (TSC)	O	O	O	O	-	-	-	-	-	-	-	-	-
LCD	O	O	O	O	O	O	O	O	-	-	-	-	-
真随机数发生器 (RNG)	O ⁽⁷⁾	O ⁽⁷⁾	-	-	-	-	-	-	-	-	-	-	-
AES 硬件加速器	O	O	O	O	-	-	-	-	-	-	-	-	-
CRC 计算单元	O	O	O	O	-	-	-	-	-	-	-	-	-
GPIO	O	O	O	O	O	O	O	O	⁽⁸⁾	5 个引脚 ⁽⁹⁾	⁽¹⁰⁾	5 个引脚 ⁽⁹⁾	-

- Flash 存储器可配置为掉电模式。默认情况下，它不是掉电模式。
- SRAM 时钟可门控打开或关闭。
- 当 PWR_CR3 寄存器中的 RRS 位置 1 时，SRAM2 内容保留。
- 一些能够从 Stop 模式唤醒的外设可请求将 HSI16 使能。在这种情况下，HSI16 由外设唤醒，并且仅响应请求它的外设。当外设不再需要 HSI16 时，HSI 将自动关闭。
- 在 Stop 模式下，UART 和 LPUART 的接收功能能够工作，并能在开始、地址匹配或接收到帧事件时产生一个唤醒中断。
- 在 Stop 模式下，I2C 地址检测功能能够工作，并能在地址匹配时产生一个唤醒中断。
- 电压调节仅限范围 1。
- 待机模式下，I/O 可配置为内部上拉、下拉或浮空。
- 具有从待机/关断模式唤醒功能的 I/O 为 PA0、PA1、PA2、PB15、PC5 和 PC13。
- I/O 在关断模式下可配置为内部上拉、下拉或浮空，但是当退出关断模式时该配置会丢失。

3.8 外设互连矩阵

多个外设间有直接连接。这使得外设间可自主通信，节省了 CPU 资源和功耗。此外，这些硬件连接的延时短且可预测。

视外设而定，这些互连可以在运行模式、睡眠模式和 Stop 模式下工作。

表 4. 外设互连

互连源	互连目标	互连行为	运行 低功耗运行	睡眠 低功耗睡眠	Stop
TIMx	TIMx	定时器同步或级联	Y	Y	-
	ADCx DACx	转换触发	Y	Y	-
	DMA	存储器-到-存储器传输触发信号	Y	Y	-
	COMPx	比较器输出消隐	Y	Y	-
COMPx	TIM1、2、3	定时器输入通道、触发信号、刹车 (模拟信号比较)	Y	Y	-
	LPTIMx	模拟信号比较触发的低功耗定时器	Y	Y	Y
ADCx	TIM1	模拟看门狗触发的定时器	Y	Y	-
RTC	TIM16	定时器输入通道 (RTC 事件)	Y	Y	-
	LPTIMx	RTC 闹钟或入侵触发的低功耗定时器	Y	Y	Y

互连源	互连目标	互连行为	运行 低功耗运行	睡眠 低功耗睡眠	Stop
所有时钟源（内部和外部）	TIM16	用作 RC 测量和微调的输入通道的时钟源	Y	Y	-
CSS RAM（奇偶校验错误） Flash 存储器（ECC 错误） COMPx PVD	TIM1、15、16	定时器刹车	Y	Y	-
CPU (HardFault)	TIM1 15、16	定时器刹车	Y	-	-
GPIO	TIMx	外部触发信号	Y	Y	-
	LPTIMx	外部触发信号	Y	Y	Y
	ADCx DACx	转换外部触发	Y	Y	-

3.9 复位和时钟控制器 (RCC)

3.9.1 复位模式

复位期间和退出复位时，I/O 的施密特触发器将被禁止，以降低功耗。此外，当复位源在内部时，NRST 引脚上的内置上拉电阻将处于停用状态。

3.9.2 时钟和启动

时钟控制器将来自不同振荡器的时钟分配到内核和外设。它也为低功耗模式管理时钟门控，并确保时钟的稳健性。它具有以下特性：

- **时钟预分频器：**为了获得速度与电流消耗的最佳平衡，可通过可编程预分频器来调整 CPU 和外设的时钟频率。
- **安全时钟切换：**可通过配置寄存器在运行模式下安全地实时切换时钟源。
- **时钟管理：**为降低功耗，时钟控制器可停止内核或单个外设或存储器的时钟。
- **系统时钟源：**有两个不同的时钟源可提供 SYSCLK 系统时钟：
 - 带外部晶振或陶瓷谐振器的 4-48 MHz 高速振荡器 (HSE)。它可以为系统 PLL 提供时钟。HSE 还可以配置为旁路模式，用于外部时钟。
 - 16 MHz 高速内部 RC 振荡器 (HSI16)，可通过软件微调。它可以为系统 PLL 提供时钟。
 - 多速内部 RC 振荡器 (MSI)，可通过软件微调，能够生成介于 100 kHz 到 48 MHz 的之间的 12 个频率。如果系统提供 32.768 kHz 时钟源 (LSE)，则 MSI 频率可由硬件自动微调，以达到高于 $\pm 0.25\%$ 的精确度。MSI 可以为 PLL 提供时钟。
 - 系统 PLL，可由 HSE、HSI16 或 MSI 供电。它可以提供高达 56 MHz 的系统时钟。
- **辅助时钟源：**用于实时时钟 (RTC) 和 LCD 控制器的三个超低功耗时钟源：
 - 带外部晶振的 32.768 kHz 低速振荡器 (LSE)，支持四种驱动能力模式。LSE 还可以配置为旁路模式，以使用外部时钟。
 - 32 kHz 低速内部 RC 振荡器 (LSI)，精度为 $\pm 5\%$ ，也可用来为独立看门狗提供时钟。
- **外设时钟源：**一些外设 (RNG、USART、I2C、LPTIM、ADC) 具有独立于系统时钟的时钟。
- **时钟安全系统 (CSS)：**HSE 时钟发生故障时，系统时钟会自动切换到 HSI16，并将产生软件中断（如果使能）。LSE 时钟故障也可以被检测到，并会产生中断。CSS 功能可通过软件使能。
- **时钟输出：**
 - **MCO（微控制器时钟输出）**提供一个内部时钟，以供应用在外部使用
 - **LSCO（低速时钟输出）**在所有低功耗模式（VBAT 工作模式除外）下提供 LSI 或 LSE。

一些预分频器支持应用配置 AHB 和 APB 域时钟频率，最大 56 MHz。

3.10 时钟恢复系统 (CRS)

STM32U083xC 器件内置一个特殊的模块，该模块支持自动微调内部 48 MHz 振荡器，以保证器件在整个工作期间保持最佳精确性。自动微调基于外部同步信号，该信号可以派生自 USB SOF 信号、LSE 振荡器、CRS_SYNC 引脚上的外部信号，或由用户软件产生。为了在启动期间更快速地锁定，还可以将自动微调与手动微调操作相结合。

3.11 通用输入/输出 (GPIO)

每个 GPIO 引脚都可以由软件配置为输出（推挽或开漏）、输入（带或不带上拉/下拉）或外设复用功能 (AF)。大多数 GPIO 引脚都具有特殊的数字或模拟功能。

通过特定序列，可以锁定 I/O 的这种特殊功能配置，例如避免向 I/O 控制寄存器写入虚假数据。

3.12 直接存储器访问控制器 (DMA)

直接存储器访问 (DMA) 控制器是一个主控总线系统外设，采用单 AHB 架构。

该控制器有七个通道，可在存储器映射外设与/或存储器之间执行数据传输，以减轻 CPU 负载。

每个通道都专门管理来自一个或更多外设的存储器访问请求。该装置包含一个仲裁器，用于处理 DMA 请求间的优先级。

DMA 控制器的主要特性：

- 单 AHB 主控总线
- 外设到存储器、存储器到外设、存储器到存储器以及外设到外设的数据传输
- 可将映射到存储器空间上的片上设备作为源或目标进行访问，例如 Flash、SRAM、AHB 和 APB 外设
- 所有 DMA 通道均可单独配置：
 - 每个通道均与来自外设的 DMA 请求信号或存储器到存储器传输中的软件触发信号相关联。由软件来完成配置。
 - 各请求之间的优先级可用软件编程（每通道包含四个优先级：非常高、高、中、低），在软件设定的优先级相同的情况下，可以通过硬件确定优先级（例如，通道 1 请求的优先级高于通道 2 请求的优先级）。
 - 源和目标的传输大小（字节、半字、字）彼此独立，模拟打包和拆包。源和目标的地址必须根据传输数据的大小进行对齐。
 - 支持外设与存储器之间的双向传输，并支持循环缓冲区管理
 - 可编程的待传输数据数目：0 到 $2^{16} - 1$
- 每个通道生成一个中断请求。每个中断请求均因以下三个 DMA 事件中的任意一个而引起：传输完成、半传输或传输错误。

3.13 DMA 请求复用器 (DMAMUX)

DMAMUX 请求复用器支持在外设与 DMA 控制器之间重新配置（路由）DMA 请求线。每条通道可不受限制地选择一个 DMA 请求线，或者按照与来自其 DMAMUX 同步输入的事件相同步的方式选择一个 DMA 请求线。此外，DMAMUX 还可用作其输入触发信号的可编程事件的 DMA 请求发生器。

3.14 中断和事件

器件可以灵活地管理导致线性程序执行中断的事件（称为异常）。Cortex®-M0+ 处理器内核、嵌套矢量中断控制器(NVIC) 和扩展中断/事件控制器 (EXTI) 是处理异常的重要资源。异常包括内核内部事件（例如除以零）和内核外部事件（例如物理线路上的逻辑电平变化）。异常会导致中断程序流、执行中断服务程序 (ISR)，随后恢复原始程序流。

处理器上下文（程序指针和状态寄存器的内容）在程序中断时入栈，程序恢复时出栈，入栈和出栈均由硬件完成。这样可以避免由软件在中断服务程序 (ISR) 中入栈和出栈，从而节省了时间、减少了代码，并降低功耗。放弃和重新开始 load-multiple 和 store-multiple 操作的能力显著增强了设备在处理异常时的响应度。

3.14.1 嵌套向量中断控制器 (NVIC)

可配置的嵌套向量中断控制器与内核紧密耦合。它处理与不可屏蔽中断 (NMI) 和可屏蔽中断相关的物理线路事件，以及 Cortex®-M0+ 异常。提供灵活的优先级管理功能。

处理器内核与 NVIC 的紧密耦合极大缩短了中断事件与相应中断服务程序 (ISR) 启动之间的延时。ISR 向量在向量表中列出，存储在 NVIC 的基址位置。待执行 ISR 的向量地址由硬件通过向量表基址和用作偏移的 ISR 优先级编号来构建。

如果在一个优先级更高的中断事件发生时，前面已经有一个优先级较低的中断事件正在等待处理，则会先处理后到达的这个优先级更高的中断事件。另一种优化方法称为中断咬尾。从优先级更高的 ISR 返回然后开始处理挂起的较低优先级 ISR 时，会跳过不需要的处理器上下文出栈和入栈。这样处理可以缩短延时，提高能效。

NVIC 的特性：

- 低延时中断处理
- 四个级别的优先级
- 处理不可屏蔽中断 (NMI)
- 处理 32 条可屏蔽中断线路
- 处理 10 个 Cortex-M0+ 异常
- 先处理后到达但优先级更高的中断
- 中断咬尾
- 中断向量由硬件检索

3.14.2 扩展中断/事件控制器 (EXTI)

扩展中断/事件处理器可以更灵活地处理物理线事件，并能够在处理器从 Stop 模式唤醒时识别出唤醒事件。

EXTI 控制器具有多个通道，分别具有上升沿检测功能、上升或下降沿检测功能、下降沿检测功能。任意 GPIO 信号和少许外设信号可与这些通道连接。

通道可以独立屏蔽。

EXTI 控制器可以捕获比内部时钟周期短的脉冲。

即使在 Stop 模式下，EXTI 控制器也可以锁存每一个事件，从而能够让软件识别出处理器从 Stop 模式唤醒的原因，以确定导致中断的 GPIO 和边沿事件。

3.15 循环冗余校验计算单元 (CRC)

CRC（循环冗余校验）计算单元使用一个其值和大小可配置的生成多项式来得到 CRC 码。

在众多的应用中，基于 CRC 的技术还常用来验证数据传输或存储的完整性。根据 EN/IEC 60335-1 标准的规定，这些技术提供了验证 Flash 存储器完整性的方法。CRC 计算单元有助于在运行期间计算软件的签名，并将该签名与链接时生成并存储在指定存储单元的参考签名加以比较。

3.16 模数转换器 (ADC)

STM32U083xC 器件内置了一个 12 位模数转换器。可通过硬件过采样扩展为 16 位分辨率。ADC 具有多达 16 个外部通道和 3 个内部通道（温度传感器、电压参考、V_{BAT} 监控）。可以在单发模式或扫描模式下执行转换。在扫描模式下，将对一组选定的模拟输入执行自动转换。

ADC 频率与 CPU 频率无关，即使使用低速 CPU，也可以达到约 2 Msps 的采样速率。自动关断功能可保证 ADC 除了正在进行转换外均处于关机状态。

ADC 可以使用 DMA 控制器。它可以在整个 V_{DD} 供电电压范围内工作。

ADC 具有最多可进行 256 次采样的硬件过采样器，将分辨率提高到 16 位（参见 AN2668）。

利用模拟看门狗功能，可以非常精确地监视一路、多路或所有扫描通道的转换电压。当转换电压超出编程的阈值时，将产生中断。

通用定时器 (TIMx) 生成的事件可在内部连接到 ADC 启动触发信号，从而允许应用将 A/D 转换与定时器同步。

3.16.1 温度传感器

温度传感器 (TS) 可随温度变化线性生成电压 V_{TS} 。

温度传感器内部连接到 ADC 输入，以将传感器的输出电压转换为数字值。

传感器的线性很好，但必须对其校准以得到较好总精度的温度测量。由于温度传感器的偏移可能因部件而异（过程变化导致），未校准的内部温度传感器仅适用于相对温度测量。

为提高温度传感器的精度，每个部件都单独由意法半导体在工厂进行校准。校准数据存储在部件的工程字节中，以只读模式进行访问。

表 5. 温度传感器校准值

校准值名称	说明	存储器地址
TS_CAL1	TS ADC 原始数据在温度为 30 °C (± 5 °C) 时获取， $V_{DDA} = V_{REF+} = 3.0 \text{ V} (\pm 10 \text{ mV})$	0x1FFF 6E68 - 0x1FFF 6E69
TS_CAL2	TS ADC 原始数据在 温度为 130 °C (± 5 °C) 时获取， $V_{DDA} = V_{REF+} = 3.0 \text{ V} (\pm 10 \text{ mV})$	0x1FFF 6E8A - 0x1FFF 6E8B

3.16.2 内部参考电压 (V_{REFINT})

内部电压参考 (V_{REFINT}) 为 ADC 和比较器提供了一个稳定的（带隙）电压输出。 V_{REFINT} 内部连接到 ADC 输入。 V_{REFINT} 的精确电压由意法半导体在生产测试期间对各部分单独进行测量，并存储在各部分的工程字节中。访问模式为只读。

表 6. 内部电压参考校准值

校准值名称	说明	存储器地址
V_{REFINT}	原始数据是在温度为 30 °C (± 5 °C) 时获取的数据， $V_{DDA} = V_{REF+} = 3.0 \text{ V} (\pm 10 \text{ mV})$	0x1FFF 6EA4 - 0x1FFF 6EA5

3.16.3 V_{BAT} 电池电压监控

这一内置的硬件特性允许应用使用内部 ADC 输入测量 V_{BAT} 电池电压。 V_{BAT} 电压可能高于 V_{DDA} ，进而超出 ADC 输入范围，因此 V_{BAT} 引脚内部连接到分压桥电路（除以 3）。因此，转换后的数字值为 V_{BAT} 电压的三分之一。

3.17 数模转换器 (DAC)

单通道 12 位缓冲 DAC 可将数字值转换为在通道输出上有效的模拟电压。任一通道均基于集成的电阻串和一个反相放大器。

DAC 的特性：

- 一个 DAC 输出通道
- 8 位或 12 位输出模式
- 缓冲器偏移校准（出厂和用户调节）
- 12 位模式下数据采用左对齐或右对齐
- 同步更新功能
- 生成噪声波
- 生成三角波
- 与 DMA 相连
- 通过定时器事件触发，与 DMA 同步
- 通过外部事件触发
- 低功耗模式下采样和保持，可使用内部或外部电容器

3.18 参考电压缓冲器 (VREFBUF)

使能后，嵌入式缓冲器为模拟模块（例如 ADC）以及外部组件的 VREF+ 引脚提供内部参考电压。

内部电压参考缓冲器支持两个电压：

- 2.048 V
- 2.5 V

如果内部电压参考缓冲器被禁止，可以通过 VREF+ 引脚提供外部电压参考。

在一些封装中，硅片的 VREF+ 焊盘与电源焊盘一起双线连接到公共 VDD/VDDA 引脚，因此无法使用内部电压参考缓冲器。

3.19 比较器 (COMP)

STM32U083xC 内置两个内置的轨到轨模拟比较器，具有可编程接口电压（内部或外部）、迟滞、速度（低功耗为低速）和输出极性。

参考电压可为以下之一：

- 外部，来自 I/O
- 内部，来自 DAC
- 内部参考电压 (V_{REFINT}) 或其约数（1/4、1/2、3/4）。

这些比较器可将器件从 Stop 模式唤醒，产生定时器的中断、刹车或触发信号，还可以合并为一个窗口比较器。

3.20 运算放大器 (OPAMP)

STM32U083xC 器件内置一个运算放大器，具有外部和内部跟随器路由和 PGA 功能。

运算放大器的特性：

- 低输入偏置电流
- 低偏移电压
- 低功耗模式
- 轨到轨输入

3.21 液晶控制器 (LCD)

LCD 可驱动最多八个公共端子和 48 个显示段端子，从而驱动多达 352 像素。

LCD 的特性

- 内部升压转换器可保证功能的对比度控制，而与 V_{DD} 无关。可以停用该转换器，在这种情况下，将使用 V_{LCD} 引脚来为 LCD 提供电压
- 支持静态、1/2、1/3、1/4 和 1/8 占空比
- 支持静态、1/2、1/3 和 1/4 偏置
- 相位反转可降低功耗和 EMI
- 最多可以将八个像素编程为闪烁

不需要的显示段和公共引脚可用作通用 I/O 引脚

由于采用双缓冲区，可随时更新 LCD RAM

LCD 控制器可在 Stop 模式下工作

3.22 触摸感应控制器 (TSC)

触摸感应控制器提供了一种简单的解决方案，可用于向任何应用添加电容感应功能。电容感应技术能够检测电极附近的手指，该电极受绝缘体（例如玻璃或塑料）保护以防直接接触。由手指（或任何导电物质）产生的电容变化可基于表面电荷转移采集原理，使用已证实有效的实现方法进行测量。

触摸感应控制器受 STMTouch 触摸感应固件库完全支持，该固件库可供免费使用，用于在最终应用中可靠地实现触摸感应功能。

触摸感应控制器的主要特性如下：

- 电荷转移采集原理
- 多达 21 个电容感应通道
- 可以并行采集多达三个电容感应通道，因此具备极佳的响应时间
- 五个可选阈值 (V_{IH} 、 V_{REF} 、 $3/4 V_{REF}$ 、 $1/2 V_{REF}$ 、 $1/4 V_{REF}$)，使用数字阈值或超低功耗比较器进行选择
- 具有扩频功能，可以提高系统在噪声环境中的稳定性
- 对电荷转移采集序列完全采用硬件管理
- 可编程电荷转移频率
- 可编程采样电容 I/O 引脚
- 可编程通道 I/O 引脚
- 可编程最大计数值，从而避免通道出现故障时采集时间过长
- 具有中断功能的专用采集结束和最大计数错误标志
- 一个采样电容可用于多达三个电容感应通道，从而可减少系统组件数量
- 与接近、触键、线性和旋转触摸传感器实现方案兼容
- 设计为与 STMTouch 触摸感应固件库配合使用

注：电容感应通道的数量取决于封装尺寸并受 I/O 可用性的限制。

3.23 真随机数发生器 (RNG)

RNG 是一个真随机数发生器，可向应用程序提供作为 32 位采样的全熵输出，它由一个实时熵源（模拟）和一个内部调节组件构成。

3.24 高级加密标准 (AES) 硬件加速器

内置的 AES 硬件加速器可以使用 AES 算法加密或解密数据。

AES 的特性：

- 使用 AES Rijndael 块密码算法进行加密/解密
- AES 加密/解密算法符合 NIST-FIPS-197 标准
- 128 位和 256 位寄存器，用来存储加密、解密或派生密钥（四个 32 位寄存器）。
- 支持电子密码本 (ECB)、密码块链接 (CBC)、计数器 (CTR)、Galois 计数器 (GCM)、Galois 消息认证码 (GMAC) 和密文消息认证码 (CMAC) 模式
- 密钥调度器
- 解密密钥派生
- 128 位数据块处理
- 128 位和 256 位密钥长度
- 32 位输入和输出缓冲器
- 寄存器访问支持 32 位数据宽度
- 128 位寄存器用于初始化向量 (AES 配置为 CBC 模式时) 或用于 32 位计数器初始化 (选择了 CRT 模式、GCM 模式或 CMAC 模式时)。
- 采用自动数据流控制，支持直接存储器访问 (DMA)，使用 2 个通道，分别用于传入数据和传出数据
- 消息处理挂起，以处理另一个优先级更高的消息

3.25 定时器和看门狗

该器件包括一个高级控制定时器、六个通用定时器、两个基本定时器、三个低功耗定时器、两个看门狗定时器和一个 SysTick 定时器。表 7 对高级控制定时器、通用定时器和基本定时器的特性进行了对比。

表 7. 定时器的特性比较

定时器类型	定时器	计数器分辨率	计数器类型	最大工作频率	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级控制	TIM1	16 位	递增、递减、递增/递减	56 MHz	1 到 2^{16} 的整数	有	4	3
通用	TIM2	32 位	递增、递减、递增/递减	56 MHz	1 到 2^{16} 的整数	有	4	-
	TIM3	16 位	递增、递减、递增/递减	56 MHz	1 到 2^{16} 的整数	有	4	-
	TIM15	16 位	递增	56 MHz	1 到 2^{16} 的整数	有	2	1
	TIM16	16 位	递增	56 MHz	1 到 2^{16} 的整数	有	1	1
基本	TIM6 和 TIM7	16 位	递增	56 MHz	1 到 2^{16} 的整数	有	-	-
低功耗	LPTIM1、LPTIM2 和 LPTIM3	16 位	递增	56 MHz	2^n , 其中 $n = 0$ 到 7	无	不适用	-

3.25.1 高级控制定时器 (TIM1)

可将高级控制定时器视为在 6 个通道上复用的三相 PWM。它具有带可编程插入死区的互补 PWM 输出。也可以将它看作一个完整的通用定时器。4 个独立通道可以用于：

- 输入捕获
- 输出比较
- 具有全调制能力 (0-100%) 的 PWM 输出（边沿或中央对齐模式）
- 单脉冲模式输出

在调试模式下，可冻结高级控制定时器计数器，同时禁止 PWM 输出，从而关闭由这些输出驱动的任何电源开关。

使用相同架构的通用 TIMx 定时器（在第 3.25.2 节：通用定时器（TIM2、3、15、16）中说明）有很多共性，因此高级控制定时器可通过定时器链路特性与 TIMx 定时器共同工作，提供同步或事件链接功能。

3.25.2 通用定时器 (TIM2、3、15、16)

器件内置四个可同步通用定时器（请参见表 7 进行对比）。每个通用定时器都可用于生成 PWM 输出，或用作简单的时基。

- TIM2、TIM3
这些是全功能的通用定时器：
 - TIM2 带 32 位自动重载递增/递减计数器和 16 位预分频器
 - TIM3 带 16 位自动重载递增/递减计数器和 16 位预分频器
 具有四个独立通道，用于输入捕获/输出比较、PWM 或单脉冲模式输出。这些定时器可以一起运行，也可以通过定时器链路功能与其他通用定时器组合使用，以实现同步或事件级联。可生成独立 DMA 请求，并支持正交编码器。在调试模式下，其计数器可被冻结。
- TIM15、TIM16
通用定时器，具有以下特性：
 - 16 位自动重载递增计数器和 16 位预分频器
 - TIM15 有 2 个通道和 1 个互补通道
 - TIM16 有 1 个通道和 1 个互补通道
 所有通道都可用于输入捕获/输出比较，PWM 或单脉冲模式输出。这些定时器可通过定时器链路功能一起工作，以实现同步或事件级联。可以生成独立的 DMA 请求。在调试模式下，其计数器可被冻结。

3.25.3 基本定时器 (TIM6 和 TIM7)

这些定时器主要用于触发 DAC 转换。也可用作通用 16 位时基。

3.25.4 低功耗定时器 (LPTIM1、LPTIM2 和 LPTIM3)

这些定时器具有独立时钟。通过 LSE、LSI 或外部时钟提供时钟时，它们可以在 Stop 模式下保持运行，并可将系统从该模式唤醒。

LPTIM1、LPTIM2 和 LPTIM3 特性：

- 16 位递增计数器（配 16 位自动重载寄存器）
- 16 位比较寄存器
- 可配置输出（脉冲、PWM）
- 连续/单次触发模式
- 可选软件/硬件输入触发
- 可选时钟源：
 - 内部：LSE、LSI、HSI16 或 APB 时钟
 - 外部：通过 LPTIM 输入（即使在没有内部时钟源运行时也能工作，适用于脉冲计数器应用）
- 可编程数字噪声滤波器
- 编码器模式

3.25.5 独立看门狗 (IWDG)

独立的看门狗基于 8 位预分频和 12 位递减计数器，具有用户定义的刷新窗口。通过独立的 32 kHz 内部 RC (LSI) 提供时钟。

独立于主时钟，可在 Stop 模式和待机模式下工作。它既可用于看门狗，以在发生时复位器件，也可用作自由运行的定时器，以便为应用程序提供超时管理。通过选项字节，可对其进行硬件或软件配置。在调试模式下，其计数器可被冻结。

3.25.6 系统窗口看门狗 (WWDG)

窗口看门狗基于可设置为自由运行的 7 位递减计数器。可将其用作看门狗，在发生时将器件复位。由系统时钟提供时钟。具有预警中断功能。在调试模式下，其计数器可被冻结。

3.25.7 SysTick 定时器

该定时器专用于实时操作系统，但也可用作标准递减计数器。

SysTick 定时器的特性：

- 24 位递减计数器
- 自动重载功能
- 当计数器计为 0 时，产生可屏蔽系统中断
- 可编程时钟源

3.26 实时时钟 (RTC)、入侵 (TAMP) 和备份寄存器

该器件内置一个 RTC 和九个 32 位备份寄存器，位于硅片的 RTC 域中。

第 3.6.1 节：电源方案介绍了 RTC 域的供电方式。

RTC 是一个独立的 BCD 定时器/计数器。

RTC 的特性：

- 日历具有亚秒、秒、分、小时（12 或 24 格式）、星期几、日、月、年，格式为 BCD（二进制编码的十进制数）。
- 对每月是 28、29（闰年）、30 还是 31 天自动进行纠正。
- 可编程闹钟
- 对 1 到 32767 个 RTC 时钟脉冲进行实时纠正，用于与主时钟同步
- 参考时钟检测 - 可使用更加精确的第二时钟源（50 Hz 或 60 Hz）来提高日历的精确度。
- 数字校准电路具有 0.95 ppm 的分辨率，以补偿石英晶振的不准确性。
- 五个防入侵检测引脚，具有可编程滤波器
- 时间戳功能可保存日历快照，由时间戳引脚上的事件或入侵事件触发，或通过切换到 VBAT 模式触发
- 17 位自动重载唤醒定时器 (WUT)，适用于分辨率和周期可编程的周期性事件

- 多个时钟源和参考：
 - 32.768 kHz 的外部晶振 (LSE)
 - 外部谐振器或振荡器 (LSE)
 - 内部低功耗 RC 振荡器（典型频率为 32 kHz 的 LSI）
 - 32 分频高速外部时钟 (HSE)

由 LSE 提供时钟时，RTC 可在 VBAT 模式和所有低功耗模式下工作。由 LSI 提供时钟时，RTC 不在 VBAT 模式下工作，但在低功耗模式下工作（关断模式除外）。

所有 RTC 事件（闹钟、唤醒定时器、时间戳或入侵）都可以产生中断，将器件从低功耗模式唤醒。

如果 VBAT 引脚上提供有效的备份供电电压，则备份寄存器可在 VDD 出现故障时保留 20 字节的用户应用数据。这些数据不受系统复位、电源复位以及器件从待机或关断模式唤醒的影响。

3.27 内部集成电路接口 (I2C)

器件内置四个 I2C 外设。相关特性请参见表 8。

I2C 总线接口处理微控制器与串行 I2C 总线之间的通信。它可以控制所有 I2C 总线特定的序列、协议、仲裁和时序。

I2C 外设的主要特性：

- I2C 总线规范和用户手册版本 5 兼容性：
 - 从模式和主模式，多主功能
 - 标准模式 (Sm)：比特率最高 100 kbit/s
 - 快速模式 (Fm)：比特率最高 400 kbit/s
 - 超快速模式 (Fm+)，比特率最高 1 Mbit/s，额外输出驱动 I/O
 - 7 位和 10 位寻址模式，多个 7 位从设备地址
 - 可编程总线上的数据建立和保持时间
 - 时钟延长
- 独立时钟：选择独立时钟源可使 I2C 通信速度不受 PCLK 时钟频率更改的影响
- 地址匹配时从 Stop 模式唤醒
- 可编程模拟和数字噪声滤波器
- 带 DMA 功能的 1 字节缓冲

表 8. I2C 实现

I2C 特性	I2C1	I2C2	I2C3	I2C4
标准模式 (高达 100 kb/s)	X	X	X	X
快速模式 (高达 400 kb/s)	X	X	X	X
超快速模式 (高达 1 Mb/s)，具有额外 输出驱动 I/O	X	X	X	X
可编程模拟和数字噪声 滤波器	X	X	X	X
SMBus/PMBus 硬件 支持	-	-	-	-
独立时钟	X	-	X	-
地址匹配时从 Stop 模式 唤醒	X	-	X	-

3.28 通用同步/异步收发器 (USART/UART)

器件内置通用同步/异步接收器/发送器，这些收发器以最高 8 Mbit/s 的速度进行通信。

可对 CTS、RTS 和 RS485 DE 信号、多处理器通信模式、同步 SPI 主/从模式通信和单线半双工通信模式进行硬件管理。部分收发器还支持智能卡通信 (ISO 7816)、IrDA SIR ENDEC、LIN 主设备/从设备功能以及自动波特率特性，并具有独立于 CPU 时钟的时钟域，从而可以将 MCU 从 Stop 模式唤醒。从 Stop 模式唤醒事件可编程，并且可以是：

- 起始位检测
- 任何接收的数据帧
- 特定编程的数据帧

所有 USART 均支持 DMA 控制器。

表 9. USART 实现

X: 支持

USART 模式/特性	USART1 USART2	USART3 USART4
调制解调器的硬件流控制	X	X
使用 DMA 进行连续通信	X	X
多处理器通信	X	X
同步 SPI 模式（主/从）	X	X
智能卡模式	X	-
单线半双工通信	X	X
IrDA SIR ENDEC 模块	X	-
LIN 模式	X	-
双时钟域和从 Stop 模式唤醒	X	-
接收器超时中断	X	-
Modbus 通信	X	-
自动波特率检测	X	-
驱动器使能	X	X

3.29 低功耗通用异步收发器 (LPUART)

器件内置三个 LPUART。外设支持功耗最低的异步串行通信，以及半双工单线通信和调制解调器操作 (CTS/RTS)。支持多处理器通信。

LPUART 具有一个独立于 CPU 时钟的时钟域，可以使用高达 220 Kbaud 的波特率将系统从 Stop 模式唤醒。对 Stop 模式唤醒事件可以进行编程设定，可以是：

- 起始位检测
- 任何接收的数据帧
- 特定编程的数据帧

只需要 32.768 kHz 的时钟 (LSE) 即可实现最高 9600 波特的 LPUART 通信。因此，即使是在 Stop 模式，LPUART 也能够极低功耗下等待传入帧。要达到更高的波特率，可以使用速度更快的时钟。

LPUART 接口可以使用 DMA 控制器。

3.30 串行外设接口 (SPI)

器件包含三个 SPI，在主模式和从模式下运行速度高达 32 Mbits/s。它支持半双工、全双工和单工通信。3 位预分频器，提供八个主模式频率。帧大小可配置为 4 位到 16 位。SPI 外设支持 NSS 脉冲模式、TI 模式和硬件CRC 计算。

SPI 外设可由 DMA 控制器处理。

表 10. SPI 实现

X: 支持

SPI 模式/特性	SPI1	SPI2	SPI3
硬件 CRC 计算	X	X	X
Rx/Tx FIFO	X	X	X
NSS 脉冲模式	X	X	X
I2S 模式	-	-	-
TI 模式	X	X	X

3.31 通用串行总线 (USB) 设备

器件内置 USB 控制器，带有符合 USB 规范 2.0 版的全速 USB 设备。内部 USB PHY 支持 USB FS 信号、嵌入式 DP 上拉电阻，以及符合电池充电规范 1.2 版的电池充电检测。USB 接口实现了全速 (12Mbit/s) 功能接口，并增加了对 USB 2.0 链路电源管理的支持。其端点设置可由软件配置，数据包存储器可达到 1 KB，支持挂起/恢复。它需要一个精确的 48 MHz 时钟，该时钟由内部主 PLL（时钟源必须使用 HSE 晶振）产生，或由自动微调模式下的内部 48MHz 振荡器产生。该振荡器的同步可以通过 USB 数据流本身（SOF 信号）获得，从而实现无晶振运行。

3.32 调试支持

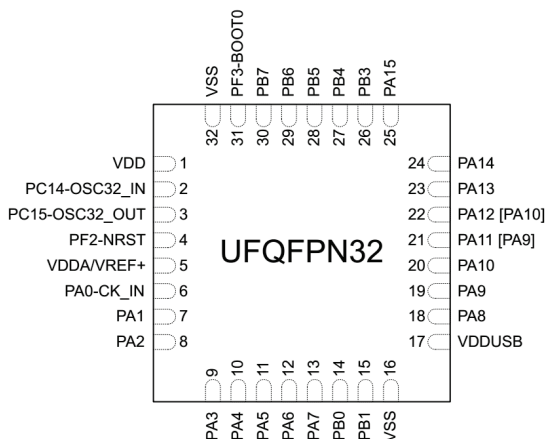
3.32.1 串行线调试端口 (SW-DP)

提供了 Arm® SW-DP 接口，以便将串行线调试工具连至 MCU。

4 引脚排列/焊球布局、引脚说明和复用功能

4.1 引脚排列/焊球布局示意图

图 3. UFQFPN32引脚排列



DT71261V1

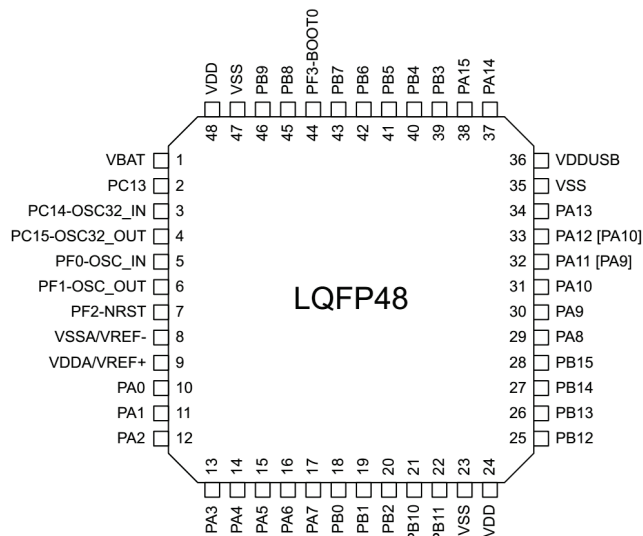
1. 上图显示了封装的顶视图。

图 4. WLCSP42 焊球布局

	1	2	3	4	5	6	7	8	9	10	11	12
A	NC	VSS	NC	PA15	NC	PB5	NC	PB7	NC	PB8	NC	VSS
B	VDDUSB	NC	PA13	NC	PB3	NC	PB6	NC	VBAT	NC	VDD	NC
C	NC	PA12	NC	PA9	NC	PB4	NC	PF3	NC	PC15	NC	PC14
D	PA11	NC	PA8	NC	PA14	NC	PC13	NC	PF1	NC	PF0	NC
E	NC	PA10	NC	PA5	NC	PA3	NC	PA1	NC	VSSA/VREF-	NC	PF2
F	VSS	NC	PB1	NC	PB0	NC	PA7	NC	PA0	NC	VDDA/VREF+	NC
G	NC	VDD	NC	PB10	NC	PB2	NC	PA6	NC	PA4	NC	PA2

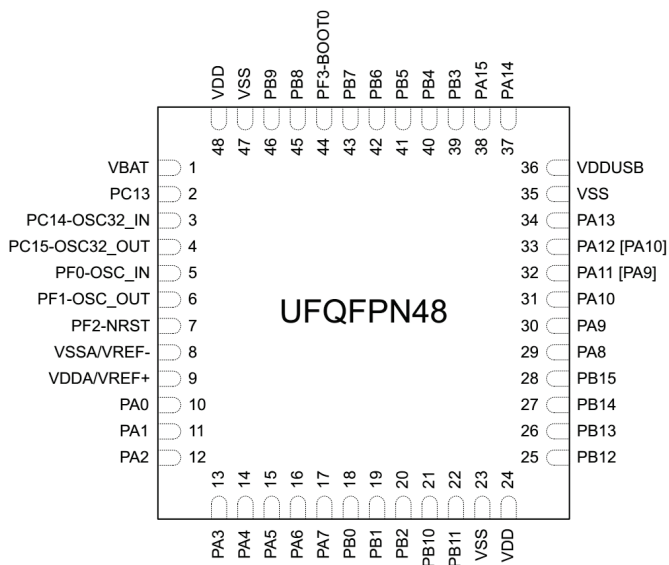
DT71292V1

1. 上图显示了封装的顶视图。

图 5. LQFP48 引脚排列


DT71263V1

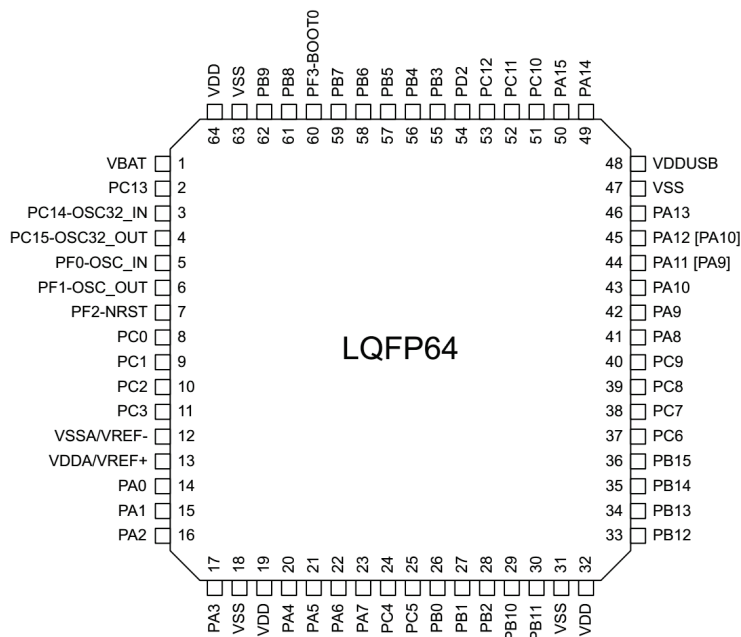
1. 上图显示了封装的顶视图。

图 6. UFQFPN48 引脚排列


DT71264V1

1. 上图显示了封装的顶视图。

图 7. LQFP64 引脚排列



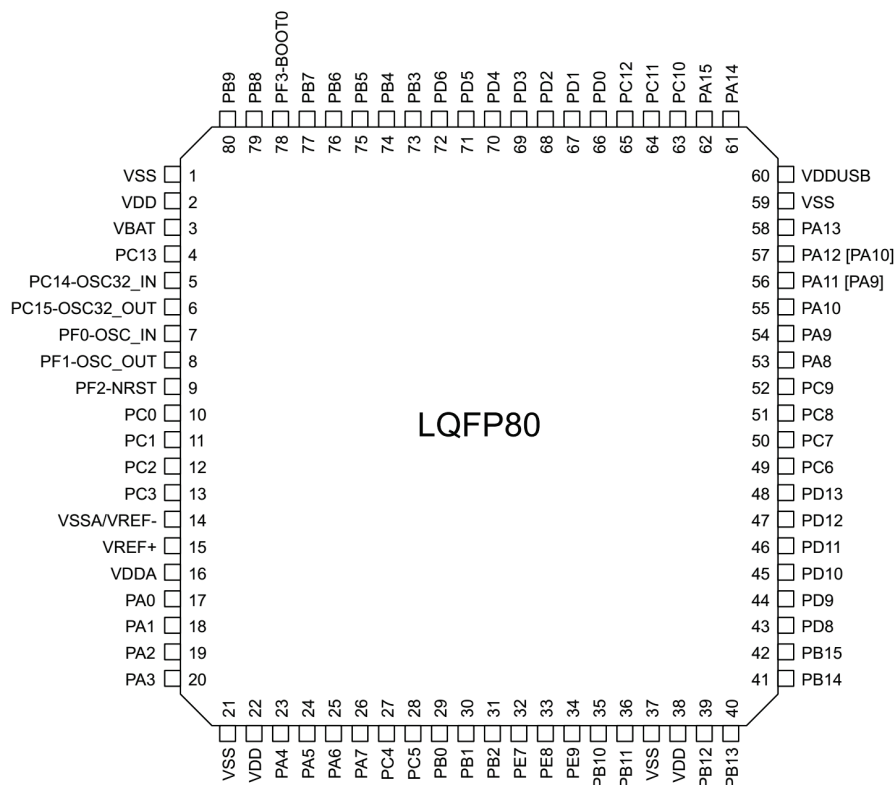
1. 上图显示了封装的顶视图。

图 8. UFBGA64焊球布局

	1	2	3	4	5	6	7	8
A	PC14-OSC32_IN	PC13	PB9	PB4	PB3	PA15	PA14	PA13
B	PC15-OSC32_OUT	VBAT	PB8	PF3-BOOT0	PD2	PC11	PC10	PA12 [PA10]
C	PF0-OSC_IN	VSS	PB7	PB5	PC12	PA10	PA9	PA11 [PA9]
D	PF1-OSC_OUT	VDD	PB6	VSS	VSS	VSS	PA8	PC9
E	PF2-NRST	PC1	PC0	VDD	VDDUSB	VDD	PC7	PC8
F	VSSA/VREF-	PC2	PA2	PA5	PB0	PC6	PB15	PB14
G	PC3	PA0	PA3	PA6	PB1	PB2	PB10	PB13
H	VDDA/VREF+	PA1	PA4	PA7	PC4	PC5	PB11	PB12

1. 上图显示了封装的顶视图。

图 9. LQFP80 引脚排列



DT71267V2

1. 上图显示了封装的顶视图。

图 10. UFBGA81 焊球布局

	1	2	3	4	5	6	7	8	9
A	PB8	PF3-BOOT0	PB4	PB5	PD4	PD0	PC12	PC10	PA15
B	VBAT	PB9	PB7	PB6	PD6	PD1	PC11	PA14	PA13
C	PC15-OSC32_OUT	PC14-OSC32_IN	PE3	PB3	PD5	PD2	VDDUSB	PA12 [PA10]	PA11 [PA9]
D	PF1-OSC_OUT	PF0-OSC_IN	VDD	VSS	PD3	VSS	PA9	PA10	PC9
E	PC0	PF2-NRST	PC13	PA1	PC8	PC7	PA8	PC6	PD13
F	PC1	PC2	PA0	VSS	PB0	VSS	PB15	PD11	PD12
G	PC3	VSSA/VREF-	VDD	PC5	PE7	PE8	VDD	PD9	PD10
H	VREF+	PA2	PA5	PA7	PB1	PE9	PB11	PB13	PD8
J	VDDA	PA3	PA4	PA6	PC4	PB2	PB10	PB12	PB14

DT71293V1

1. 上图显示了封装的顶视图。

4.2 引脚说明

表 11. 引脚排列表中使用的图例/缩略语

名称		缩写	定义
引脚名称		除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同	
引脚类型		S	电源引脚
		I/O	输入/输出引脚
I/O 结构		FT	耐受 5 V 电压的 I/O
		TT	耐受 3.6 V 电压的 I/O
		RST	配有内置弱上拉电阻的双向复位引脚
		TT 和 FT I/O 的选项	
		_a	具有模拟开关功能的 I/O，由 V _{DDA} 供电
		_f	支持 I2C Fm+ 的 I/O
		_l	具有 LCD 功能的 I/O，由 VLCD 供电
		_u	具有 USB 功能的 I/O，由 V _{DDUSB} 供电
备注		除非特别说明，否则在复位期间和复位后所有 I/O 都设为浮空输入	
引脚功能	复用功能	通过 GPIOx_AFR 寄存器选择的功能	
	其他功能	通过外设寄存器直接选择/使能的功能	

表 12. STM32U083xC 引脚/焊球定义

引脚号								引脚名 (复位后的功能)	引脚类型	I/O 结构	备注	复用功能	其他功能
UFQFPN32	WLCSP42	LQFP48	UFQFPN48	LQFP64	UFBGA64	LQFP80	UFBGA81						
-	-	-	-	-	-	-	C3	PE3	I/O	FT	-	TIM3_CH1, EVENTOUT	-
-	B9	1	1	1	B2	3	B1	VBAT	S	-	-	-	-
-	D7	2	2	2	A2	4	E3	PC13	I/O	FT	(1)(2)	LPTIM1_CH3, LPTIM3_CH3, EVENTOUT	WKUP2, TAMP_IN1, RTC_TS/RTC_OUT1
2	C12	3	3	3	A1	5	C2	PC14-OSC32_IN	I/O	FT	(1)(2)	EVENTOUT	OSC32_IN
3	C10	4	4	4	B1	6	C1	PC15-OSC32_OUT	I/O	FT	(1)(2)	OSC32_EN, OSC_EN, EVENTOUT	OSC32_OUT, OSC32_EN
-	D11	5	5	5	C1	7	D2	PF0-OSC_IN	I/O	FT	-	EVENTOUT	OSC_IN
-	D9	6	6	6	D1	8	D1	PF1-OSC_OUT	I/O	FT	-	OSC_EN, EVENTOUT	OSC_OUT



引脚号								引脚名 (复位后的功能)	引脚类型	I/O 结构	备注	复用功能	其他功能
UFQFPN32	WLCSP42	LQFP48	UFQFPN48	LQFP64	UFBGA64	LQFP80	UFBGA81						
4	E12	7	7	7	E1	9	E2	PF2-NRST	I/O	RST	-	MCO	NRST
-	-	-	-	8	E3	10	E1	PC0	I/O	FT fla	-	LPTIM1_IN1, I2C4_SCL, I2C3_SCL, LPUART1_RX, LPUART2_TX, LCD_SEG18, LCD_BIAS1, LPTIM2_IN1, EVENTOUT	ADC1_IN0
-	-	-	-	9	E2	11	F1	PC1	I/O	FT fla	-	LPTIM1_CH1, I2C4_SDA, I2C3_SDA, LPUART1_TX, LPUART2_RX, LCD_SEG19, LCD_BIAS2, EVENTOUT	ADC1_IN1
-	-	-	-	10	F2	12	F2	PC2	I/O	FT la	-	MCO2, LPTIM1_IN2, SPI2_MISO, LCD_SEG20, LCD_BIAS3, EVENTOUT	ADC1_IN2
-	-	-	-	11	G1	13	G1	PC3	I/O	FT la	-	LPTIM1_ETR, LPTIM3_CH1, SPI2_MOSI, USART4_CK, LCD_VLCD, LPTIM2_ETR, EVENTOUT	ADC1_IN3
-	E10	8	8	12	F1	14	G2	VSSA/VREF-	S	-	-	-	-
-	-	-	-	-	-	15	H1	VREF+	S	-	-	-	VREFBUF_OUT
-	-	-	-	-	-	16	J1	VDDA	S	-	-	-	-
5	F11	9	9	13	H1	-	-	VDDA/VREF+	S	-	-	-	-
-	F9	10	10	14	G2	17	F3	PA0	I/O	FT la	-	TIM2_CH1, USART2_CTS, USART4_TX, LCD_SEG42, COMP1_OUT, TIM2_ETR, EVENTOUT	OPAMP1_VINP, COMP1_INM3, ADC1_IN4, WKUP1, TAMP_IN2
6	-	-	-	-	-	-	-	PA0-CK_IN	I/O	FT la	-	TIM2_CH1, USART2_CTS, USART4_TX, LCD_SEG42, COMP1_OUT, TIM2_ETR, EVENTOUT	OPAMP1_VINP, COMP1_INM3, ADC1_IN4, CK_IN, WKUP1, TAMP_IN2
7	E8	11	11	15	H2	18	E4	PA1	I/O	FT la	-	TIM2_CH2, LPTIM1_CH2, SPI1_SCK, SPI2_SCK, USART2_RTS/USART2_DE, USART4_RX, LCD_SEG0, TIM15_CH1N, EVENTOUT	OPAMP1_VINM, COMP1_INP3, ADC1_IN5, WKUP3, TAMP_IN5
8	G12	12	12	16	F3	19	H2	PA2	I/O	FT la	-	TIM2_CH3, USART2_TX, LPUART1_TX, LCD_SEG1, COMP2_OUT, TIM15_CH1, EVENTOUT	COMP2_INM3, ADC1_IN6, WKUP4/LSCO
9	E6	13	13	17	G3	20	J2	PA3	I/O	TT la	-	TIM2_CH4, USART2_RX, LPUART1_RX, LCD_SEG2, TIM15_CH2, EVENTOUT	OPAMP1_VOUT, COMP2_INP3, ADC1_IN7
-	-	-	-	18	C2	21	-	VSS	S	-	-	-	-
-	-	-	-	19	D2	22	G3	VDD	S	-	-	-	-
10	G10	14	14	20	H3	23	J3	PA4	I/O	TT la	-	SPI1_NSS, SPI3_NSS, USART2_CK, LPUART3_TX, LCD_SEG43, LPTIM2_CH1, EVENTOUT	COMP1_INM4, COMP2_INM5, ADC1_IN8, DAC1_OUT1
11	E4	15	15	21	F4	24	H3	PA5	I/O	FT la	-	TIM2_CH1, TIM2_ETR, SPI1_SCK, USART3_TX, LPUART3_RX, LCD_SEG44, LPTIM2_ETR, EVENTOUT	COMP1_INM4, COMP2_INM5, ADC1_IN9



引脚号								引脚名 (复位后的功能)	引脚类型	I/O 结构	备注	复用功能	其他功能
UFQFPN32	WLCSP42	LQFP48	UFQFPN48	LQFP64	UFBGA64	LQFP80	UFBGA81						
12	G8	16	16	22	G4	25	J4	PA6	I/O	FT_fl	-	TIM1_BKIN, TIM3_CH1, I2C2_SDA, I2C3_SDA, SPI1_MISO, COMP1_OUT, USART3_CTS, LPUART1_CTS, TSC_G5_IO1, LCD_SEG3, TIM16_CH1, EVENTOUT	ADC1_IN10
13	F7	17	17	23	H4	26	H4	PA7	I/O	FT_fl	-	TIM1_CH1N, TIM3_CH2, I2C2_SCL, I2C3_SCL, SPI1_MOSI, USART3_RX, LCD_SEG4, COMP2_OUT, LPTIM2_CH2, EVENTOUT	ADC1_IN14
-	-	-	-	24	H5	27	J5	PC4	I/O	FT_la	-	USART3_TX, LPUART3_TX, LCD_SEG22, EVENTOUT	COMP1_INM1, ADC1_IN15
-	-	-	-	25	H6	28	G4	PC5	I/O	FT_la	-	LPTIM3_CH3, USART3_RX, LPUART3_RX, LCD_SEG23, EVENTOUT	COMP1_INP1, ADC1_IN16, WKUP5, TAMP_IN4
14	F5	18	18	26	F5	29	F5	PB0	I/O	FT_la	-	TIM1_CH2N, TIM3_CH3, LPTIM3_CH1, SPI1_NSS, USART3_CK, LPUART2_CTS, TSC_G5_IO2, LCD_SEG5, COMP1_OUT, EVENTOUT	ADC1_IN17
15	F3	19	19	27	G5	30	H5	PB1	I/O	FT_la	-	TIM1_CH3N, TIM3_CH4, LPTIM3_CH2, USART3_RTS/USART3_DE, LPUART1_RTS_DE, TSC_SYNC, LPUART2_RTS_DE, LCD_SEG6, LPTIM2_IN1, EVENTOUT	COMP1_INM2, ADC1_IN18
-	G6	20	20	28	G6	31	J6	PB2	I/O	FT_la	-	RTC_OUT2, LPTIM1_CH1, LCD_VLCD, EVENTOUT	COMP1_INP2, RTC_OUT2
-	-	-	-	-	-	32	G5	PE7	I/O	FT_l	-	TIM1_ETR, LCD_SEG45, EVENTOUT	-
-	-	-	-	-	-	33	G6	PE8	I/O	FT_l	-	TIM1_CH1N, LCD_SEG46, EVENTOUT	-
-	-	-	-	-	-	34	H6	PE9	I/O	FT_l	-	TIM1_CH1, LPTIM1_CH3, LCD_SEG47, EVENTOUT	-
-	G4	21	21	29	G7	35	J7	PB10	I/O	FT_fl	-	TIM2_CH3, LPTIM3_CH1, I2C4_SCL, I2C2_SCL, SPI2_SCK, USART3_TX, LPUART1_RX, TSC_G5_IO3, LPUART2_RX, LCD_SEG10, COMP1_OUT, EVENTOUT	-
-	-	22	22	30	H7	36	H7	PB11	I/O	FT_fl	-	TIM2_CH4, I2C4_SDA, I2C2_SDA, USART3_RX, LPUART1_TX, TSC_G5_IO4, LPUART2_TX, LCD_SEG11, COMP2_OUT, EVENTOUT	-
16	F1	23	23	31	D6	37	D4	VSS	S	-	-	-	-
17	G2	24	24	32	E6	38	D3	VDD	S	-	-	-	-
-	-	25	25	33	H8	39	J8	PB12	I/O	FT_l	-	TIM1_BKIN, SPI2_NSS, USART3_CK, LPUART1_RTS_DE, TSC_G1_IO1, LCD_SEG12, TIM15_BKIN, EVENTOUT	-
-	-	26	26	34	G8	40	H8	PB13	I/O	FT_fl	-	TIM1_CH1N, LPTIM3_IN1, I2C2_SCL, SPI2_SCK, USART3_CTS, LPUART1_CTS, TSC_G1_IO2, LCD_SEG13, TIM15_CH1N, EVENTOUT	-
-	-	27	27	35	F8	41	J9	PB14	I/O	FT_fl	-	TIM1_CH2N, LPTIM3_ETR, I2C2_SDA, SPI2_MISO, USART3_RTS/USART3_DE, TSC_G1_IO3, LCD_SEG14, TIM15_CH1, EVENTOUT	-



引脚号								引脚名 (复位后的功能)	引脚类型	I/O 结构	备注	复用功能	其他功能
UFQFPN32	WLCSP42	LQFP48	UFQFPN48	LQFP64	UFBGA64	LQFP80	UFBGA81						
-	-	28	28	36	F7	42	F7	PB15	I/O	FT_I	-	RTC_REFIN, TIM1_CH3N, SPI2_MOSI, TSC_G1_IO4, LCD_SEG15, TIM15_CH2, EVENTOUT	WKUP7, TAMP_IN3
-	-	-	-	-	-	43	H9	PD8	I/O	FT_I	-	USART3_TX, LPUART3_TX, LCD_SEG28, EVENTOUT	-
-	-	-	-	-	-	44	G8	PD9	I/O	FT_I	-	LPTIM3_IN1, USART3_RX, LPUART3_RX, LCD_SEG29, EVENTOUT	-
-	-	-	-	-	-	45	G9	PD10	I/O	FT_la	-	LPTIM3_ETR, USART3_CK, TSC_G6_IO1, LCD_SEG30, LPTIM2_CH2, EVENTOUT	COMP2_INP4
-	-	-	-	-	-	46	F8	PD11	I/O	FT_I	-	USART3_CTS, LPUART3_CTS, TSC_G6_IO2, LCD_SEG31, LPTIM2_ETR, EVENTOUT	-
-	-	-	-	-	-	47	F9	PD12	I/O	FT_fl	-	I2C4_SCL, USART3_RTS/USART3_DE, LPUART3_RTS_DE, TSC_G6_IO3, LCD_SEG32, LPTIM2_IN1, EVENTOUT	-
-	-	-	-	-	-	48	E9	PD13	I/O	FT_fl	-	I2C4_SDA, TSC_G6_IO4, LCD_SEG33, LPTIM2_CH1, EVENTOUT	-
-	-	-	-	37	F6	49	E8	PC6	I/O	FT_la	-	TIM3_CH1, LPUART2_TX, TSC_G4_IO1, LCD_SEG24, EVENTOUT	COMP1_INP5
-	-	-	-	38	E7	50	E6	PC7	I/O	FT_I	-	TIM3_CH2, LPTIM3_CH4, LPUART2_RX, TSC_G4_IO2, LCD_SEG25, LPTIM2_CH2, EVENTOUT	-
-	-	-	-	39	E8	51	E5	PC8	I/O	FT_I	-	TIM3_CH3, LPTIM3_CH1, TSC_G4_IO3, LCD_SEG26, EVENTOUT	-
-	-	-	-	40	D8	52	D9	PC9	I/O	FT_I	-	TIM3_CH4, LPTIM3_CH2, TSC_G4_IO4, USB_NOE, LCD_SEG27, EVENTOUT	-
18	D3	29	29	41	D7	53	E7	PA8	I/O	FT_I	-	MCO, TIM1_CH1, MCO2, USART1_CK, TSC_G7_IO1, LCD_COM0, LPTIM2_CH1, EVENTOUT	-
19	C4	30	30	42	C7	54	D7	PA9	I/O	FT_fla	-	MCO, TIM1_CH2, I2C1_SCL, I2C2_SCL, USART1_TX, TSC_G7_IO2, LCD_COM1, TIM15_BKIN, EVENTOUT	COMP1_INP4
20	E2	31	31	43	C6	55	D8	PA10	I/O	FT_fl	-	TIM1_CH3, MCO2, I2C1_SDA, I2C2_SDA, SPI2_NSS, USART1_RX, TSC_G7_IO3, CRS_SYNC, LCD_COM2, EVENTOUT	-
21	D1	32	32	44	C8	56	C9	PA11 [PA9]	I/O	FT_u	(3)	TIM1_CH4, TIM1_BKIN2, SPI1_MISO, SPI2_MISO, USART1_CTS, COMP1_OUT, EVENTOUT	USB_DM
22	C2	33	33	45	B8	57	C8	PA12 [PA10]	I/O	FT_u	(3)	TIM1_ETR, SPI1_MOSI, SPI2_MOSI, USART1_RTS/USART1_DE, EVENTOUT	USB_DP
23	B3	34	34	46	A8	58	B9	PA13 (SWDIO)	I/O	FT_I	(4)	SWDIO, IR_OUT, TSC_G7_IO4, USB_NOE, LCD_SEG40, EVENTOUT	-
-	A2	35	35	47	D5	59	D6	VSS	S	-	-	-	-



引脚号								引脚名 (复位后的功能)	引脚类型	I/O 结构	备注	复用功能	其他功能
UFQFPN32	WLCSP42	LQFP48	UFQFPN48	LQFP64	UFBGA64	LQFP80	UFBGA81						
-	B1	36	36	48	E5	60	C7	VDDUSB	S	-	-	-	-
24	D5	37	37	49	A7	61	B8	PA14 (SWCLK)	I/O	FT_I	(4)	SWCLK, LPTIM1_CH1, TSC_G3_IO4, LCD_SEG41, EVENTOUT	-
25	A4	38	38	50	A6	62	A9	PA15	I/O	FT_I	-	TIM2_CH1, TIM2_ETR, USART2_RX, LPTIM3_IN2, SPI1_NSS, SPI3_NSS, USART3_RTS/USART3_DE, USART4_RTS/USART4_DE, TSC_G3_IO1, LCD_SEG17, LPTIM3_CH3, EVENTOUT	-
-	-	-	-	51	B7	63	A8	PC10	I/O	FT_I	-	LPTIM3_ETR, SPI3_SCK, USART3_TX, USART4_TX, TSC_G3_IO2, LCD_COM4/ LCD_SEG28/LCD_SEG48, EVENTOUT	-
-	-	-	-	52	B6	64	B7	PC11	I/O	FT_I	-	LPTIM3_IN1, SPI3_MISO, USART3_RX, USART4_RX, TSC_G3_IO3, LCD_COM5/ LCD_SEG29/LCD_SEG49, EVENTOUT	-
-	-	-	-	53	C5	65	A7	PC12	I/O	FT_I	-	LPTIM3_CH3, SPI3_MOSI, USART3_CK, USART4_CK, LCD_COM6/LCD_SEG30/ LCD_SEG50, EVENTOUT	-
-	-	-	-	-	-	66	A6	PD0	I/O	FT_I	-	SPI2_NSS, LCD_SEG34, EVENTOUT	-
-	-	-	-	-	-	67	B6	PD1	I/O	FT_I	-	LPTIM1_CH4, SPI2_SCK, LCD_SEG35, EVENTOUT	-
-	-	-	-	54	B5	68	C6	PD2	I/O	FT_I	-	TIM3_ETR, USART3_RTS/USART3_DE, TSC_SYNC, LCD_COM7/LCD_SEG31/ LCD_SEG51, EVENTOUT	-
-	-	-	-	-	-	69	D5	PD3	I/O	FT_I	-	SPI2_MISO, USART2_CTS, LCD_SEG36, EVENTOUT	-
-	-	-	-	-	-	70	A5	PD4	I/O	FT_I	-	LPTIM1_CH3, SPI2_MOSI, USART2_RTS/ USART2_DE, LCD_SEG37, EVENTOUT	-
-	-	-	-	-	-	71	C5	PD5	I/O	FT_I	-	USART2_TX, LCD_SEG38, EVENTOUT	-
-	-	-	-	-	-	72	B5	PD6	I/O	FT_I	-	USART2_RX, LCD_SEG39, EVENTOUT	-
26	B5	39	39	55	A5	73	C4	PB3	I/O	FT_fla	-	TIM2_CH2, LPTIM1_CH3, I2C2_SCL, I2C3_SCL, SPI1_SCK, SPI3_SCK, USART1_RTS/USART1_DE, LCD_SEG7, EVENTOUT	COMP2_INM2
27	C6	40	40	56	A4	74	A3	PB4	I/O	FT_fla	-	LPTIM1_CH4, TIM3_CH1, I2C2_SDA, I2C3_SDA, SPI1_MISO, SPI3_MISO, USART1_CTS, LPUART3_RTS_DE, TSC_G2_IO1, LCD_SEG8, EVENTOUT	COMP2_INP1
28	A6	41	41	57	C4	75	A4	PB5	I/O	FT_I	-	LPTIM1_IN1, TIM3_CH2, SPI1_MOSI, SPI3_MOSI, USART1_CK, LPUART3_CTS, TSC_G2_IO2, LCD_SEG9, COMP2_OUT, TIM16_BKIN, EVENTOUT	-
-	-	-	-	-	-	-	F4	VSS	S	-	-	-	-



引脚号								引脚名 (复位后的功能)	引脚类型	I/O 结构	备注	复用功能	其他功能
UFQFPN32	WLCSP42	LQFP48	UFQFPN48	LQFP64	UFBGA64	LQFP80	UFBGA81						
29	B7	42	42	58	D3	76	B4	PB6	I/O	FT_fa	-	LPTIM1_ETR, I2C4_SCL, I2C1_SCL, I2C2_SCL, LPUART3_TX, USART1_TX, TSC_G2_IO3, LPUART2_TX, TIM16_CH1N, EVENTOUT	COMP2_INP2
30	A8	43	43	59	C3	77	B3	PB7	I/O	FT fla	-	LPTIM1_IN2, I2C4_SDA, I2C1_SDA, I2C2_SDA, LPUART3_RX, USART1_RX, USART4_CTS, TSC_G2_IO4, LPUART2_RX, LCD_SEG21, EVENTOUT	COMP2_INM1, PVD_IN
31	C8	44	44	60	B4	78	A2	PF3-BOOT0 (BOOT0)	I/O	FT	-	EVENTOUT	-
-	A10	45	45	61	B3	79	A1	PB8	I/O	FT_fl	-	LPTIM1_IN2, LPTIM3_IN2, I2C2_SCL, I2C1_SCL, USART3_TX, LCD_SEG16, TIM16_CH1, EVENTOUT	-
-	-	46	46	62	A3	80	B2	PB9	I/O	FT_fl	-	IR_OUT, LPTIM3_CH4, I2C2_SDA, I2C1_SDA, SPI2_NSS, USART3_RX, LCD_COM3, LPTIM1_CH4, EVENTOUT	-
32	A12	47	47	63	D4	1	F6	VSS	S	-	-	-	-
1	B11	48	48	64	E4	2	G7	VDD	S	-	-	-	-

1. PC13、PC14 和 PC15 通过电源开关供电。由于该开关的灌电流能力有限 (3 mA)，因此在输出模式下使用 GPIO PC13 到 PC15 时存在以下限制：
- 最大负载为 30 pF 时速率不得超过 2 MHz。

• 这些 GPIO 不得用作电流源（例如用于驱动 LED）。
2. RTC 域上电之后，PC13、PC14 和 PC15 作为 GPIO 工作。这样一来，它们的功能就取决于 RTC 寄存器的内容。系统复位时 RTC 寄存器不复位。有关如何管理这些 GPIO 的详细信息，请参见 RM0503 参考手册中 RTC 域和 RTC 寄存器的说明。
3. 可以使用 SYSCFG_CFGR1 寄存器重新映射 PA9/PA10 引脚以取代 PA11/PA12 引脚（默认映射）。
4. 复位时，这些引脚配置为 SW 调试复用功能，PA13 引脚上的内部上拉电阻和 PA14 引脚上的内部下拉电阻激活。



4.3

复用功能

表 13. 端口 A 复用功能

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	LPTIM1/ SYS_AF/ TIM1/2	I2C4/ LPTIM1/3/ TIM1/2/3	I2C2/4/ SYS_AF/ USART2	I2C1/2/3/4/ LPTIM3	I2C2/SPI1/2	COMP1/ LPUART3/ SPI2/3	USART1/2/3	LPUART1/2/3/ USART4	TSC	CRS/ LPUART2/U SB	LCD	COMP1/2/LC D	-	LPTIM1/2/3/ TIM2/15/16	EVENTOUT
端口 A	PA0	-	TIM2_CH1	-	-	-	-	-	USART2_CTS	USART4_TX	-	-	LCD_SEG42	COMP1_OUT	-	TIM2_ETR	EVENTOUT
	PA1	-	TIM2_CH2	LPTIM1_CH2	-	-	SPI1_SCK	SPI2_SCK	USART2_RTS/ USART2_DE	USART4_RX	-	-	LCD_SEG0	-	-	TIM15_CH1N	EVENTOUT
	PA2	-	TIM2_CH3	-	-	-	-	-	USART2_TX	LPUART1_TX	-	-	LCD_SEG1	COMP2_OUT	-	TIM15_CH1	EVENTOUT
	PA3	-	TIM2_CH4	-	-	-	-	-	USART2_RX	LPUART1_RX	-	-	LCD_SEG2	-	-	TIM15_CH2	EVENTOUT
	PA4	-	-	-	-	-	SPI1_NSS	SPI3_NSS	USART2_CK	LPUART3_TX	-	-	LCD_SEG43	-	-	LPTIM2_CH1	EVENTOUT
	PA5	-	TIM2_CH1	TIM2_ETR	-	-	SPI1_SCK	-	USART3_TX	LPUART3_RX	-	-	LCD_SEG44	-	-	LPTIM2_ETR	EVENTOUT
	PA6	-	TIM1_BKIN	TIM3_CH1	I2C2_SDA	I2C3_SDA	SPI1_MISO	COMP1_OUT	USART3_CTS	LPUART1_CTS	TSC_G5_IO1	-	LCD_SEG3	-	-	TIM16_CH1	EVENTOUT
	PA7	-	TIM1_CH1N	TIM3_CH2	I2C2_SCL	I2C3_SCL	SPI1_MOSI	-	USART3_RX	-	-	-	LCD_SEG4	COMP2_OUT	-	LPTIM2_CH2	EVENTOUT
	PA8	MCO	TIM1_CH1	-	MCO2	-	-	-	USART1_CK	-	TSC_G7_IO1	-	LCD_COM0	-	-	LPTIM2_CH1	EVENTOUT
	PA9	MCO	TIM1_CH2	-	-	I2C1_SCL	I2C2_SCL	-	USART1_TX	-	TSC_G7_IO2	-	LCD_COM1	-	-	TIM15_BKIN	EVENTOUT
	PA10	-	TIM1_CH3	-	MCO2	I2C1_SDA	I2C2_SDA	SPI2_NSS	USART1_RX	-	TSC_G7_IO3	CRS_SYNC	LCD_COM2	-	-	-	EVENTOUT
	PA11	-	TIM1_CH4	TIM1_BKIN2	-	-	SPI1_MISO	SPI2_MISO	USART1_CTS	-	-	-	-	COMP1_OUT	-	-	EVENTOUT
	PA12	-	TIM1_ETR	-	-	-	SPI1_MOSI	SPI2_MOSI	USART1_RTS/ USART1_DE	-	-	-	-	-	-	-	EVENTOUT
	PA13	SWDIO	IR_OUT	-	-	-	-	-	-	-	TSC_G7_IO4	USB_NOE	LCD_SEG40	-	-	-	EVENTOUT
	PA14	SWCLK	LPTIM1_CH1	-	-	-	-	-	-	-	TSC_G3_IO4	-	LCD_SEG41	-	-	-	EVENTOUT
	PA15	-	TIM2_CH1	TIM2_ETR	USART2_RX	LPTIM3_IN2	SPI1_NSS	SPI3_NSS	USART3_RTS/ USART3_DE	USART4_RTS/ USART4_DE	TSC_G3_IO1	-	LCD_SEG17	-	-	LPTIM3_CH3	EVENTOUT

表 14. 端口 B 复用功能

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	LPTIM1/ SYS_AF/ TIM1/2	I2C4/ LPTIM1/3/ TIM1/2/3	I2C2/4/ SYS_AF/ USART2	I2C1/2/3/4/ LPTIM3	I2C2/ SPI1/2	COMP1/ LPUART3/ SPI2/3	USART1/2/3	LPUART1/2/3/ USART4	TSC	CRS/ LPUART2/USB	LCD	COMP1/2/LC D	-	LPTIM1/2/3/ TIM2/15/16	EVENTOUT
端口 B	PB0	-	TIM1_CH2N	TIM3_CH3	-	LPTIM3_CH1	SPI1_NSS	-	USART3_CK	LPUART2_CTS	TSC_G5_IO2	-	LCD_SEG5	COMP1_OUT	-	-	EVENTOUT
	PB1	-	TIM1_CH3N	TIM3_CH4	-	LPTIM3_CH2	-	-	USART3_RTS/ USART3_DE	LPUART1_RTS_DE	TSC_SYNC	LPUART2_RTS_DE	LCD_SEG6	-	-	LPTIM2_IN1	EVENTOUT
	PB2	RTC_OUT2	LPTIM1_CH1	-	-	-	-	-	-	-	-	-	LCD_VLCD	-	-	-	EVENTOUT
	PB3	-	TIM2_CH2	LPTIM1_CH3	I2C2_SCL	I2C3_SCL	SPI1_SCK	SPI3_SCK	USART1_RTS/ USART1_DE	-	-	-	LCD_SEG7	-	-	-	EVENTOUT
	PB4	-	LPTIM1_CH4	TIM3_CH1	I2C2_SDA	I2C3_SDA	SPI1_MISO	SPI3_MISO	USART1_CTS	LPUART3_RTS_DE	TSC_G2_IO1	-	LCD_SEG8	-	-	-	EVENTOUT
	PB5	-	LPTIM1_IN1	TIM3_CH2	-	-	SPI1_MOSI	SPI3_MOSI	USART1_CK	LPUART3_CTS	TSC_G2_IO2	-	LCD_SEG9	COMP2_OUT	-	TIM16_BKIN	EVENTOUT
	PB6	-	LPTIM1_ETR	-	I2C4_SCL	I2C1_SCL	I2C2_SCL	LPUART3_TX	USART1_TX	-	TSC_G2_IO3	LPUART2_TX	-	-	-	TIM16_CH1N	EVENTOUT
	PB7	-	LPTIM1_IN2	-	I2C4_SDA	I2C1_SDA	I2C2_SDA	LPUART3_RX	USART1_RX	USART4_CTS	TSC_G2_IO4	LPUART2_RX	LCD_SEG21	-	-	-	EVENTOUT





端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	LPTIM1/ SYS_AF/ TIM1/2	I2C4/ LPTIM1/3/ TIM1/2/3	I2C2/4/ SYS_AF/ USART2	I2C1/2/3/4/ LPTIM3	I2C2/ SPI1/2	COMP1/ LPUART3/ SPI2/3	USART1/2/3	LPUART1/2/3/ USART4	TSC	CRS/ LPUART2/USB	LCD	COMP1/2/LC D	-	LPTIM1/2/3/ TIM2/15/16	EVENTOUT
端口 B	PB8	-	LPTIM1_IN2	LPTIM3_IN2	I2C2_SCL	I2C1_SCL	-	-	USART3_TX	-	-	-	LCD_SEG16	-	-	TIM16_CH1	EVENTOUT
	PB9	-	IR_OUT	LPTIM3_CH4	I2C2_SDA	I2C1_SDA	SPI2_NSS	-	USART3_RX	-	-	-	LCD_COM3	-	-	LPTIM1_CH4	EVENTOUT
	PB10	-	TIM2_CH3	LPTIM3_CH1	I2C4_SCL	I2C2_SCL	SPI2_SCK	-	USART3_TX	LPUART1_RX	TSC_G5_IO3	LPUART2_RX	LCD_SEG10	COMP1_OUT	-	-	EVENTOUT
	PB11	-	TIM2_CH4	-	I2C4_SDA	I2C2_SDA	-	-	USART3_RX	LPUART1_TX	TSC_G5_IO4	LPUART2_TX	LCD_SEG11	COMP2_OUT	-	-	EVENTOUT
	PB12	-	TIM1_BKIN	-	-	-	SPI2_NSS	-	USART3_CK	LPUART1_RTS_DE	TSC_G1_IO1	-	LCD_SEG12	-	-	TIM15_BKIN	EVENTOUT
	PB13	-	TIM1_CH1N	LPTIM3_IN1	-	I2C2_SCL	SPI2_SCK	-	USART3_CTS	LPUART1_CTS	TSC_G1_IO2	-	LCD_SEG13	-	-	TIM15_CH1N	EVENTOUT
	PB14	-	TIM1_CH2N	LPTIM3_ETR	-	I2C2_SDA	SPI2_MISO	-	USART3_RTS/ USART3_DE	-	TSC_G1_IO3	-	LCD_SEG14	-	-	TIM15_CH1	EVENTOUT
	PB15	RTC_REFIN	TIM1_CH3N	-	-	-	SPI2_MOSI	-	-	-	TSC_G1_IO4	-	LCD_SEG15	-	-	TIM15_CH2	EVENTOUT

表 15. 端口 C 复用功能

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	LPTIM1/ SYS_AF/ TIM1/2	I2C4/ LPTIM1/3/ TIM1/2/3	I2C2/4/ SYS_AF/ USART2	I2C1/2/3/4/ LPTIM3	I2C2/SPI1/2	COMP1/ LPUART3/ SPI2/3	USART1/2/3	LPUART1/2/3/ USART4	TSC	CRS/ LPUART2/US B	LCD	COMP1/2/ LCD	-	LPTIM1/2/3/ TIM2/15/16	EVENTOUT
端口 C	PC0	-	LPTIM1_IN1	I2C4_SCL	-	I2C3_SCL	-	-	-	LPUART1_RX	-	LPUART2_TX	LCD_SEG18	-	-	LPTIM2_IN1	EVENTOUT
	PC1	-	LPTIM1_CH1	I2C4_SDA	-	I2C3_SDA	-	-	-	LPUART1_TX	-	LPUART2_RX	LCD_SEG19	-	-	-	EVENTOUT
	PC2	MCO2	LPTIM1_IN2	-	-	-	SPI2_MISO	-	-	-	-	-	LCD_SEG20	-	-	-	EVENTOUT
	PC3	-	LPTIM1_ETR	LPTIM3_CH1	-	-	SPI2_MOSI	-	-	USART4_CK	-	-	LCD_VLCD	-	-	LPTIM2_ETR	EVENTOUT
	PC4	-	-	-	-	-	-	-	USART3_TX	LPUART3_TX	-	-	LCD_SEG22	-	-	-	EVENTOUT
	PC5	-	-	-	-	LPTIM3_CH3	-	-	USART3_RX	LPUART3_RX	-	-	LCD_SEG23	-	-	-	EVENTOUT
	PC6	-	-	TIM3_CH1	-	-	-	-	-	LPUART2_TX	TSC_G4_IO1	-	LCD_SEG24	-	-	-	EVENTOUT
	PC7	-	-	TIM3_CH2	-	LPTIM3_CH4	-	-	-	LPUART2_RX	TSC_G4_IO2	-	LCD_SEG25	-	-	LPTIM2_CH2	EVENTOUT
	PC8	-	-	TIM3_CH3	-	LPTIM3_CH1	-	-	-	-	TSC_G4_IO3	-	LCD_SEG26	-	-	-	EVENTOUT
	PC9	-	-	TIM3_CH4	-	LPTIM3_CH2	-	-	-	-	TSC_G4_IO4	USB_NOE	LCD_SEG27	-	-	-	EVENTOUT
	PC10	-	-	LPTIM3_ETR	-	-	-	SPI3_SCK	USART3_TX	USART4_TX	TSC_G3_IO2	-	LCD_COM4/ LCD_SEG28/ LCD_SEG48	-	-	-	EVENTOUT
	PC11	-	-	LPTIM3_IN1	-	-	-	SPI3_MISO	USART3_RX	USART4_RX	TSC_G3_IO3	-	LCD_COM5/ LCD_SEG29/ LCD_SEG49	-	-	-	EVENTOUT
	PC12	-	-	-	-	LPTIM3_CH3	-	SPI3_MOSI	USART3_CK	USART4_CK	-	-	LCD_COM6/ LCD_SEG30/ LCD_SEG50	-	-	-	EVENTOUT
	PC13	-	-	LPTIM1_CH3	-	LPTIM3_CH3	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PC14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PC15	OSC32_EN	OSC_EN	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT

表 16. 端口 D 复用功能

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	LPTIM1/ SYS_AF/ TIM1/2	I2C4/ LPTIM1/3/ TIM1/2/3	I2C2/4/ SYS_AF/ USART2	I2C1/2/3/4/ LPTIM3	I2C2/SPI1/2	COMP1/ LPUART3/ SPI2/3	USART1/2/3	LPUART1/2/3/ USART4	TSC	CRS/ LPUART2/ USB	LCD	COMP1/2/ LCD	-	LPTIM1/2/3/ TIM2/15/16	EVENTOUT
端口 D	PD0	-	-	-	-	-	SPI2_NSS	-	-	-	-	-	LCD_SEG34	-	-	-	EVENTOUT
	PD1	-	LPTIM1_CH4	-	-	-	SPI2_SCK	-	-	-	-	-	LCD_SEG35	-	-	-	EVENTOUT
	PD2	-	-	TIM3_ETR	-	-	-	-	USART3_RTS/ USART3_DE	-	TSC_SYNC	-	LCD_COM7/ LCD_SEG31/ LCD_SEG51	-	-	-	EVENTOUT
	PD3	-	-	-	-	-	SPI2_MISO	-	USART2_CTS	-	-	-	LCD_SEG36	-	-	-	EVENTOUT
	PD4	-	LPTIM1_CH3	-	-	-	SPI2_MOSI	-	USART2_RTS/ USART2_DE	-	-	-	LCD_SEG37	-	-	-	EVENTOUT
	PD5	-	-	-	-	-	-	-	USART2_TX	-	-	-	LCD_SEG38	-	-	-	EVENTOUT
	PD6	-	-	-	-	-	-	-	USART2_RX	-	-	-	LCD_SEG39	-	-	-	EVENTOUT
	PD8	-	-	-	-	-	-	-	USART3_TX	LPUART3_TX	-	-	LCD_SEG28	-	-	-	EVENTOUT
	PD9	-	-	-	-	LPTIM3_IN1	-	-	USART3_RX	LPUART3_RX	-	-	LCD_SEG29	-	-	-	EVENTOUT
	PD10	-	-	-	-	LPTIM3_ETR	-	-	USART3_CK	-	TSC_G6_IO1	-	LCD_SEG30	-	-	LPTIM2_CH2	EVENTOUT
	PD11	-	-	-	-	-	-	-	USART3_CTS	LPUART3_CTS	TSC_G6_IO2	-	LCD_SEG31	-	-	LPTIM2_ETR	EVENTOUT
	PD12	-	-	-	-	I2C4_SCL	-	-	USART3_RTS/ USART3_DE	LPUART3_RTS_DE	TSC_G6_IO3	-	LCD_SEG32	-	-	LPTIM2_IN1	EVENTOUT
	PD13	-	-	-	-	I2C4_SDA	-	-	-	-	TSC_G6_IO4	-	LCD_SEG33	-	-	LPTIM2_CH1	EVENTOUT

表 17. 端口 E 复用功能

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	LPTIM1/ SYS_AF/TIM1/2	I2C4/LPTIM1/3/ TIM1/2/3	I2C2/4/ SYS_AF/ USART2	I2C1/2/3/4/ LPTIM3	I2C2/ SPI1/2	COMP1/ LPUART3/ SPI2/3	USART1/2/3	LPUART1/2/3/ USART4	TSC	CRS/ LPUART2/US B	LCD	COMP1/2/LC D		LPTIM1/2/3/ TIM2/15/16	EVENTOUT
端口 E	PE3	-	-	TIM3_CH1	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PE7	-	TIM1_ETR	-	-	-	-	-	-	-	-	-	LCD_SEG45	-	-	-	EVENTOUT
	PE8	-	TIM1_CH1N	-	-	-	-	-	-	-	-	-	LCD_SEG46	-	-	-	EVENTOUT
	PE9	-	TIM1_CH1	LPTIM1_CH3	-	-	-	-	-	-	-	-	LCD_SEG47	-	-	-	EVENTOUT

表 18. 复用功能

端口		AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		SYS_AF	LPTIM1/ SYS_AF/ TIM1/2	I2C4/LPTIM1/3/ TIM1/2/3	I2C2/4/ SYS_AF/ USART2	I2C1/2/3/4/ LPTIM3	I2C2/ SPI1/2	COMP1/ LPUART3/ SPI2/3	USART1/2/3	LPUART1/2/3/ USART4	TSC	CRS/ LPUART2/USB	LCD	COMP1/2/LCD		LPTIM1/2/3/ TIM2/15/16	EVENTOUT
端口 F	PF0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PF1	OSC_EN	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT
	PF2	MCO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	PF3	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	EVENTOUT



5 存储器映射

有关所有外设的存储器映射及边界地址的详细信息，请参见产品线参考手册 (RM0503)。

6 电气特性

6.1 参数条件

除非特别说明，否则所有电压都以 V_{SS} 为基准。

6.1.1 最小值和最大值

除非特别说明，所有器件的最小值和最大值已在生产期间进行过测试，测试时结温为 $T_J = 25\text{ }^{\circ}\text{C}$ 和 $T_J = T_{Jmax}$ （取决于所选器件的温度范围），这些值能在最坏的结温、供电电压和时钟频率条件下得到保证。

根据特性分析结果、设计仿真和/或技术特性得到的数据在表格的脚注中说明。在特性分析基础上，最小值和最大值是通过样本测试后，取其平均值再加上或减去三倍的标准差（平均值 $\pm 3\sigma$ ）得到。

6.1.2 典型值

除非特别说明，典型数据均为 $T_J = 25\text{ }^{\circ}\text{C}$ 、 $V_{DD} = V_{DDA} = 3\text{ V}$ 的条件下测得的数据。这些数据未经测试，仅供设计参考。

典型的 ADC 精度值是通过对一个标准扩散批次采样，在整个温度范围内执行特性分析确定的，其中 95% 的器件的误差小于或等于指定的值（平均值 $\pm 2\sigma$ ）。

6.1.3 典型曲线

除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

6.1.4 负载电容

图 11 中显示了用于测量引脚参数的负载条件。

6.1.5 引脚输入电压

图 12 中显示了器件引脚上输入电压的测量方法。

图 11. 引脚负载条件

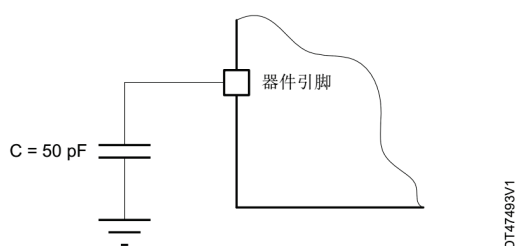
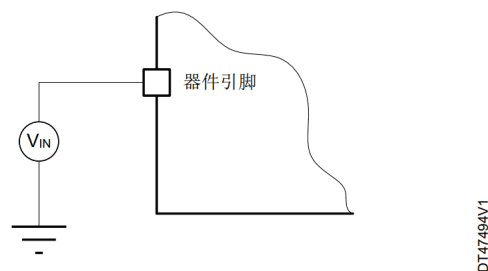
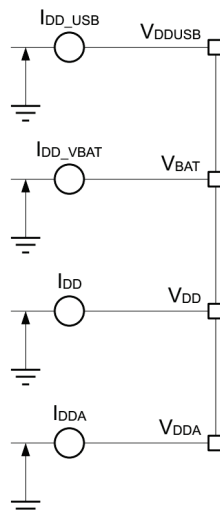


图 12. 引脚输入电压



6.1.7 电流消耗测量

图 14. 电流消耗测量方案



DT45729V1

表 26. 运行模式和低功耗运行模式下的电流消耗，从 Flash 存储器运行代码和数据处理，旁路模式，ART 使能（缓存开启，预取关闭），HSE 时钟用作系统时钟到表 43. 中指定的 I_{DD_ALL} 参数表示总 MCU 电流消耗，其中包括为 V_{DD} 、 V_{DDA} 、 V_{DDUSB} 和 V_{BAT} 供电的电流消耗。

6.2 绝对最大额定值

如果加在器件上的载荷超过表 19. 电压特性、表 20. 电流特性和表 21. 热特性中列出的绝对最大额定值，则可能导致器件永久损坏。这些数值只是额定应力，并不意味着器件在这些条件下功能正常。长期工作在最大额定值条件下可能会影响器件的可靠性。器件任务配置文件（应用条件）符合 JEDEC JESD47 认证标准，扩展任务配置文件按需提供。

表 19. 电压特性

在允许的范围内，所有主电源（ V_{DD} 、 V_{DDA} 、 V_{DDUSB} 、 V_{BAT} ）和接地（ V_{SS} 、 V_{SSA} ）引必须始终连接到外部电源。

符号	额定值	最小值	最大值	单位
$V_{DDX} - V_{SS}$	外部主电源供电电压（包括 V_{DD} 、 V_{DDA} 、 V_{DDUSB} 、 V_{BAT} 、 V_{REF+} ）	-0.3	4.0	V
V_{IN} 必须始终遵循 ⁽¹⁾	FT_XXX 引脚上的输入电压	$V_{SS} - 0.3$	$\min(V_{DD}, V_{DDA}, V_{DDUSB}) + 4.0^{(2)(3)}$	V
	TT_xx 引脚上的输入电压	$V_{SS} - 0.3$	4.0	
	任何其他引脚上的输入电压	$V_{SS} - 0.3$	4.0	
$ \Delta V_{DDX} $	相同域的不同 V_{DDX} 电源引脚之间的差异	-	50	mV
$ V_{SSx} - V_{SS} $	所有不同接地引脚之间的差异 ⁽⁴⁾	-	50	mV
$V_{REF+} - V_{DDA}$	$V_{REF+} > V_{DDA}$ 时所允许的电压差	-	0.4	V

- V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见表 20. 电流特性。
- 要维持高于 4 V 的电压，必须禁止内部上拉/下拉电阻。
- 该公式仅适用于与引脚定义表中所述的 IO 结构相关的电源。
- 包括 V_{REF-} 引脚。

表 20. 电流特性

符号	额定值	最大值	单位
ΣI_{VDD}	所有 V_{DD} 电源线流入电流总和（拉电流） ⁽¹⁾	140	mA
ΣI_{VSS}	流出所有 V_{SS} 接地线的总电流（灌电流）	140	
$I_{VDD(PIN)}$	流入每个 V_{DD} 电源引脚的最大电流（拉电流）	100	
$I_{VSS(PIN)}$	流出每个 V_{SS} 接地引脚的最大电流（灌电流）	100	
$I_{IO(PIN)}$	任意 I/O 和控制引脚（FT_f 除外）的输出灌电流	20	
	任意 FT_f 引脚的输出灌电流	20	
	任意 I/O 和控制引脚的输出拉电流	20	
$\Sigma I_{IO(PIN)}$	所有 I/O 和控制引脚的总输出灌电流 ⁽²⁾	100	
	所有 I/O 和控制引脚上的总输出拉电流 ⁽²⁾	100	
$I_{INJ(PIN)}$ ⁽³⁾	FT_XXX、TT_XX、RST 上的注入电流	-5/+0 ⁽⁴⁾	
$\Sigma I_{INJ(PIN)} $	总注入电流（所有 I/O 和控制引脚上的注入电流之和）	25	

1. 在允许的范围内，所有主电源（ V_{DD} 、 V_{DDA} 、 V_{DDUSB} 、 V_{BAT} ）和接地（ V_{SS} 、 V_{SSA} ）引脚必须始终连接到外部电源。
2. 此电流消耗必须在所有 I/O 和控制引脚上正确分配。总输出电流一定不能在两个连续电源引脚间灌/拉。
3. 当 $V_{IN} > V_{DDIOx}$ 时，这些 I/O 上不会产生正向注入电流，输入电压低于指定的最大值时也不会产生正向注入电流。
4. 当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。不得超出 $I_{INJ(PIN)}$ 。有关允许的最大输入电压值的信息，另请参见表 19. 电压特性。
5. 如果有多个输入受注入电流影响，则 $\Sigma |I_{INJ(PIN)}|$ 为反向注入电流之和的绝对值（瞬时值）。

表 21. 热特性

符号	额定值	值	单位
T_{STG}	储存温度范围	-65 至 +150	°C
T_J	最大结温	150	°C

6.3 工作条件

6.3.1 通用工作条件

表 22. 通用工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	-	0	56	MHz
f _{PCLK}	内部 APB 时钟频率	-	0	56	
V _{DD}	标准工作电压	-	1.71 ⁽¹⁾	3.6	V
V _{DDA}	模拟电源电压	使用 ADC 或 COMP	1.62	3.6	
		使用 OPAMP	1.8		
		未使用 ADC、OPAMP、COMP	0		
V _{BAT}	备份域供电电压	-	1.55	3.6	
V _{DDUSB}	USB 供电电压	使用 USB	3.0	3.6	V
		未使用 USB	0		
V _{IN}	I/O 输入电压	TT_xx I/O	-0.3	V _{DDIOx} + 0.3	V

符号	参数	条件	最小值	最大值	单位
V_{IN}	I/O 输入电压	除 TT_xx 引脚之外的所有 I/O	-0.3	$\text{Min}(\text{Min}(V_{DD}, V_{DDA}, V_{DDUSB}) + 3.6, 5.5)^{(2)(3)}$	V
T_A	环境温度（后缀为 6 的版本）	最大功率耗散	-40	85	°C
		低功率耗散 ⁽⁴⁾		105	
	环境温度（后缀为 3 的版本）	最大功率耗散		125	
		低功率耗散 ⁽⁴⁾		130	
T_J	结温范围	后缀为 6 的版本	-40	105	
		后缀为 3 的版本		130	

1. 释放 RESET 时，在电压下降到最低值 V_{BOR0} 的情况下，设备的功能仍然是可保证的。
2. 该公式仅适用于与引脚定义表中所述 I/O 结构相关的电源。最大 I/O 输入电压为 $\text{Min}(V_{DD}, V_{DDA}, V_{DDUSB}) + 3.6\text{ V}$ 与 5.5 V 中的最小值。
3. 当工作电压大于 $\text{Min}(V_{DD}, V_{DDA}, V_{DDUSB}) + 0.3\text{ V}$ 时，必须禁止内部上拉和下拉电阻。
4. 在低功率耗散状态下，只要 T_J 不超出 T_J 最大值， T_A 范围就可以扩大到该范围（参见第 7.10 节：封装热特性）。

6.3.2 上电/掉电时的工作条件

表 23 中给出的参数是在第 6.3.1 节：通用工作条件中汇总的环境温度条件下测试得出。

表 23. 上电/掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升时间速率	-	0	∞	$\mu\text{s/V}$
	V_{DD} 下降时间速率	ULPEN = 0	10	∞	
		ULPEN = 1	100	∞	ms/V
t_{VDDA}	V_{DDA} 上升时间速率	-	0	∞	$\mu\text{s/V}$
	V_{DDA} 下降时间速率		10	∞	
t_{VDDUSB}	V_{DDUSB} 上升时间速率	-	0	∞	$\mu\text{s/V}$
	V_{DDUSB} 下降时间速率	-	10	∞	

6.3.3 内置复位和电源控制模块特性

表 24. 内置复位和电源控制模块特性中给出的参数是在第 6.3.1 节：通用工作条件中汇总的环境温度条件下测试得出。

表 24. 内置复位和电源控制模块特性

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
$t_{RSTTEMPO}^{(2)}$	检测到 BOR0 后暂时复位	V_{DD} 上升	-	250	400	μs
$V_{BOR0}^{(2)}$	欠压复位阈值 0	上升沿	1.62	1.66	1.7	V
		下降沿	1.6	1.64	1.69	
V_{BOR1}	欠压复位阈值 1	上升沿	2.06	2.1	2.14	V
		下降沿	1.96	2	2.04	
V_{BOR2}	欠压复位阈值 2	上升沿	2.26	2.31	2.35	V
		下降沿	2.16	2.20	2.24	
V_{BOR3}	欠压复位阈值 3	上升沿	2.56	2.61	2.66	V
		下降沿	2.47	2.52	2.57	
V_{BOR4}	欠压复位阈值 4	上升沿	2.85	2.90	2.95	V

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
V_{BOR4}	欠压复位阈值 4	下降沿	2.76	2.81	2.86	V
V_{PVD0}	可编程电压检测器阈值 0	上升沿	2.1	2.15	2.19	V
		下降沿	2	2.05	2.1	
V_{PVD1}	PVD 阈值 1	上升沿	2.26	2.31	2.36	V
		下降沿	2.15	2.20	2.25	
V_{PVD2}	PVD 阈值 2	上升沿	2.41	2.46	2.51	V
		下降沿	2.31	2.36	2.41	
V_{PVD3}	PVD 阈值 3	上升沿	2.56	2.61	2.66	V
		下降沿	2.47	2.52	2.57	
V_{PVD4}	PVD 阈值 4	上升沿	2.69	2.74	2.79	V
		下降沿	2.59	2.64	2.69	
V_{PVD5}	PVD 阈值 5	上升沿	2.85	2.91	2.96	V
		下降沿	2.75	2.81	2.86	
V_{PVD6}	PVD 阈值 6	上升沿	2.92	2.98	3.04	V
		下降沿	2.84	2.90	2.96	
V_{hyst_BORH0}	BORH0 的迟滞电压	连续模式下的迟滞	-	20	-	mV
		其他模式下的迟滞	-	30	-	
$V_{hyst_BOR_PVD}$	BORH（不包括 BORH0）和 PVD 的迟滞电压	-	-	100	-	mV
$I_{DD}(BOR_PVD)^{(2)}$	BOR（不包括 BOR0）和 PVD 从 V_{DD} 消耗的电流 ⁽³⁾	-	-	1.1	1.6	μA
	ENULP = 1 时，BOR ⁽³⁾ （不包括 BOR0）和 PVD 从 V_{DD} 消耗的平均电流	-	-	55	1000	nA
V_{PVM1}	V_{DDUSB} 外设电压监控	-	1.18	1.22	1.26	V
V_{PVM3}	V_{DDA} 外设电压监控	上升沿	1.61	1.65	1.69	V
		下降沿	1.6	1.64	1.68	
V_{PVM4}	V_{DDA} 外设电压监控	上升沿	1.78	1.82	1.86	V
		下降沿	1.77	1.81	1.85	
V_{hyst_PVM3}	PVM3 迟滞	-	-	10	-	mV
V_{hyst_PVM4}	PVM4 迟滞	-	-	10	-	mV
$I_{DD}(PVM1)^{(2)}$	PVM1 从 V_{DD} 消耗的电流	-	-	0.2	-	μA
$I_{DD}(PVM3/PVM4)^{(2)}$	PVM3 和 PVM4 从 V_{DD} 消耗的电流	-	-	2	-	μA

1. 连续模式是指运行模式/睡眠模式，或者温度传感器在低功耗运行模式/低功耗睡眠模式下使能。

2. 由设计指定，未经生产测试。

3. 除关断模式外，其他所有模式下 BOR0 均使能，因此其电流消耗包含在各个供电电流特性表中。

6.3.4 内置电压参考

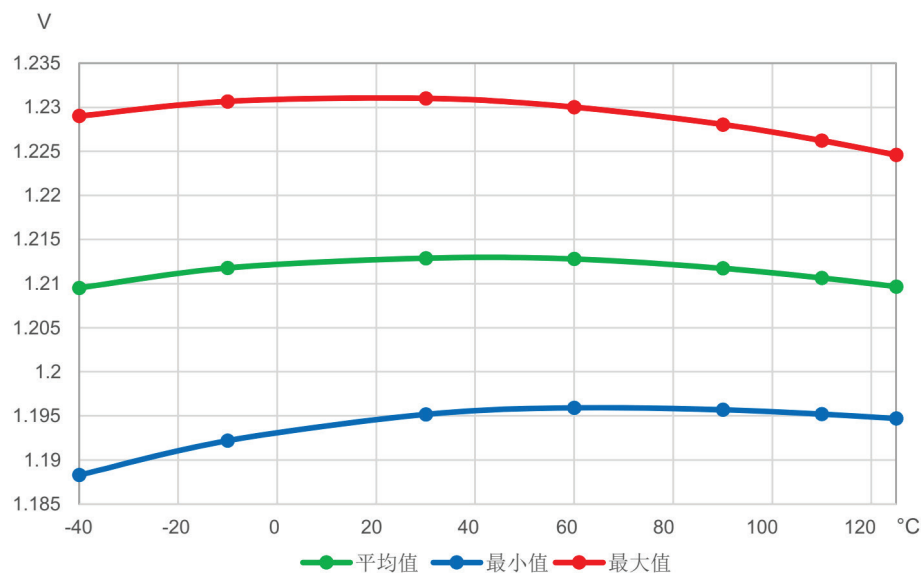
表 25. 内置内部电压参考中给出的参数是在第 6.3.1 节：通用工作条件中汇总的环境温度电源电压条件下测试得出的。

表 25. 内置内部电压参考

符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内部参考电压	$-40^{\circ}\text{C} < T_A < +130^{\circ}\text{C}$	1.182	1.212	1.232	V
$t_{S_vrefint}^{(1)}$	读取内部参考电压时的 ADC 采样时间	-	4 ⁽²⁾	-	-	μs
$t_{start_vrefint}$	使能 ADC 时参考电压缓冲器的启动时间	-	-	8	12 ⁽²⁾	μs
$I_{DD}(V_{REFINTBUF})$	V_{REFINT} 缓冲器从 V_{DD} 消耗的电流 (由模数转换器进行了转换时)	-	-	12.5	20 ⁽²⁾	μA
ΔV_{REFINT}	整个温度范围内的内部参考电压偏差	$V_{DD} = 3\text{ V}$	-	5	7.5 ⁽²⁾	mV
T_{Coeff}	温度系数	$-40^{\circ}\text{C} < T_A < +130^{\circ}\text{C}$	-	30	50 ⁽²⁾	ppm/ $^{\circ}\text{C}$
A_{Coeff}	长期稳定性	1000 小时, $T = 25^{\circ}\text{C}$	-	300	1000 ⁽²⁾	ppm
$V_{DDCoeff}$	电压系数	$3.0\text{ V} < V_{DD} < 3.6\text{ V}$	-	250	1200 ⁽²⁾	ppm/V
V_{REFINT_DIV1}	1/4 参考电压	-	24	25	26	% V_{REFINT}
V_{REFINT_DIV2}	1/2 参考电压		49	50	51	
V_{REFINT_DIV3}	3/4 参考电压		74	75	76	

- 最短采样时间可由应用程序通过多次迭代确定。
- 由设计指定，未经生产测试。

图 15. V_{REFINT} 与温度



DT40169V1

6.3.5

供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及执行的二进制代码等。

图 14. 电流消耗测量方案中介绍了电流消耗的测量方法。

典型和最大电流消耗

MCU 处于下述条件下：

- 所有 I/O 引脚都为模拟输入模式
- 所有外设都处于禁止状态，有明确说明时除外
- Flash 存储器访问时间通过最小等待周期数调整，具体取决于 f_{HCLK} 频率（参见 RM0503 参考手册中的表“等待周期数与 CPU 时钟 (HCLK) 频率的对应关系”）。
- 当启用外设时，f_{PCLK} = f_{HCLK}

表 26 至表 43 中给出的参数是在第 6.3.1 节：通用工作条件中汇总的环境温度电源电压条件下测试得出的。

表 26. 运行模式和低功耗运行模式下的电流消耗，从 Flash 存储器运行代码和数据处理，旁路模式，ART 使能（缓存开启，预取关闭），HSE 时钟用作系统时钟

符号	参数	条件			典型值					最大值 ⁽¹⁾					单位
		时钟源	距离	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD (Run)}	运行模式下的供电电流	f _{HCLK} = f _{HSE} ，旁路模式，外设已禁止	范围 1	48 MHz	3.75	3.75	3.85	3.95	4.10	4.1	4.15	4.3	4.5	4.9	mA
				32 MHz	2.55	2.55	2.60	2.70	2.90	2.8	2.85	2.95	3.15	3.5	
				24 MHz	1.95	1.95	2.05	2.10	2.30	2.15	2.2	2.3	2.5	2.85	
				16 MHz	1.35	1.35	1.40	1.50	1.65	1.45	1.5	1.65	1.8	2.15	
			范围 2	16 MHz	1.10	1.15	1.20	1.25	1.40	1.25	1.25	1.35	1.5	1.85	
				8 MHz	0.620	0.630	0.675	0.745	0.895	0.68	0.705	0.795	0.94	1.255	
				4 MHz	0.365	0.375	0.415	0.480	0.630	0.4	0.425	0.505	0.645	0.955	
				2 MHz	0.235	0.245	0.285	0.350	0.500	0.26	0.28	0.36	0.5	0.805	
				1 MHz	0.170	0.185	0.220	0.285	0.435	0.19	0.21	0.285	0.425	0.73	
				400 kHz	0.135	0.145	0.180	0.245	0.395	0.145	0.17	0.245	0.38	0.685	
				100 kHz	0.115	0.125	0.160	0.225	0.375	0.125	0.145	0.22	0.36	0.665	
I _{DD (LPRun)}	低功耗运行模式下的供电电流		低功耗运行	2 MHz	0.165	0.175	0.215	0.285	0.440	-	-	-	-	-	
				1 MHz	0.090	0.100	0.140	0.210	0.365	-	-	-	-	-	
				400 kHz	0.045	0.055	0.095	0.165	0.320	-	-	-	-	-	
				100 kHz	0.020	0.030	0.070	0.140	0.300	-	-	-	-	-	

1. 除非特别说明，否则按特性评估。



表 27. 运行模式和低功耗运行模式下的电流消耗，从 **Flash** 存储器运行代码和数据处理，**ART** 使能（缓存开启，预取关闭），**MSI** 时钟用作系统时钟
TBD 表示“待定义”。

符号	参数	条件			典型值					最大值 ⁽¹⁾					单位
		时钟源	距离	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD (Run)}	运行模式下的供电电流	f _{HCLK} = f _{MSI} ， 外设已禁止	范围 1	48 MHz	3.75	3.85	3.95	4.10	4.35	4.15	4.4	4.6	4.8	5.25	mA
				32 MHz	2.55	2.65	2.70	2.80	3.00	2.8	2.95	3.1	3.35	3.75	
				24 MHz	1.95	2.00	2.10	2.20	2.35	2.15	2.25	2.4	2.6	3	
				16 MHz	1.35	1.40	1.45	1.55	1.70	1.5	1.55	1.7	1.9	2.25	
			范围 2	16 MHz	1.15	1.15	1.20	1.30	1.45	1.25	1.3	1.45	1.6	1.9	
				8 MHz	0.610	0.630	0.675	0.745	0.900	0.67	0.715	0.805	0.95	1.275	
				4 MHz	0.365	0.375	0.415	0.485	0.635	0.4	0.43	0.51	0.655	0.965	
				2 MHz	0.235	0.255	0.290	0.355	0.505	0.26	0.285	0.365	0.505	0.815	
				1 MHz	0.175	0.185	0.225	0.290	0.435	0.19	0.215	0.295	0.43	0.74	
				400 kHz	0.135	0.145	0.180	0.245	0.395	0.145	0.17	0.245	0.38	0.69	
100 kHz	0.115	0.125	0.160	0.225	0.375	0.125	0.145	0.225	0.36	0.665					
I _{DD (LPRun)}	低功耗运行模式下的供电电流	低功耗运行	2 MHz	0.160	0.175	0.215	0.285	0.445	待定	待定	待定	待定	待定		
			1 MHz	0.100	0.100	0.140	0.210	0.375	待定	待定	待定	待定	待定		
			400 kHz	0.045	0.055	0.095	0.165	0.320	待定	待定	待定	待定	待定		
			100 kHz	0.020	0.030	0.070	0.140	0.300	待定	待定	待定	待定	待定		

1. 除非特别说明，否则按特性评估。



表 28. 运行模式和低功耗运行模式下的电流消耗，从 Flash 存储器运行代码和数据处理，旁路模式，ART 禁止（缓存开启，预取关闭），HSE 时钟用作系统时钟
TBD 表示“待定义”。

符号	参数	条件			典型值					最大值 ⁽¹⁾					单位
		时钟源	距离	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Run)	运行模式下的供电电流	f _{HCLK} = f _{HSE} ，旁路模式，外设已禁止	范围 1	48 MHz	4.30	4.35	4.45	4.55	4.75	4.75	4.85	5	5.2	5.6	mA
				32 MHz	2.95	3.00	3.05	3.15	3.30	3.25	3.3	3.45	3.6	4	
				24 MHz	2.65	2.65	2.70	2.80	3.00	2.9	2.95	3.1	3.3	3.65	
				16 MHz	1.80	1.85	2.00	2.00	2.15	2	2.05	2.15	2.35	2.7	
			范围 2	16 MHz	1.30	1.30	1.35	1.40	1.55	1.4	1.45	1.55	1.7	2	
				8 MHz	0.805	0.815	0.865	0.930	1.090	0.885	0.91	1	1.145	1.465	
				4 MHz	0.455	0.470	0.505	0.575	0.725	0.5	0.525	0.605	0.745	1.055	
				2 MHz	0.280	0.295	0.330	0.395	0.545	0.31	0.335	0.41	0.55	0.86	
				1 MHz	0.195	0.205	0.240	0.310	0.455	0.215	0.235	0.31	0.45	0.76	
				400 kHz	0.145	0.155	0.200	0.255	0.405	0.155	0.18	0.255	0.39	0.7	
100 kHz	0.115	0.125	0.165	0.230	0.375	0.13	0.15	0.225	0.36	0.67					
I _{DD} (LPRun)	低功耗运行模式下的供电电流	低功耗运行	2 MHz	0.220	0.235	0.275	0.340	0.500	待定	待定	待定	待定	待定		
			1 MHz	0.115	0.125	0.165	0.240	0.395	待定	待定	待定	待定	待定		
			400 kHz	0.055	0.065	0.105	0.175	0.335	待定	待定	待定	待定	待定		
			100 kHz	0.025	0.035	0.075	0.145	0.305	待定	待定	待定	待定	待定		

1. 除非特别说明，否则按特性评估。



表 29. 运行模式和低功耗运行模式下的电流消耗，从 **Flash** 存储器运行代码和数据处理，旁路模式，**ART** 禁止（缓存开启，预取关闭），**MSI** 时钟用作系统时钟
TBD 表示“待定义”。

符号	参数	条件			典型值					最大值 ⁽¹⁾					单位
		时钟源	距离	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD (Run)}	运行模式下的供电电流	f _{HCLK} = f _{MSI} ， 外设已禁止	范围 1	48 MHz	4.35	4.45	4.60	4.70	4.95	4.8	5	5.25	5.5	6	mA
				32 MHz	2.95	3.05	3.15	3.25	3.45	3.25	3.4	3.6	3.85	4.3	
				24 MHz	2.65	2.70	2.80	2.90	3.10	2.9	3.05	3.25	3.45	3.9	
				16 MHz	1.80	1.85	1.95	2.05	2.25	2	2.1	2.25	2.45	2.85	
			范围 2	16 MHz	1.30	1.30	1.40	1.45	1.60	1.4	1.5	1.6	1.75	2.1	
				8 MHz	0.795	0.815	0.860	0.935	1.100	0.875	0.92	1	1.15	1.5	
				4 MHz	0.455	0.475	0.510	0.590	0.730	0.5	0.53	0.62	0.76	1.05	
				2 MHz	0.280	0.295	0.335	0.400	0.550	0.31	0.34	0.42	0.56	0.87	
				1 MHz	0.195	0.210	0.245	0.315	0.465	0.215	0.24	0.32	0.46	0.765	
				400 kHz	0.145	0.155	0.190	0.255	0.405	0.155	0.18	0.25	0.39	0.7	
				100 kHz	0.115	0.130	0.165	0.235	0.375	0.13	0.15	0.225	0.365	0.67	
低功耗运行	2 MHz		0.220	0.230	0.275	0.345	0.505	待定	待定	待定	待定	待定			
	1 MHz		0.115	0.135	0.175	0.240	0.400	待定	待定	待定	待定	待定			
	400 kHz		0.055	0.065	0.105	0.175	0.335	待定	待定	待定	待定	待定			
	100 kHz		0.025	0.035	0.075	0.145	0.305	待定	待定	待定	待定	待定			

1. 除非特别说明，否则按特性评估。



表 30. 运行模式和低功耗运行模式下的电流消耗，从 SRAM1 运行代码和数据处理，旁路模式，HSE 时钟用作系统时钟

TBD 表示“待定义”。

符号	参数	条件			典型值					最大值 ⁽¹⁾					单位
		时钟源	距离	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD (Run)}	运行模式下的供电电流	f _{HCLK} = f _{HSE} ，旁路模式，外设已禁止	范围 1	48 MHz	3.45	3.45	3.50	3.60	3.80	3.8	3.85	3.95	4.1	4.5	mA
				32 MHz	2.35	2.35	2.40	2.50	2.65	2.6	2.6	2.7	2.9	3.25	
				24 MHz	1.80	1.80	1.85	1.95	2.10	1.95	2	2.1	2.25	2.65	
				16 MHz	1.25	1.25	1.30	1.40	1.55	1.35	1.4	1.5	1.65	2	
			范围 2	16 MHz	1.05	1.05	1.10	1.15	1.30	1.15	1.2	1.25	1.4	1.7	
				8 MHz	0.580	0.595	0.630	0.700	0.845	0.64	0.665	0.745	0.88	1.2	
				4 MHz	0.345	0.355	0.395	0.460	0.610	0.38	0.4	0.48	0.615	0.925	
				2 MHz	0.225	0.235	0.275	0.340	0.485	0.25	0.27	0.35	0.485	0.79	
				1 MHz	0.165	0.180	0.215	0.290	0.425	0.185	0.205	0.28	0.42	0.725	
				400 kHz	0.130	0.140	0.180	0.245	0.390	0.145	0.165	0.24	0.38	0.685	
100 kHz	0.115			0.125	0.160	0.225	0.375	0.125	0.145	0.225	0.36	0.665			
I _{DD (LPRun)}	低功耗运行模式下的供电电流		低功耗运行	2 MHz	0.070	0.080	0.120	0.190	0.350	待定	待定	待定	待定	待定	
				1 MHz	0.040	0.050	0.090	0.160	0.315	待定	待定	待定	待定	待定	
				400 kHz	0.020	0.030	0.070	0.145	0.295	待定	待定	待定	待定	待定	
				100 kHz	0.010	0.020	0.060	0.135	0.290	待定	待定	待定	待定	待定	

1. 除非特别说明，否则按特性评估。



表 31. 运行模式和低功耗运行模式下的电流消耗，从 SRAM1 运行代码和数据处理，MSI 时钟用作系统时钟

TBD 表示“待定义”。

符号	参数	条件			典型值					最大值 ⁽¹⁾					单位
		时钟源	距离	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Run)	运行模式下的供电电流	f _{HCLK} = f _{MSI} ，外设已禁止	范围 1	48 MHz	3.50	3.55	3.65	3.75	3.95	3.85	3.95	4.15	4.35	4.8	mA
				32 MHz	2.35	2.40	2.50	2.60	2.75	2.6	2.7	2.85	3.05	3.45	
				24 MHz	1.80	1.85	1.90	2.00	2.20	2	2.05	2.2	2.4	2.8	
				16 MHz	1.25	1.30	1.35	1.40	1.60	1.35	1.45	1.55	1.75	2.1	
			范围 2	16 MHz	1.05	1.10	1.15	1.20	1.35	1.15	1.2	1.3	1.5	1.8	
				8 MHz	0.575	0.590	0.630	0.695	0.850	0.63	0.66	0.745	0.89	1.2	
				4 MHz	0.345	0.355	0.395	0.460	0.610	0.375	0.405	0.485	0.625	0.935	
				2 MHz	0.225	0.240	0.275	0.345	0.490	0.25	0.275	0.35	0.49	0.8	
				1 MHz	0.170	0.180	0.215	0.285	0.430	0.185	0.2	0.285	0.425	0.73	
				400 kHz	0.130	0.140	0.180	0.245	0.395	0.145	0.165	0.245	0.38	0.69	
				100 kHz	0.115	0.125	0.160	0.225	0.375	0.125	0.15	0.225	0.36	0.67	
				2 MHz	0.070	0.080	0.120	0.190	0.355	待定	待定	待定	待定	待定	
				1 MHz	0.040	0.050	0.090	0.160	0.320	待定	待定	待定	待定	待定	
				400 kHz	0.020	0.030	0.070	0.145	0.295	待定	待定	待定	待定	待定	
				100 kHz	0.010	0.020	0.060	0.130	0.290	待定	待定	待定	待定	待定	
I _{DD} (LPRun)	低功耗运行模式下的供电电流		低功耗运行												

1. 除非特别说明，否则按特性评估。

表 32. 运行模式和低功耗运行模式下的典型电流消耗，从 Flash 存储器运行不同代码，ART 使能（缓存开启，预取关闭）

符号	参数	条件			典型消耗		典型消耗		典型消耗	
		时钟源	距离	代码	25 °C, 1.8 V		25 °C, 3.0 V		25 °C, 3.6 V	
I _{DD} (Run)	运行模式下的供电电流	f _{HCLK} = f _{MSI} ，所有外设均已禁止	范围 1, 48 MHz	Coremark	3640	76	3760	78	3830	80
				精简代码	3880	81	4060	85	4090	85
				Dhrystone 2.1	3660	76	3830	80	3870	81
				Fibonacci	3490	73	3650	76	3690	77
				while(1)	2490	52	2610	54	2640	55
			范围 2, 16 MHz	Coremark	1090	68	1130	71	1150	72
				精简代码	1160	73	1210	76	1220	76
				Dhrystone 2.1	1100	69	1150	72	1160	73





符号	参数	条件			典型消耗			典型消耗			典型消耗														
		时钟源	距离	代码	25 °C, 1.8 V			25 °C, 3.0 V			25 °C, 3.6 V														
I _{DD} (Run)	运行模式下的供电电流	f _{HCLK} = f _{MSI} , 所有外设均已禁止	范围 2, 16 MHz	Fibonacci	1050	μA	66	μA/MHz	1080	μA	68	μA/MHz	1090	μA	68	μA/MHz									
				while(1)	780								810					820		51					
I _{DD} (LPRun)	低功耗运行模式下的供电电流		低功耗运行模式, 2 MHz	Coremark	160								80					160		80		160		80	
				精简代码	170								85					170		85		170		85	
				Dhrystone 2.1	160								80					160		80		160		80	
				Fibonacci	150								75					150		75		150		75	
				while(1)	110								55					110		55		110		55	

表 33. 运行模式和低功耗运行模式下的典型电流消耗, 从 Flash 存储器运行不同代码, ART 已禁止

符号	参数	条件			典型消耗				典型消耗				典型消耗							
		时钟源	距离	代码	25 °C, 1.8 V				25 °C, 3.0 V				25 °C, 3.6 V							
I _{DD} (Run)	运行模式下的供电电流	f _{HCLK} = f _{MSI} , 所有外设均已禁止	范围 1, 48 MHz	Coremark	4160	μA	μA/MHz	87	μA	μA/MHz	4370	μA	μA/MHz	91	μA	μA/MHz	4420	μA	μA/MHz	92
				精简代码	4310			90			4540			95			4590			96
				Dhrystone 2.1	4200			88			4430			92			4480			93
				Fibonacci	4190			87			4380			91			4440			93
				while(1)	2490			52			2600			54			2620			55
			范围 2, 16 MHz	Coremark	1240			78			1290			81			1300			81
				精简代码	1280			80			1330			83			1350			84
				Dhrystone 2.1	1250			78			1300			81			1320			83
				Fibonacci	1240			78			1300			81			1320			83
				while(1)	780			49			810			51			820			51
低功耗运行模式, 2 MHz	Coremark		210	105	220			110			220			110						
	精简代码		220	110	230			115			230			115						
	Dhrystone 2.1		220	110	220			110			220			110						
	Fibonacci		230	115	240			120			240			120						
	while(1)		110	55	110			55			110			55						

表 34. 运行模式和低功耗运行模式下的典型电流消耗，从 SRAM1 运行不同代码

符号	参数	条件			典型消耗			典型消耗			典型消耗							
		时钟源	距离	代码	25 °C, 1.8 V			25 °C, 3.0 V			25 °C, 3.6 V							
I _{DD (Run)}	运行模式下的供电电流	f _{HCLK} = f _{MSI} , 所有外设均已禁止	范围 1, 48 MHz	Coremark	3340	μA	70	μA/MHz	3480	μA	73	μA/MHz	3510	μA	73			
				精简代码	3400				71				3540			74	3580	75
				Dhrystone 2.1	3310				69				3450			72	3490	73
				Fibonacci	3490				73				3630			76	3680	77
				while(1)	2690				56				2810			59	2840	59
			范围 2, 16 MHz	Coremark	1020	64	1060	66	1070	67								
				精简代码	1030	64	1070	67	1080	68								
				Dhrystone 2.1	1010	63	1050	66	1060	66								
				Fibonacci	1060	66	1100	69	1110	69								
				while(1)	850	53	880	55	890	56								
I _{DD (LPRun)}	低功耗运行模式下的供电电流		低功耗运行模式, 2 MHz	Coremark	138	μA	69	μA/MHz	138	μA	69	μA/MHz	138	μA	69			
				精简代码	140				70				140			70	140	70
				Dhrystone 2.1	140				70				140			70	140	70
				Fibonacci	140				70				150			75	150	75
				while(1)	110				55				110			55	120	60

表 35. 睡眠模式和低功耗睡眠模式下的电流消耗，Flash 存储器开启，HSE 时钟用作系统时钟

符号	参数	条件			典型值					最大值					单位
		时钟源	距离	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD (Sleep)}	运行模式下的供电电流	f _{HCLK} = f _{HSE} , 旁路模式, 外设已禁止	范围 1	48 MHz	1.25	1.25	1.30	1.40	1.60	1.4	1.4	1.5	1.7	2.05	mA
				32 MHz	0.885	0.900	0.910	1.00	1.20	0.975	1	1.1	1.25	1.6	
				24 MHz	0.695	0.710	0.755	0.835	1.00	0.765	0.795	0.89	1.05	1.4	
				16 MHz	0.505	0.520	0.565	0.640	0.810	0.555	0.585	0.68	0.84	1.2	
			范围 2	16 MHz	0.445	0.455	0.490	0.560	0.710	0.485	0.51	0.59	0.73	1.05	
				8 MHz	0.275	0.285	0.325	0.390	0.540	0.305	0.325	0.405	0.545	0.85	
				4 MHz	0.190	0.205	0.245	0.305	0.455	0.21	0.235	0.31	0.445	0.755	
				2 MHz	0.155	0.160	0.195	0.265	0.410	0.165	0.185	0.26	0.4	0.705	
				1 MHz	0.130	0.145	0.175	0.240	0.390	0.14	0.165	0.24	0.375	0.68	





符号	参数	条件			典型值					最大值					单位
		时钟源	距离	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Sleep)	运行模式下的供电电流	f _{HCLK} = f _{HSE} ，旁路模式，外设已禁止	范围 2	400 kHz	0.115	0.125	0.165	0.230	0.375	0.13	0.15	0.225	0.36	0.665	mA
				100 kHz	0.110	0.120	0.155	0.220	0.370	0.12	0.145	0.22	0.355	0.66	
I _{DD} (LPSleep)	低功耗运行模式下的供电电流		-	2 MHz	0.060	0.070	0.110	0.180	0.340	待定	待定	待定	待定	待定	
				1 MHz	0.035	0.045	0.085	0.155	0.315	待定	待定	待定	待定	待定	
				400 kHz	0.020	0.035	0.070	0.140	0.305	待定	待定	待定	待定	待定	
				100 kHz	0.015	0.025	0.065	0.135	0.295	待定	待定	待定	待定	待定	

表 36. 睡眠模式和低功耗睡眠模式下的电流消耗, Flash 存储器开启, MSI 时钟用作系统时钟

符号	参数	条件			典型值					最大值					单位
		时钟源	距离	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD (Sleep)}	运行模式下的供电电流	f _{HCLK} = f _{MSI} ， 外设已禁止	范围 1	48 MHz	1.30	1.35	1.40	1.50	1.65	1.45	1.5	1.65	1.8	2.2	mA
				32 MHz	0.915	0.940	0.95	1.10	1.25	1	1.065	1.15	1.35	1.7	
				24 MHz	0.715	0.740	0.800	0.870	1.05	0.785	0.835	0.94	1.1	1.47	
				16 MHz	0.525	0.545	0.590	0.670	0.84	0.575	0.615	0.715	0.88	1.24	
			范围 2	16 MHz	0.455	0.475	0.515	0.585	0.735	0.5	0.535	0.625	0.765	1.08	
				8 MHz	0.275	0.280	0.320	0.385	0.535	0.295	0.32	0.4	0.54	0.85	
				4 MHz	0.190	0.200	0.240	0.305	0.450	0.21	0.235	0.31	0.445	0.755	
				2 MHz	0.150	0.160	0.200	0.265	0.410	0.165	0.19	0.265	0.4	0.705	
				1 MHz	0.130	0.140	0.180	0.245	0.400	0.145	0.165	0.24	0.375	0.685	
				400 kHz	0.115	0.125	0.165	0.230	0.375	0.125	0.15	0.225	0.36	0.665	
100 kHz	0.110			0.120	0.155	0.220	0.370	0.12	0.14	0.215	0.355	0.655			
I _{DD (LPSleep)}	低功耗运行模式下的供电电流		-	2 MHz	0.060	0.070	0.110	0.180	0.345	待定	待定	待定	待定	待定	
				1 MHz	0.040	0.050	0.090	0.160	0.315	待定	待定	待定	待定	待定	
				400 kHz	0.025	0.035	0.070	0.145	0.305	待定	待定	待定	待定	待定	
				100 kHz	0.015	0.025	0.065	0.135	0.295	待定	待定	待定	待定	待定	

表 37. 睡眠模式和低功耗睡眠模式下的电流消耗，Flash 存储器处于掉电模式

符号	参数	条件		典型值					最大值					单位
		时钟源	f _{HCLK}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (LPSleep)	低功耗睡眠模式下的供电电流	f _{HCLK} = f _{MSI} ，外设已禁止	2 MHz	61.5	72.5	110	180	340	待定	待定	待定	待定	待定	μA
			1 MHz	38.5	49.5	88.5	160	315	待定	待定	待定	待定	待定	
			400 kHz	22.5	33.0	72.0	140	300	待定	待定	待定	待定	待定	
			100 kHz	15.5	26.0	65.0	135	295	待定	待定	待定	待定	待定	

表 38. Stop 0 模式下的电流消耗

符号	参数	条件	典型值					最大值					单位
		V _{DD}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Stop 0)	Stop 0 模式下的供电电流，RTC 已禁止	1.8 V	100	110	140	195	310	254	276	350	490	770	μA
		2.4 V	100	110	140	195	315	257	279	356	490	795	
		3.0 V	105	110	145	200	320	260	281	359	495	805	
		3.3 V	105	110	145	200	320	260	282	360	495	805	
		3.6 V	105	115	145	200	325	262	285	362	500	810	

表 39. Stop 1 模式下的电流消耗

符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105°C	125° C	30 °C	55 °C	85 °C	105° C	130 °C	
I _{DD} (Stop 1)	Stop 1 模式下的供电电流， RTC 已禁止	LCD 已禁止	EN_ULP = 0	1.8 V	3.20	10.5	39.5	91.5	200	8.10	27.5	99	230	500	μA
				2.4 V	3.20	10.5	39.5	91.5	210	8.10	27.5	100	230	520	
				3.0 V	3.30	10.5	39.5	92.5	210	8.00	27.5	100	230	530	
				3.3 V	3.30	11.0	40.0	93.5	215	8.00	27.5	100	235	535	
				3.6 V	3.35	11.0	40.0	93.5	215	8.10	27.5	100	235	535	
			EN_ULP = 1	1.8 V	3.20	10.5	39.5	92.0	195	8.10	27.5	100	230	495	
				2.4 V	3.20	10.5	39.5	91.5	205	8.10	27.5	99	230	520	
				3.0 V	3.30	10.5	39.5	92.5	210	8.00	27.5	100	230	530	
				3.3 V	3.30	10.5	40.0	93.0	210	8.00	27.5	100	230	530	
				3.6 V	3.35	11.0	40.0	93.5	215	8.10	27.5	100	235	535	



符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105°C	125°C	30 °C	55 °C	85 °C	105°C	130 °C	
I _{DD} (Stop 1)	Stop 1 模式下的供电电流， RTC 已禁止	LCD 已使能，由 LSI 提供时钟	EN_ULP = 0	1.8 V	3.50	11.0	39.5	92.0	200	9.00	29.0	100	230	500	μA
				2.4 V	3.60	11.0	39.5	92.0	210	9.00	29.0	100	230	525	
				3.0 V	3.70	11.0	40.0	93.0	210	9.00	29.0	100	230	530	
				3.3 V	3.80	11.5	40.5	93.5	215	10.0	29.0	100	235	535	
				3.6 V	3.90	11.5	40.5	94.5	215	10.0	30.0	100	235	535	
	Stop 1 模式下的供电电流， RTC 已使能	由 LSI 提供时钟信号的 RTC	EN_ULP = 0 LPCAL = 1	1.8 V	3.60	11.0	40.0	92.0	195	9.00	29.0	100	230	495	
				2.4 V	3.70	11.0	40.0	92.0	210	9.00	29.0	100	230	520	
				3.0 V	3.90	11.5	40.0	93.0	210	10.0	29.0	100	230	530	
				3.3 V	3.90	11.5	40.5	93.5	215	10.0	30.0	100	235	535	
				3.6 V	4.10	11.5	41.0	94.5	215	10.0	30.0	100	235	535	
		RTC 由 LSE 提供时钟，32768 Hz 时旁路，LCD 已禁止	EN_ULP = 0 LPCAL = 1	1.8 V	3.40	11.0	39.5	92.5	195	9.00	27.5	100	230	485	
				2.4 V	3.40	11.0	39.5	91.5	210	9.00	27.5	100	230	525	
				3.0 V	3.50	11.0	39.5	93.5	215	9.00	27.5	100	235	535	
				3.3 V	3.50	11.0	39.5	93.0	215	9.00	29.0	100	235	535	
				3.6 V	3.55	11.0	40.0	94.0	215	9.10	29.0	100	235	540	
			EN_ULP = 0 LPCAL = 0	1.8 V	3.50	11.0	39.5	92.5	195	9.00	29.0	100	230	485	
				2.4 V	3.60	11.0	39.5	92.0	210	9.00	29.0	100	230	530	
				3.0 V	3.80	11.0	40.0	93.0	215	10.0	29.0	100	230	535	
				3.3 V	3.80	11.5	40.0	93.5	215	10.0	29.0	100	235	535	
				3.6 V	4.00	11.5	40.5	94.5	215	10.0	30.0	101	235	540	
		在低速驱动模式下，RTC 由 LSE 晶 体振荡器提供时钟，LCD 已禁止	EN_ULP = 0 LPCAL = 0	1.8 V	3.40	11.0	39.5	92.0	190	9.00	29.0	100	230	4800	
				2.4 V	3.70	11.0	39.5	92.5	210	9.00	29.0	100	230	5300	
				3.0 V	3.80	11.5	40.0	93.0	215	10.0	29.0	100	230	5350	
				3.3 V	3.90	11.5	40.5	93.5	215	10.0	29.0	100	235	5350	
				3.6 V	4.05	11.5	41.0	94.5	215	10.0	30.0	100	235	5400	
			EN_ULP = 0 LPCAL = 1	1.8 V	3.30	11.0	39.5	92.0	195	8.00	27.5	100	230	4850	
				2.4 V	3.40	11.0	39.5	92.0	210	9.00	27.5	100	230	5250	
				3.0 V	3.40	11.0	39.5	93.5	215	9.00	27.5	100	235	5350	
				3.3 V	3.50	11.0	40.0	93.5	215	9.00	29.0	100	235	5350	





符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105°C	125°C	30 °C	55 °C	85 °C	105°C	130 °C	
I _{DD} (Stop 1)	Stop 1 模式下的供电电流， RTC 已使能	在低速驱动模式下，RTC 由 LSE 晶体振荡器提供时钟，LCD 已禁止	EN_ULP = 0 LPCAL = 1	3.6 V	3.65	11.0	40.5	93.5	215	9.10	29.0	100	235	5350	μA
			EN_ULP = 1 LPCAL = 1	1.8 V	3.40	11.0	39.5	91.5	190	9.00	27.5	100	230	4800	
				2.4 V	3.40	11.0	39.5	92.0	210	9.00	27.5	100	230	5300	
				3.0 V	3.50	11.0	39.5	93.0	215	9.00	27.5	100	230	5350	
				3.3 V	3.50	11.0	40.0	93.5	215	9.00	29.0	100	235	5350	
				3.6 V	3.65	11.0	40.5	94.0	215	9.10	29.0	100	235	5350	
		在低速驱动模式下，RTC 由 LSE 晶体振荡器提供时钟，LCD 已使能	-	1.8 V	3.30	11.0	39.5	92.0	190	8.00	27.5	100	230	4800	
				2.4 V	3.40	11.0	39.5	92.0	210	9.00	27.5	100	230	5300	
				3.0 V	3.50	11.0	39.5	93.0	210	9.00	27.5	100	230	5300	
				3.3 V	3.50	11.0	40.0	93.5	215	9.00	29.0	100	235	5350	
				3.6 V	3.65	11.0	40.5	94.0	215	9.10	29.0	100	235	5400	

表 40. Stop 2 模式下的电流消耗

符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Stop 2)	Stop 2 模式下的供电电流， RTC 已禁止	LCD 已禁止	EN_ULP = 0	1.8 V	695	2250	9550	22500	53000	2450	5650	24000	56000	130000	nA
				2.4 V	720	2350	9850	23000	54500	2500	5900	24500	57500	135000	
				3.0 V	750	2500	10000	23500	56000	2550	6200	25500	59500	140000	
				3.3 V	770	2550	10500	24000	57500	2550	6400	26000	60500	145000	
				3.6 V	805	2650	11000	25000	58500	2600	6650	27000	62000	145000	
			EN_ULP = 1	1.8 V	760	2250	8800	21500	52000	2450	5650	22000	54000	130000	
				2.4 V	775	2300	8950	22000	53500	2500	5700	22500	55500	135000	
				3.0 V	795	2300	9150	22500	55000	2550	5800	23000	56500	135000	
				3.3 V	805	2350	9250	23000	56000	2550	5850	23000	57500	140000	
				3.6 V	830	2400	9450	23500	57500	2600	6000	23500	58500	145000	
		LCD 已使能，由 LSI 提供时钟	EN_ULP = 0	1.8 V	1000	2500	9100	22000	52500	2550	6250	22500	55000	130000	
				2.4 V	1100	2600	9250	22500	54000	2750	6500	23000	56500	135000	
				3.0 V	1200	2700	9550	23000	55500	2950	6800	24000	57500	140000	

符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Stop 2)	Stop 2 模式下的供电电流，RTC 已禁止	LCD 已使能，由 LSI 提供时钟	EN_ULP = 0	3.3 V	1250	2800	9700	23500	56500	3100	6950	24500	58500	140000	nA
				3.6 V	1300	2850	9950	24000	58000	3250	7200	25000	60000	145000	
	Stop 2 模式下的供电电流，RTC 已使能	RTC 由 LSI 提供时钟，LCD 已禁止	EN_ULP = 0 LPCAL = 1	1.8 V	1100	2600	9150	22000	52500	2750	6500	23000	55000	130000	
				2.4 V	1200	2700	9400	22500	54000	3000	6800	23500	56500	135000	
				3.0 V	1300	2850	9700	23000	55500	3300	7150	24000	58000	140000	
				3.3 V	1400	2950	9850	23500	56500	3500	7350	24500	59000	140000	
				3.6 V	1450	3050	10000	24000	58000	3650	7650	25500	60000	145000	
				1.8 V	830	2350	9000	22000	53000	2550	5850	22500	55000	130000	
		RTC 由 LSE 提供时钟，32768 Hz 时旁路，LCD 已禁止	EN_ULP = 0 LPCAL = 1	2.4 V	870	2400	9200	22500	54500	2600	6000	23000	56500	135000	
				3.0 V	935	2450	9400	23000	56500	2650	6200	23500	58000	140000	
				3.3 V	955	2550	9600	23500	57000	2700	6300	24000	59000	145000	
				3.6 V	995	2600	9800	24000	58500	2750	6550	24500	60000	145000	
				1.8 V	985	2500	9050	22000	53000	2450	6250	22500	55500	130000	
			EN_ULP = 0 LPCAL = 0	2.4 V	1100	2600	9350	22500	54500	2750	6550	23500	56500	135000	
				3.0 V	1250	2750	9650	23000	56500	3100	6950	24000	58000	140000	
				3.3 V	1300	2850	9850	23500	57500	3250	7150	24500	59000	145000	
				3.6 V	1400	3000	10000	24000	58500	3500	7500	25000	60500	145000	
				1.8 V	840	2550	9850	22500	54500	2100	6450	24500	57000	135000	
			EN_ULP = 0 LPCAL = 0	2.4 V	1100	2750	10000	23500	57000	2800	6900	25500	59000	140000	
				3.0 V	1250	3000	11000	24500	59000	3100	7500	27000	61000	150000	
				3.3 V	1300	3150	11000	25000	60500	3300	7850	28000	62000	150000	
				3.6 V	1400	3350	11500	25500	61500	3550	8400	28500	63500	155000	
		在低速驱动模式下，RTC 由 LSE 晶体振荡器提供时钟，LCD 已禁止	EN_ULP = 0 LPCAL = 1	1.8 V	890	2400	9000	22000	52500	2200	6050	22500	54500	130000	
				2.4 V	945	2450	9200	22500	54000	2350	6150	23000	56000	135000	
				3.0 V	985	2500	9400	23000	56000	2450	6300	23500	57500	140000	
				3.3 V	1000	2550	9550	23000	56500	2550	6450	24000	58000	140000	
				3.6 V	1050	2650	9750	24000	57500	2650	6600	24500	59500	145000	
			EN_ULP = 1 LPCAL = 1	1.8 V	825	2400	9700	22500	54000	2050	6050	24000	56500	135000	
				2.4 V	885	2500	10000	23000	56000	2200	6300	25000	58000	140000	
				3.0 V	940	2700	10500	24000	58500	2350	6750	26000	60000	145000	





符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Stop 2)	Stop 2 模式下的供电电流，RTC 已使能	在低速驱动模式下，RTC 由 LSE 晶体振荡器提供时钟，LCD 已禁止	EN_ULP = 1 LPCAL = 1	3.3 V	975	2800	10500	24500	59500	2450	7000	27000	61500	150000	nA
				3.6 V	1050	2900	11000	25000	60500	2600	7250	27500	62500	150000	
		在低速驱动模式下，RTC 由 LSE 晶体振荡器提供时钟，LCD 已使能	-	1.8 V	890	2400	9050	22000	52500	2200	6050	22500	54500	130000	
				2.4 V	945	2450	9150	22500	54000	2350	6150	23000	56000	135000	
				3.0 V	985	2500	9400	23000	56000	2450	6300	23500	57500	140000	
				3.3 V	1000	2550	9500	23500	56500	2550	6450	23500	58500	140000	
				3.6 V	1050	2650	9750	23500	57500	2650	6600	24500	59500	145000	

表 41. 待机模式下的电流消耗:

符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Standby)	待机模式下的供电电流（备份寄存器保持），RTC 已禁止	没有独立看门狗	EN_ULP = 0	1.8 V	30.5	195	1200	3700	9400	77.5	485	3050	9300	23500	nA
				2.4 V	48.0	260	1550	4300	11000	120	650	3900	11000	27000	
				3.0 V	68.5	345	2000	5050	12000	170	865	5050	12500	30500	
				3.3 V	82.0	395	2250	5450	13000	205	990	5650	13500	32500	
				3.6 V	105	460	2550	5750	14000	260	1150	6400	14500	34500	
			EN_ULP = 1	1.8 V	100	235	1050	3050	8750	250	585	2600	7600	22000	
				2.4 V	115	265	1200	3450	10000	285	665	2950	8600	25000	
				3.0 V	130	305	1350	3900	11000	320	765	3400	9800	28000	
				3.3 V	135	330	1450	4250	12000	345	830	3600	10500	29500	
				3.6 V	150	370	1550	4500	12500	380	925	3900	11000	31500	
		独立看门狗	EN_ULP = 0	1.8 V	195	335	1150	3150	8800	490	835	2850	7850	22000	
				2.4 V	215	375	1300	3600	10000	545	945	3250	8950	25500	
				3.0 V	240	425	1500	4000	11500	605	1050	3700	10000	28500	
				3.3 V	260	460	1600	4350	12000	650	1150	4000	11000	30000	
				3.6 V	280	505	1700	4700	13000	700	1250	4300	11500	32000	
I _{DD} (Standby with RTC)	待机模式下的供电电流（备份寄存器保持），RTC 已使能	RTC 由 LSI 提供时钟，无独立看门狗	EN_ULP = 0	1.8 V	195	335	1150	3150	8750	490	840	2850	7850	22000	
				2.4 V	220	380	1300	3600	10000	545	945	3250	8950	25500	
				3.0 V	245	430	1500	4050	11500	610	1050	3700	10000	28500	

符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105°C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Standby with RTC)	待机模式下的供电电流（备份寄存器保持），RTC 已使能	RTC 由 LSI 提供时钟， 无独立看门狗	EN_ULP = 0	3.3 V	260	460	1600	4350	12000	655	1150	4000	11000	30000	nA
				3.6 V	285	505	1700	4650	13000	710	1250	4250	11500	32000	
		RTC 由 LSI 提供时钟， 独立看门狗	EN_ULP = 0	1.8 V	200	340	1150	3150	8850	500	850	2850	7900	22000	
				2.4 V	225	385	1300	3600	10000	560	960	3250	9000	25500	
				3.0 V	245	435	1500	4050	11500	620	1100	3700	10000	28500	
				3.3 V	265	465	1600	4350	12000	665	1150	4000	11000	30000	
				3.6 V	290	515	1750	4700	13000	720	1300	4350	11500	32000	
		RTC 由 LSE 提供时钟， 32768 Hz 时旁路	LPCAL = 0	1.8 V	155	290	1100	3150	8800	385	725	2750	7850	22000	
				2.4 V	195	355	1300	3600	10000	495	885	3200	9000	25500	
				3.0 V	245	430	1500	4100	11500	615	1050	3750	10500	28500	
				3.3 V	280	475	1600	4500	12000	695	1200	4050	11000	30500	
				3.6 V	315	540	1750	4800	13000	785	1350	4400	12000	33000	
		在低速驱动模式下 RTC 由 LSE 晶体振荡器提供时钟	EN_ULP = 0 LPCAL = 0	1.8 V	245	565	1400	3400	9550	620	1400	3450	8550	24000	
				2.4 V	510	680	1600	3900	11000	1250	1700	4050	9750	28000	
				3.0 V	625	820	1900	4550	12500	1550	2050	4750	11500	31500	
				3.3 V	690	905	2050	4900	13500	1750	2250	5150	12000	33500	
				3.6 V	770	1000	2250	5200	14000	1900	2500	5600	13000	35500	
			EN_ULP = 0 LPCAL = 1	1.8 V	230	400	1200	3250	9050	580	1000	3050	8100	22500	
				2.4 V	280	450	1400	3700	10500	705	1100	3450	9200	26000	
				3.0 V	320	510	1600	4200	11500	800	1300	3950	10500	29000	
				3.3 V	345	555	1650	4550	12500	865	1400	4200	11500	31000	
				3.6 V	380	615	1850	4800	13000	955	1550	4600	12000	33000	
			EN_ULP = 1 LPCAL = 1	1.8 V	160	360	1400	3900	11000	400	900	3500	9800	27500	
				2.4 V	215	440	1750	4550	13000	540	1100	4400	11500	32500	
				3.0 V	260	550	2250	5300	14500	650	1350	5600	13000	37000	
				3.3 V	285	620	2500	5700	15500	720	1550	6250	14000	39000	
				3.6 V	330	700	2800	6050	16500	825	1750	7000	15000	41500	
I _{DD} (SRAM2)	SRAM2 保持时在待机模式下要增加的供电电流	-		1.8 V	89.0	190	605	1400	3200	225	470	1500	3550	8050	
				2.4 V	90.0	190	605	1400	3250	225	470	1500	3550	8050	





符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (SRAM2)	SRAM2 保持时在待机模式下要增加的供电电流		-	3.0 V	90.0	190	610	1450	3250	225	475	1500	3550	8100	nA
				3.3 V	90.0	190	620	1450	3300	225	475	1550	3500	8250	
				3.6 V	90.5	190	640	1500	3400	225	480	1600	3550	8500	

表 42. 关断模式下的电流消耗

符号	参数	条件			典型值					最大值					单位
		-	-	V _{DD}	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (Shutdown)	关断模式下的供电电流（备份寄存器保持），RTC 已禁止	-	EN_ULP = 0	1.8 V	10.0	92.5	595	1950	5950	42	280	2000	7050	25500	nA
				2.4 V	41.5	135	725	2250	7100	105	400	2400	8200	28500	
				3.0 V	52.5	165	840	2600	7900	145	495	2850	9500	32000	
				3.3 V	53.5	175	910	2800	8450	160	540	3100	10000	34000	
				3.6 V	65.0	205	1000	3050	9100	190	620	3350	11000	36500	
I _{DD} (Shutdown with RTC)	关断模式下的供电电流（备份寄存器保持），RTC 已使能	RTC 由 LSE 提供时钟，32768 Hz 时旁路	-	1.8 V	67.0	150	660	2050	6150	195	370	1650	5100	15500	
				2.4 V	120	220	820	2400	7350	305	550	2050	5950	18500	
				3.0 V	165	285	980	2750	8200	420	710	2450	6950	20500	
				3.3 V	195	320	1050	3000	8850	485	800	2700	7500	22000	
				3.6 V	225	370	1200	3200	9550	565	930	3000	8050	24000	
	关断模式下的供电电流（备份寄存器保持），RTC 已使能	RTC 由 LSE 晶体振荡器提供时钟	EN_ULP = 0 LPCAL = 0	1.8 V	160	425	955	2300	12000	400	1050	2400	5800	30000	
				2.4 V	425	535	1150	2700	13000	1050	1350	2850	6750	32500	
				3.0 V	535	665	1350	3150	14000	1350	1650	3400	7850	35000	
				3.3 V	600	740	1500	3400	15500	1500	1850	3750	8550	38500	
				3.6 V	675	835	1650	3650	17000	1700	2100	4100	9200	42500	
			EN_ULP = 0 LPCAL = 1	1.8 V	145	260	785	2150	12000	360	655	1950	5400	30000	
				2.4 V	200	310	915	2450	13500	500	770	2300	6150	33500	
				3.0 V	235	360	1050	2850	14500	585	900	2650	7100	36000	
				3.3 V	255	395	1150	3050	16000	640	985	2850	7650	40000	
				3.6 V	290	445	1250	3250	17000	720	1100	3150	8200	42500	

表 43. VBAT 模式下的电流消耗

符号	参数	条件			典型值					最大值					单位
		-	-	VBAT	25 °C	55 °C	85 °C	105 °C	125 °C	30 °C	55 °C	85 °C	105 °C	130 °C	
I _{DD} (VBAT)	VBAT 模式下的供电电流	RTC 已禁止	-	1.8 V	9.00	22.5	190	700	2600	25.5	56.5	470	1750	6550	nA
				2.4 V	10.5	36.5	230	815	2950	27.5	91.5	570	2050	7450	
				3.0 V	13	44	270	945	3350	33.5	110	675	2350	8450	
				3.3 V	13	47.5	295	100	3600	33.5	120	735	2550	9000	
				3.6 V	15.5	56	330	110	3850	40.5	140	820	2800	9650	
		RTC 由 LSE 提供时钟，32768 Hz 时旁路	-	1.8 V	53	73.5	200	535	1550	13.5	185	505	1350	3900	
				2.4 V	86	110	260	645	1800	21.5	275	655	1600	4550	
				3.0 V	120	150	330	775	2100	305	380	820	1950	5300	
				3.3 V	140	175	370	860	2300	355	440	930	2150	5750	
				3.6 V	165	205	430	960	2500	415	520	1050	2400	6300	
		在低速驱动模式下 RTC 由 LSE 晶体振荡器提供时钟	LPCAL = 0	1.8 V	130	190	380	905	2900	320	475	950	2250	7200	
				2.4 V	165	215	435	100	3250	415	545	1100	2550	8100	
				3.0 V	205	250	500	115	3650	510	625	1250	2950	9150	
				3.3 V	220	270	540	125	3900	550	675	1350	3150	9750	
				3.6 V	240	300	595	1350	4200	605	745	1500	3450	10500	
			LPCAL = 1	1.8 V	130	355	545	905	2900	320	885	1350	2250	7200	
				2.4 V	300	445	665	100	3250	750	1100	1650	2550	8100	
				3.0 V	505	555	810	115	3650	1250	1400	2050	2950	9150	
				3.3 V	565	620	895	125	3900	1400	1550	2250	3150	9800	
				3.6 V	630	690	995	1350	4200	1550	1750	2500	3450	10500	



6.3.5.1 I/O 系统电流消耗

I/O 系统的电流消耗有两部分：静态和动态。

I/O 静态电流消耗

如果引脚在外部保持在相反电平，则所有用作输入且带有拉电阻的 I/O 均会产生电流消耗。此电流消耗的值可通过使用表 64. I/O 静态特性中给出的上拉/下拉电阻值简单算出。

估算输出引脚的电流消耗时，必须将所有内部或外部上拉或下拉电阻以及外部负载也考虑在内。

若外部施加了中间电平，则额外的 I/O 电流消耗是因为配置为输入的 I/O。此电流消耗是由用于区分输入值的输入施密特触发器电路导致。除非应用需要此特定配置，否则可通过将这些 I/O 配置为模拟模式以避免此供电电流消耗。ADC 输入引脚应配置为模拟输入就尤其是这种情况。

注意：任何浮空的输入引脚都可能由于外部电磁噪声，成为中间电平或意外切换。为防止浮空引脚相关的电流消耗，它们必须配置为模拟模式，或内部强制为确定的数字值。这可通过使用上拉/下拉电阻或将引脚配置为输出模式来实现。

I/O 动态电流消耗

除了此前测得的内部外设的电流消耗（请参见表 44. 外设电流消耗），应用所使用的 I/O 也对电流消耗有贡献。当 I/O 引脚切换时，它使用 I/O 供电电压的电流为 I/O 引脚电路供电，并对连至该引脚的内部或外部电容负载充电/放电：

$$I_{SW} = V_{DDIOx} \times f_{SW} \times C$$

其中

I_{SW} 为切换 I/O 对电容负载充电/放电的灌电流

V_{DDIOx} 是 I/O 供电电压

f_{SW} 为 I/O 切换频率

C 为 I/O 引脚视为的总电容： $C = C_{INT} + C_{EXT} + C_S$

C_S 为 PCB 板电容，包括板引脚。

测试引脚配置为推挽输出模式，由软件以固定频率切换。

6.3.5.2 片上外设电流消耗

表 44. 外设电流消耗中列出了片上外设的电流消耗。MCU 处于下述条件下：

- 所有 I/O 引脚均为模拟模式
- 给出的值通过测量电流消耗差计算得出：
 - 当外设时钟启动时
 - 当外设时钟关闭时
- 表 19. 电压特性中汇总了环境工作温度和供电电压条件
- 表 44. 外设电流消耗中给出了片上外设数字部分的功耗。外设模拟部分的功耗（如果适用）在数据手册各相关章节种均已标明。

表 44. 外设电流消耗

外设		范围 1	范围 2	单位
AHB	总线矩阵 ⁽¹⁾	0.40	0.40	μA/MHz
	ADC	1.90	0.40	
	CRC	0.50	0.42	
	DMA1	5.44	4.52	
	DMA2	5.28	4.39	
	DMA1+DMA2	6.76	5.63	
	GPIOA ⁽²⁾	0.08	0.07	
	GPIOB ⁽²⁾	0.08	0.07	
	GPIOC ⁽²⁾	0.07	0.06	
	GPIOD ⁽²⁾	0.06	0.04	
	GPIOE ⁽²⁾	0.05	0.04	
	GPIOF ⁽²⁾	0.05	0.04	
	AES	0.05	0.01	
	RNG	1.21	NA	
	TSC	2.72	2.26	
	所有 AHB 桥	18.1	15.1	
APB	AHB 到 APB 桥 ⁽³⁾	0.27	0.21	
	RTCA	4.12	3.41	
	I2C1 ⁽⁴⁾	0.80	0.65	
	I2C1 ⁽⁵⁾	2.63	0.73	
	I2C2	0.94	0.77	
	I2C3 ⁽⁴⁾	0.66	0.54	
	I2C3 ⁽⁵⁾	2.20	0.61	
	I2C4	0.89	0.73	
	USART1 ⁽⁴⁾	8.64	7.19	
	USART1 ⁽⁵⁾	2.46	2.06	
	USART2 ⁽⁴⁾	2.23	1.85	
	USART2 ⁽⁵⁾	2.30	1.92	
	USART3 ⁽⁴⁾	2.32	1.93	
	USART3 ⁽⁵⁾	2.32	1.93	
	USART4	2.30	1.90	
	LPUART1 ⁽⁴⁾	1.47	1.22	
	LPUART1 ⁽⁵⁾	1.55	1.30	
	LPUART2 ⁽⁴⁾	5.01	4.18	
	LPUART2 ⁽⁵⁾	2.06	1.72	
	LPUART3 ⁽⁴⁾	1.92	1.58	
	LPUART3 ⁽⁵⁾	1.99	1.65	
	LPTIM1 ⁽⁴⁾	2.06	1.71	
	LPTIM1 ⁽⁵⁾	2.13	1.78	

外设		范围 1	范围 2	单位
APB	LPTIM2 ⁽⁴⁾	1.37	1.13	$\mu\text{A}/\text{MHz}$
	LPTIM2 ⁽⁵⁾	1.44	1.21	
	LPTIM3 ⁽⁴⁾	2.02	1.67	
	LPTIM3 ⁽⁵⁾	2.10	1.75	
	运算放大器	0.27	0.21	
	DAC	1.02	0.83	
	PWR	0.66	0.54	
	SPI1	1.75	1.45	
	SPI2	1.74	1.44	
	SPI3	1.71	1.41	
	TIM1	0.64	0.54	
	TIM2	5.36	4.45	
	TIM3	4.23	3.52	
	TIM6	0.86	0.71	
	TIM7	0.86	0.70	
	TIM15	0.49	0.41	
	TIM16	2.46	2.05	
	WWDG	0.38	0.29	
	SYSCFG	0.32	0.27	
	USB	3.67	NA	
	LCD	0.55	0.45	
	所有 APB 桥	46.0	38.5	

1. 当至少有一个主设备状态为 ON 时（CPU、DMA），总线矩阵自动激活。
2. 当 GPIO 端口因 GPIOx_LCKR 寄存器中的 LCKK 和 LCKy 位而锁定时，GPIOx (x= A...F) 动态电流消耗大约为表中相应值的一半。为了节省所有 GPIOx 的电流消耗，当所有的端口 I/O 都被用于复用功能或模拟模式时，应在 RCC 中禁止 GPIOx 时钟（仅在读写 GPIO 寄存器时需要时钟，在 AF 或模拟模式中不使用）。
3. 当 APB1 上至少有一个外设处于 ON 状态时，AHB 到 APB1 桥自动激活。
4. 独立时钟域。
5. 时钟域。

6.3.6 从低功耗模式唤醒的时间和电压调节转换时间

表 45 中给出的唤醒时间为从唤醒事件发生到第一条用户指令执行之间的延时。

执行 WFE（等待事件）指令后，器件进入低功耗模式。

表 45. 低功耗模式唤醒时间

按特性评估，未经生产测试。

符号	参数	条件		典型值	最大值	单位
$t_{WUSLEEP}$	从睡眠模式到运行模式的唤醒时间	-		6	6	CPU 周期数
$t_{WULPSLEEP}$	从低功耗睡眠模式到低功耗运行模式的唤醒时间	Flash 存储器中，在低功耗睡眠模式下 Flash 存储器处于掉电状态（FLASH_ACR 中的 SLEEP_PD = 1），并且时钟 MSI = 2 MHz 时唤醒		6	8.3	
$t_{WUSTOP0}$	Flash 存储器中从 Stop 0 模式到运行模式的唤醒时间	范围 1 或范围 2	唤醒时钟 MSI = 24 MHz	6.3	6.7	μs
			唤醒时钟 HSI16 = 16 MHz	6.5	6.7	
			唤醒时钟 MSI = 1 MHz	33.0	36.0	

符号	参数	条件	典型值	最大值	单位
$t_{WUSTOP0}$	SRAM1 中, 从 Stop 0 模式到运行模式的唤醒时间	范围 1 或范围 2	唤醒时钟 MSI = 24 MHz	1.92	μs
			唤醒时钟 HSI16 = 16 MHz	1.90	
			唤醒时钟 MSI = 1 MHz	19.0	
$t_{WUSTOP1}$	Flash 存储器中从 Stop 1 模式到运行模式的唤醒时间	范围 1 或范围 2	唤醒时钟 MSI = 24 MHz	11.5	μs
			唤醒时钟 HSI16 = 16 MHz	11.0	
			唤醒时钟 MSI = 1 MHz	35.0	
	SRAM1 中, 从 Stop 1 模式到运行模式的唤醒时间	范围 1 或范围 2	唤醒时钟 MSI = 24 MHz	7.2	
			唤醒时钟 HSI16 = 16 MHz	6.9	
			唤醒时钟 MSI = 1 MHz	21.9	
$t_{WUSTOP2}$	Flash 存储器中从 Stop 2 模式到运行模式的唤醒时间	范围 1 或范围 2	唤醒时钟 MSI = 24 MHz	12.0	μs
			唤醒时钟 HSI16 = 16 MHz	13.4	
			唤醒时钟 MSI = 1 MHz	40.0	
	SRAM1 中从 Stop 2 模式到运行模式的唤醒时间	范围 1 或范围 2	唤醒时钟 MSI = 24 MHz	7.67	
			唤醒时钟 HSI16 = 16 MHz	11.0	
			唤醒时钟 MSI = 1 MHz	26.0	
t_{WUSTBY}	从待机模式到运行模式的唤醒时间	范围 1	唤醒时钟 MSI = 4 MHz	62.0	μs
			唤醒时钟 MSI = 1 MHz	63.0	
t_{WUSHDN}	从关断模式到运行模式的唤醒时间	范围 1	唤醒时钟 MSI = 4 MHz	292	μs

表 46. 稳压器模式转换时间

按特性评估, 未经生产测试。

符号	参数	条件	典型值	最大值	单位
$t_{WULPRUN}$	从低功耗运行模式到运行模式的唤醒时间 ⁽¹⁾	以 MSI 2 MHz 运行代码	5	7	μs
t_{VOST}	稳压器从范围 2 到范围 1 或从范围 1 到范围 2 的转换时间 ⁽²⁾	以 MSI 16 MHz 运行代码	20	40	

1. 到 PWR_SR2 中的 REGLPF 标志清零所经历的时间。
2. 到 PWR_SR2 中的 VOSF 标志清零所经历的时间。

表 47. 使用 USART/LPUART 的唤醒时间

按特性评估, 未经生产测试。

符号	参数	条件	典型值	最大值	单位
$t_{WUUSART}$ $t_{WULPUART}$	USART/LPUART 时钟源为 HSI 时, 计算允许从 STOP 模式唤醒的最大 USART/LPUART 波特率所需要的唤醒时间	Stop 0 模式	-	1.7	μs
		Stop 1 模式和 Stop 2 模式	-	8.5	

6.3.7 外部时钟源特性

外部源产生的高速外部用户时钟

在旁路模式，HSE 振荡器关闭，输入引脚为标准 GPIO。

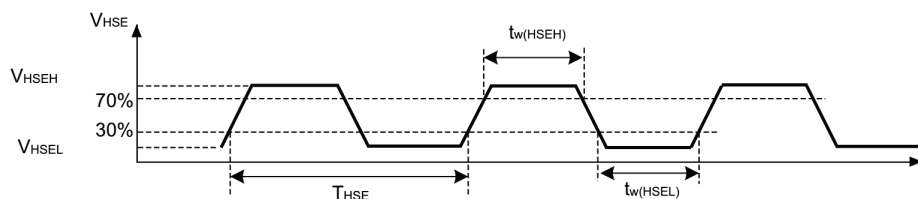
外部时钟信号必须考虑第 6.3.14 节: I/O 端口特性中的 I/O 特性。然而，建议的时钟输入波形显示于图 16. 高速外部时钟源的 AC 时序图中。

表 48. 高速外部用户时钟特性

由设计指定，未经生产测试。

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟源频率	电压调节范围 1	-	8	48	MHz
		电压调节范围 2	-	8	19	
V_{HSEH}	OSC_IN 输入引脚高电平电压	-	$0.7 V_{DDIOx}$	-	V_{DDIOx}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压	-	V_{SS}	-	$0.3 V_{DDIOx}$	
$t_{w(HSEH)}$ $t_{w(HSEL)}$	OSC_IN 高电平或低电平时间	电压调节范围 1	7	-	-	ns
		电压调节范围 2	18	-	-	

图 16. 高速外部时钟源的 AC 时序图



DT67850V3

外部源产生的低速外部用户时钟

在旁路模式，LSE 振荡器关闭，输入引脚为标准 GPIO。

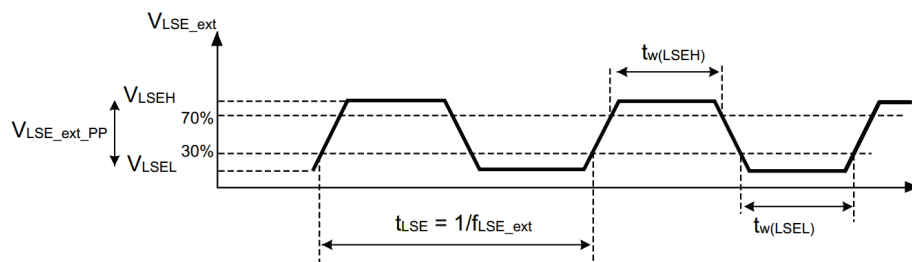
外部时钟信号必须考虑第 6.3.14 节: I/O 端口特性中的 I/O 特性。然而，建议的时钟输入波形显示于图 17. 低速外部时钟源的 AC 时序图中。

表 49. 低速外部用户时钟特性

由设计指定，未经生产测试。

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟源频率	-	-	32.768	1000	kHz
V_{LSEH}	OSC32_IN 输入引脚高电平电压	-	$0.7 V_{DDIOx}$	-	V_{DDIOx}	V
V_{LSEL}	OSC32_IN 输入引脚低电平电压	-	V_{SS}	-	$0.3 V_{DDIOx}$	
$t_{w(LSEH)}$ $t_{w(LSEL)}$	OSC32_IN 高电平或低电平时间	-	250	-	--	ns

图 17. 低速外部时钟源的 AC 时序图



DT67851V3

晶振/陶瓷谐振器产生的高速外部时钟

高速外部 (HSE) 时钟可以使用一个 4 MHz 到 48 MHz 的晶振/陶瓷谐振振荡器产生。本节介绍的信息通过设计仿真结果确定，这些结果是使用表 50. HSE 振荡器特性中列出的典型外部元器件获得的。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 50. HSE 振荡器特性

由设计指定，未经生产测试。

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	-	48	MHz
R_F	反馈电阻	-	-	200	-	k Ω
$I_{DD(HSE)}$	HSE 电流消耗	启动期间 ⁽²⁾	-	-	5.5	mA
		$V_{DD} = 3\text{ V}$, $R_m = 30\ \Omega$, $C_L = 10\text{ pF @ } 8\text{ MHz}$	-	0.58	-	
		$V_{DD} = 3\text{ V}$, $R_m = 45\ \Omega$, $C_L = 10\text{ pF @ } 8\text{ MHz}$	-	0.59	-	
		$V_{DD} = 3\text{ V}$, $R_m = 30\ \Omega$, $C_L = 5\text{ pF @ } 48\text{ MHz}$	-	0.89	-	
		$V_{DD} = 3\text{ V}$, $R_m = 30\ \Omega$, $C_L = 10\text{ pF @ } 48\text{ MHz}$	-	1.14	-	
		$V_{DD} = 3\text{ V}$, $R_m = 30\ \Omega$, $C_L = 20\text{ pF @ } 48\text{ MHz}$	-	1.94	-	
G_m	最大晶振跨导	启动	-	-	1.5	mA/V
$t_{SU(HSE)}^{(3)}$	启动时间	V_{DD} 稳定	-	2	-	ms

1. 谐振器的特性参数由晶振/陶瓷谐振器的制造商给出。

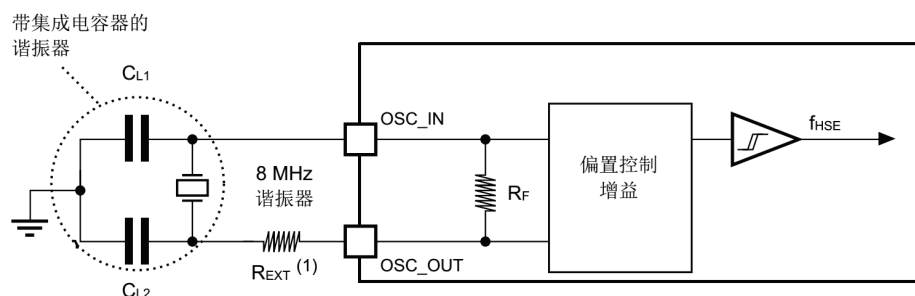
2. 在 $t_{SU(HSE)}$ 启动时间的前 2/3 期间发生此电流消耗

3. $t_{SU(HSE)}$ 是起振时间，即从软件使能 HSE 开始测量，直至得到稳定的 8 MHz 振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同

对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5 pF 到 20 pF（典型值）之间的高质量外部陶瓷电容（请参见图 18. 采用 8 MHz 晶振的典型应用）。 C_{L1} 和 C_{L2} 的大小通常相同。晶振制造商指定的负载电容通常是 C_{L1} 和 C_{L2} 的串联组合。确定 C_{L1} 和 C_{L2} 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10 pF）。

注：如需选择晶振的相关信息，请参见应用笔记 AN2867 “ST 微控制器的振荡器设计指南”，可从 ST 网站 www.st.com 下载该文档。

图 18. 采用 8 MHz 晶振的典型应用



1. R_{EXT} 的值取决于晶振特性。

晶振产生的低速外部时钟

低速外部 (LSE) 时钟可以使用一个由 32.768 kHz 的晶振构成的振荡器产生。本节介绍的信息通过设计仿真结果确定，这些结果是使用表 51. LSE 振荡器特性 ($f_{LSE} = 32.768 \text{ kHz}$) 中列出的典型外部元器件获得的。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 51. LSE 振荡器特性 ($f_{LSE} = 32.768 \text{ kHz}$)

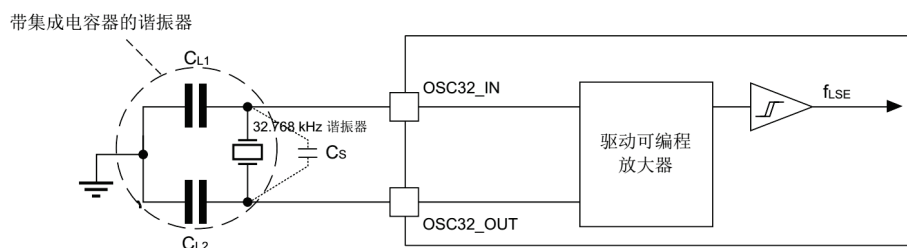
由设计指定，未经生产测试。

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
$I_{DD(LSE)}$	LSE 电流消耗	LSEDRV[1:0] = 00, 低驱动能力	-	250	-	nA
		LSEDRV[1:0] = 01, 中低驱动能力	-	315	-	
		LSEDRV[1:0] = 10, 中高驱动能力	-	500	-	
		LSEDRV[1:0] = 11, 高驱动能力	-	630	-	
$Gm_{critmax}$	最大关键晶振 gm	LSEDRV[1:0] = 00, 低驱动能力	-	-	0.5	$\mu A/V$
		LSEDRV[1:0] = 01, 中低驱动能力	-	-	0.75	
		LSEDRV[1:0] = 10, 中高驱动能力	-	-	1.7	
		LSEDRV[1:0] = 11, 高驱动能力	-	-	2.7	
$t_{SU(LSE)}^{(2)}$	启动时间	V_{DD} 稳定	-	2	-	s

1. 请参见表格下面的注释和警告段落以及应用笔记 AN2867 “ST 微控制器的振荡器设计指南”。
2. $t_{SU(LSE)}$ 是起振时间，即从软件使能 LSE 开始测量，直至得到稳定的 32.768 kHz 振荡频率这段时间。该值基于标准晶振测得，可能随晶振制造商的不同而显著不同

注： 若需选择晶振的相关信息，请参见应用笔记 AN2867 “ST 微控制器的振荡器设计指南”，可从ST网站 www.st.com 下载该文档。

图 19. 采用 32.768 kHz 晶振的典型应用



注意：CL1 和 CL2 为外部负载电容。Cs（杂散电容）是器件 OSC32_IN/OSC32_OUT 引脚等效寄生电容 (C_{S_PARA}) 与 PCB 寄生电容之和。

注： OSC32_IN 和 OSC32_OUT 间不需要外部电阻，也禁止添加。

DT70418V1

6.3.8 内部时钟源特性

表 52. HSI16 振荡器特性中给出的参数是在第 6.3.1 节: 通用工作条件中汇总的环境温度电源电压条件下测试得出的。所提供的曲线根据特性进行评估, 未经生产测试。

高速内部 (HSI16) RC 振荡器

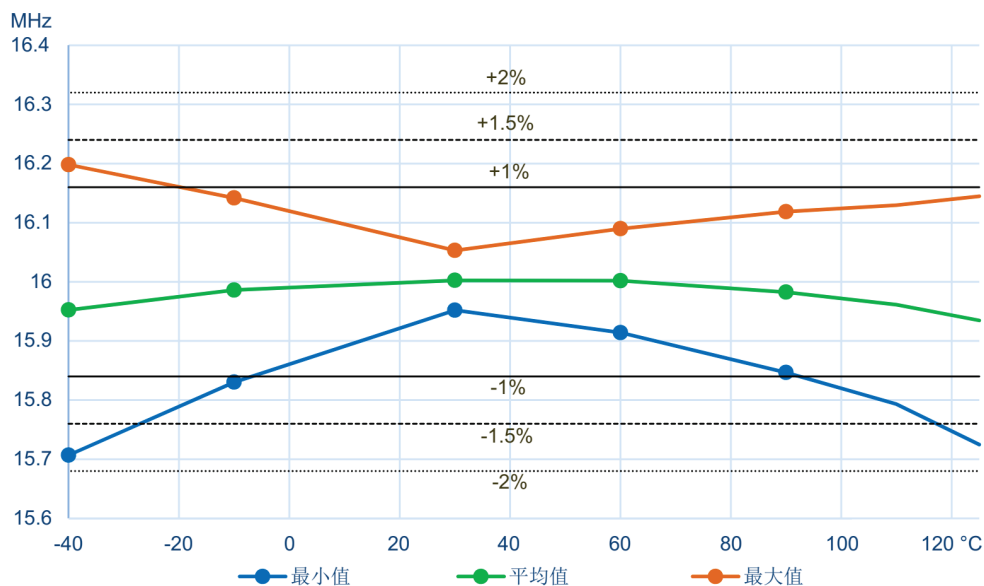
表 52. HSI16 振荡器特性

按特性评估, 未经生产测试。

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI16}	HSI16 频率	$V_{\text{DD}}=3.0\text{ V}$, $T_{\text{A}}=30\text{ }^{\circ}\text{C}$	15.88	-	16.08	MHz
TRIM	HSI16 用户微调步长	代码 127 到 128	-8	-6	-4	%
		代码 63 到 64	-5.8	-3.8	-1.8	
		代码 191 到 192	-5.8	-3.8	-1.8	
		所有其他代码增量	0.2	0.3	0.4	
$\text{DuCy}(\text{HSI16})^{(1)}$	占空比	-	45	-	55	%
$\Delta T_{\text{emp}}(\text{HSI16})$	HSI16 振荡器频率随温度变化而发生的漂移	$T_{\text{A}}=0\text{ }^{\circ}\text{C}$ 到 $85\text{ }^{\circ}\text{C}$	-1	-	1	%
		$T_{\text{A}}=-40\text{ }^{\circ}\text{C}$ 到 $125\text{ }^{\circ}\text{C}$	-2	-	1.5	%
$\Delta V_{\text{DD}}(\text{HSI16})$	HSI16 振荡器频率随 V_{DD} 变化而发生的漂移	$V_{\text{DD}}=1.62\text{ V}$ 到 3.6 V	-0.1	-	0.05	%
$t_{\text{su}}(\text{HSI16})^{(1)}$	HSI16 振荡器起振时间	-	-	0.8	1.2	μs
$t_{\text{stab}}(\text{HSI16})^{(1)}$	HSI16 振荡器稳定时间	-	-	3	5	μs
$I_{\text{DD}}(\text{HSI16})^{(1)}$	HSI16 振荡器功耗	-	-	155	190	μA

1. 由设计指定, 未经生产测试。

图 20. HSI16 频率与温度的关系



DT39299V1

多速内部 (MSI) RC 振荡器

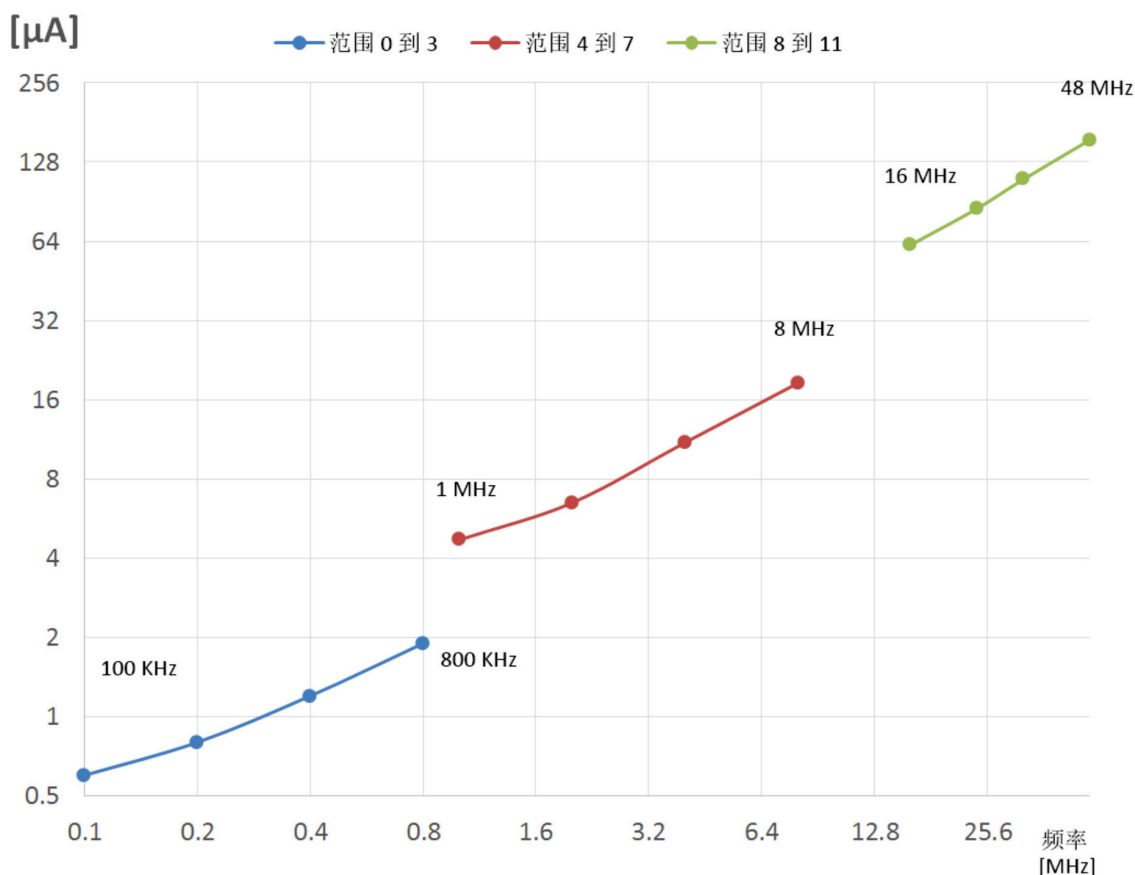
表 53. MSI 振荡器特性

按特性评估, 未经生产测试。

符号	参数	条件		最小值	典型值	最大值	单位	
f_{MSI}	出厂校准后的 MSI 频率 (在 $V_{\text{DD}} = 3 \text{ V}$, $T_{\text{A}} = 30 \text{ }^{\circ}\text{C}$)	MSI 模式	范围 0	98.7	100	101.3	kHz	
			范围 1	197.4	200	202.6		
			范围 2	394.8	400	405.2		
			范围 3	789.6	800	810.4		
			范围 4	0.987	1	1.013	MHz	
			范围 5	1.974	2	2.026		
			范围 6	3.948	4	4.052		
			范围 7	7.896	8	8.104		
			范围 8	15.79	16	16.21		
			范围 9	23.69	24	24.31		
			范围 10	31.58	32	32.42		
			范围 11	47.38	48	48.62		
		PLL 模式 XTAL = 32.768 kHz	范围 0	-	98.304	-	kHz	
			范围 1	-	196.608	-		
			范围 2	-	393.216	-		
			范围 3	-	786.432	-	MHz	
			范围 4	-	1.016	-		
			范围 5	-	1.999	-		
f_{MSI}	出厂校准后的 MSI 频率 (在 $V_{\text{DD}} = 3 \text{ V}$, $T_{\text{A}} = 30 \text{ }^{\circ}\text{C}$)	PLL 模式 XTAL = 32.768 kHz	范围 6	-	3.998	-	MHz	
			范围 7	-	7.995	-		
			范围 8	-	15.991	-		
			范围 9	-	23.986	-		
			范围 10	-	32.014	-		
			范围 11	-	48.005	-		
$\Delta_{\text{TEMP}}(\text{MSI})^{(1)}$	MSI 振荡器频率随温度变化而发生的漂移	MSI 模式	$T_{\text{A}} = 0 \text{ }^{\circ}\text{C}$ 到 $85 \text{ }^{\circ}\text{C}$		-3.5	-	3	%
			$T_{\text{A}} = -40 \text{ }^{\circ}\text{C}$ 到 $125 \text{ }^{\circ}\text{C}$		-8	-	6	
$\Delta_{\text{VDD}}(\text{MSI})^{(1)}$	MSI 振荡器频率随 V_{DD} 变化而发生的漂移（参考电压为 3 V ）	MSI 模式	范围 0 到 3	$V_{\text{DD}} = 1.62 \text{ V}$ 到 3.6 V	-1.2	-	0.5	%
				$V_{\text{DD}} = 2.4 \text{ V}$ 到 3.6 V	-0.5	-		
			范围 4 到 7	$V_{\text{DD}} = 1.62 \text{ V}$ 到 3.6 V	-2.5	-	0.7	
				$V_{\text{DD}} = 2.4 \text{ V}$ 到 3.6 V	-0.8	-		
			范围 8 到 11	$V_{\text{DD}} = 1.62 \text{ V}$ 到 3.6 V	-5	-	1.2	
				$V_{\text{DD}} = 2.4 \text{ V}$ 到 3.6 V	-1.6	-		
$\Delta F_{\text{SAMPLING}}(\text{MSI})^{(1)(5)}$	采样模式下的频率变化 ⁽²⁾	MSI 模式	$T_{\text{A}} = -40 \text{ }^{\circ}\text{C}$ 到 $85 \text{ }^{\circ}\text{C}$		-	1	2	%
			$T_{\text{A}} = -40 \text{ }^{\circ}\text{C}$ 到 $125 \text{ }^{\circ}\text{C}$		-	2	4	

符号	参数	条件			最小值	典型值	最大值	单位
P_USB Jitter(MSI) ⁽⁵⁾	USB 时钟的周期抖动 ⁽³⁾	PLL 模式范围 11	单步跳变	-	-	-	3.458	ns
			配对跳变	-	-	-	3.916	
MT_USB Jitter(MSI) ⁽⁵⁾	USB 时钟的中期抖动 ⁽⁴⁾	PLL 模式范围 11	单步跳变	-	-	-	2	ns
			配对跳变	-	-	-	1	
CC jitter(MSI) ⁽⁵⁾	RMS 周期抖动	PLL 模式范围 11		-	-	60	-	ps
P jitter(MSI) ⁽⁵⁾	RMS 周期抖动	PLL 模式范围 11		-	-	50	-	ps
t _{su} (MSI) ⁽⁵⁾	MSI 振荡器起振时间	范围 0		-	-	10	20	μs
		范围 1		-	-	5	10	
		范围 2		-	-	4	8	
		范围 3		-	-	3	7	
		范围 4 到 7		-	-	3	6	
		范围 8 到 11		-	-	2.5	6	
t _{stab} (MSI) ⁽⁵⁾	MSI 振荡器稳定时间	PLL 模式范围 11	最终频率的 10 %	-	-	0.25	0.5	ms
			最终频率的 5 %	-	-	0.5	1.25	
			最终频率的 1 %	-	-	-	2.5	
I _{DD} (MSI) ⁽⁵⁾	MSI 振荡器功耗	MSI 和 PLL 模式	范围 0	-	-	0.6	1	μA
			范围 1	-	-	0.8	1.2	
			范围 2	-	-	1.2	1.7	
			范围 3	-	-	1.9	2.5	
I _{DD} (MSI) ⁽⁵⁾	MSI 振荡器功耗	MSI 和 PLL 模式	范围 4	-	-	4.7	6	μA
			范围 5	-	-	6.5	9	
			范围 6	-	-	11	15	
			范围 7	-	-	18.5	25	
			范围 8	-	-	62	80	
			范围 9	-	-	85	110	
			范围 10	-	-	110	130	
			范围 11	-	-	155	190	

1. 测量初始频率后单个部件的偏差。
2. 采样模式是指禁止了温度传感器的低功耗运行/低功耗睡眠模式。
3. MSI @48 MHz 的平均周期与实际的 48 MHz 时钟在 28 个周期内进行比较。包括频率容差 + 48 MHz 时 MSI 时钟的抖动。
4. 只提取了 28 个周期中 48 MHz MSI 时钟的累积抖动。
 单步跳变: 48 MHz MSI 的 28 个周期内两个连续帧的最小和最大抖动 (28 个周期 1000 次捕获)。
 配对跳变: 48 MHz MSI 的 56 个周期内两个连续帧的最小和最大抖动 (56 个周期 1000 次捕获)。
5. 由设计指定, 未经生产测试。

图 21. 典型电流消耗与 MSI 频率的关系


高速内部 48 MHz (HSI48) RC 振荡器

表 54. HSI48 振荡器特性

 除非特别说明，否则 $V_{DD} = 3.0\text{ V}$ ， $T_A = -40\text{ °C}$ 到 125 °C 。

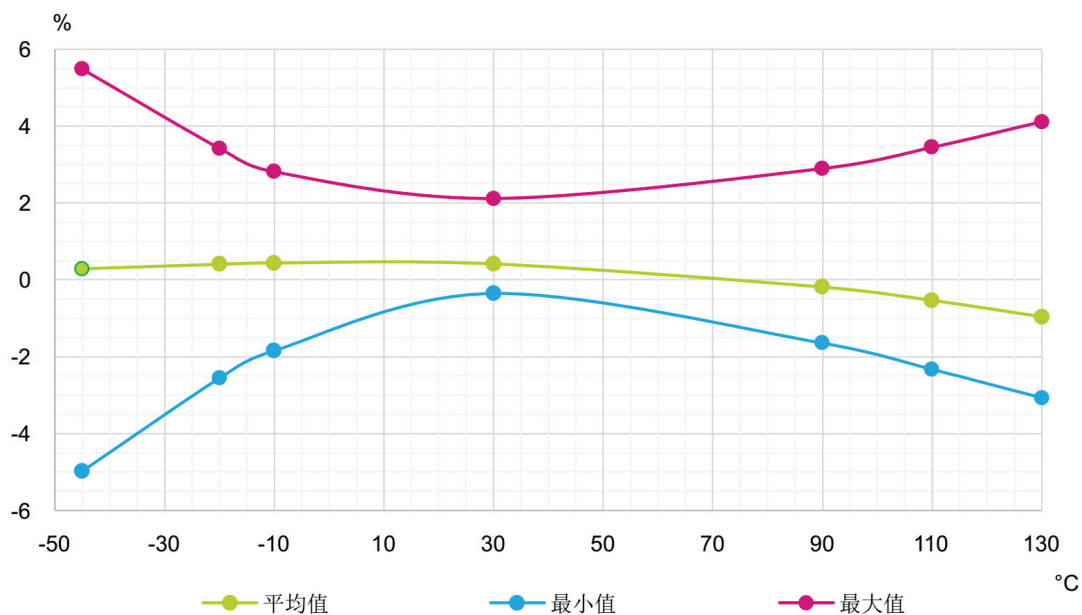
符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI48}	HSI48 频率	$V_{DD} = 3.0\text{ V}$ ， $T_A = 30\text{ °C}$	-	48	-	MHz
TRIM	HSI48 用户微调步长	-	-	0.11 ⁽¹⁾	0.18 ⁽¹⁾	%
USER TRIM COVERAGE	HSI48 用户微调范围	±64 步	±6 ⁽²⁾	±7 ⁽²⁾	-	%
DuCy(HSI48)	占空比	-	45 ⁽¹⁾	-	55 ⁽¹⁾	%
$\text{ACC}_{\text{HSI48_REL}}$	HSI48 振荡器精度（随温度而变化，出厂已校准）	$V_{DD} = 3.0\text{ V}$ 到 3.6 V ， $T_A = -15\text{ °C}$ 到 85 °C	-	-	±3 ⁽²⁾	%
		$V_{DD} = 1.65\text{ V}$ 到 3.6 V ， $T_A = -40\text{ °C}$ 到 125 °C	-	-	±4.5 ⁽²⁾	
$D_{VDD}(\text{HSI48})$	HSI48 振荡器频率随 V_{DD} 变化而产生的漂移	$V_{DD} = 3\text{ V}$ 到 3.6 V	-	0.025 ⁽²⁾	0.05 ⁽²⁾	%
		$V_{DD} = 1.65\text{ V}$ 到 3.6 V	-	0.05 ⁽²⁾	0.1 ⁽²⁾	
$t_{\text{su}}(\text{HSI48})$	HSI48 振荡器起振时间	-	-	2.5 ⁽¹⁾	6 ⁽¹⁾	μs
$I_{DD}(\text{HSI48})$	HSI48 振荡器功耗	-	-	340 ⁽¹⁾	380 ⁽¹⁾	μA
$N_T \text{ jitter}$	单步跳变抖动 28 个周期的累积抖动 ⁽³⁾	-	-	+/-0.15 ⁽¹⁾	-	ns
$P_T \text{ jitter}$	配对跳变抖动 56 个周期的累积抖动 ⁽³⁾	-	-	+/-0.25 ⁽¹⁾	-	ns

1. 由设计指定，未经生产测试。

2. 按特性评估，未经生产测试。

3. 在未激活时钟源的情况下并行执行抖动测量。

图 22. HSI48 频率与温度的关系



DT40989V1

低速内部 (LSI) RC 振荡器

表 55. LSI 振荡器特性

按特性评估，未经生产测试。

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	LSI 频率	$V_{DD} = 3.0\text{ V}$, $T_A = 30\text{ }^{\circ}\text{C}$	31.04	-	32.96	kHz
		$V_{DD} = 1.62\text{ V}$ 到 3.6 V , $T_A = -40\text{ }^{\circ}\text{C}$ 到 $125\text{ }^{\circ}\text{C}$	29.5	-	34	
$t_{SU}(LSI)^{(1)}$	LSI 振荡器起振时间	-	-	80	130	μs
$t_{STAB}(LSI)^{(1)}$	LSI 振荡器稳定时间	最终频率的 5%	-	125	180	μs
$I_{DD}(LSI)^{(1)}$	LSI 振荡器功耗	-	-	110	180	nA

1. 由设计指定，未经生产测试。

6.3.9 PLL 特性

表 56. PLL 特性中给出的参数是第 6.3.1 节: 通用工作条件中汇总的环境温度和 V_{DD} 电源电压条件下测试得出的。

表 56. PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 输入时钟频率 ⁽¹⁾	-	2.66	-	16	MHz
D_{PLL_IN}	PLL 输入时钟占空比	-	45	-	55	%
$f_{PLL_P_OUT}$	PLL 倍频输出时钟 P	电压调节范围 1	3.09	-	122	MHz
		电压调节范围 2	3.09	-	40	
$f_{PLL_Q_OUT}$	PLL 倍频输出时钟 Q	电压调节范围 1	12	-	128	MHz
		电压调节范围 2	12	-	33	
$f_{PLL_R_OUT}$	PLL 倍频输出时钟 R	电压调节范围 1	12	-	64	MHz
		电压调节范围 2	12	-	16	
f_{VCO_OUT}	PLL VCO 输出	电压调节范围 1	96	-	344	MHz
		电压调节范围 2	96	-	128	
t_{LOCK}	PLL 锁相时间	-	-	15	40	μs

符号	参数	条件	最小值	典型值	最大值	单位
Jitter	RMS 周期抖动	系统时钟 56 MHz	-	50	-	±ps
	RMS 周期抖动		-	40	-	
I _{DD} (PLL)	未发现在 V _{DD} 上的 PLL 功耗	VCO 频率 = 96 MHz	-	200	260	μA
		VCO 频率 = 192 MHz	-	300	380	
		VCO 频率 = 344 MHz	-	520	650	

1. 确保使用适当的分频系数 *M* 来获取指定的 PLL 输入时钟值。

6.3.10 Flash 存储器特性

表 57. Flash 存储器特性

由设计指定，未经生产测试。

符号	参数	条件	典型值	最大值	单位
t _{prog}	64 位编程时间	-	85	125	μs
		突发模式	48	48	
t _{prog_row}	行 (32 双字) 编程时间	正常编程	2.7	4.6	ms
		快速编程	1.7	2.8	
t _{prog_page}	页 (2 KB) 编程时间	正常编程	21.8	36.6	
		快速编程	13.7	22.4	
t _{ERASE}	页 (2 KB) 擦除时间	-	22.0	40.0	
t _{prog_bank}	一个 256 KB 存储区编程时间 ⁽¹⁾	正常编程	1.4	2.4	s
		快速编程	0.9	1.5	
t _{ME}	批量擦除时间	-	22.1	40.1	ms
I _{DD} (Flash A)	V _{DD} 的平均电流消耗	编程	3	-	mA
		页擦除	3	-	
		批量擦除	5	-	
I _{DD} (Flash P)	最大电流 (峰值)	编程, 2 μs 峰值持续时间	7	-	
		擦除, 41 μs 峰值持续时间	7	-	

1. 提供的值也适用于 Flash 存储器小于一个 256 KB 存储区的器件。

表 58. Flash 存储器可擦写次数和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	单位
N _{END}	可擦写次数	T _A = -40 °C 到 +105 °C	10	千次
t _{RET}	数据保存期限	1000 次擦写 ⁽²⁾ T _A = 85 °C 时	30	年
		1000 次擦写 ⁽²⁾ (T _A = 105 °C)	15	
		1000 次擦写 ⁽²⁾ (T _A = 125 °C)	7	
		10000 次擦写 ⁽²⁾ (T _A = 55 °C)	30	
		10000 次擦写 ⁽²⁾ (T _A = 85 °C)	15	
		10000 次擦写 ⁽²⁾ (T _A = 105 °C)	10	

1. 按特性评估，未经生产测试。

2. 擦写测试在整个温度范围内进行。

6.3.11

EMC 特性

敏感性测试在器件特性分析期间通过抽样来完成。

功能性 EMS（电磁敏感性）

在器件上运行一个简单的应用程序（通过 I/O 端口翻转两个 LED）时，器件承受两种电磁干扰，直至出现故障。故障状况由 LED 指示：

- **静电放电 (ESD)**（正电和负电）施加到器件所有引脚，直至器件发生功能性故障。该测试符合 IEC 61000-4-2 标准。
- **FTB**：通过一个 100 pF 电容对 V_{DD} 和 V_{SS} 引脚施加一个突发的快速瞬变电压（正电压和负电压），直至器件发生功能性故障。该测试符合 IEC 61000-4-4 标准。

通过器件复位可恢复正常工作。

测试结果参见表 59. EMC 特性。这些测试结果以应用笔记 AN1709 中所定义的 EMS 级别和分类为基础。

表 59. EMS 特性

符号	参数	条件	级别/分类
V _{FESD}	施加在任意 I/O 引脚并导致功能性故障的极限电压	V _{DD} = 3.3 V, T _A = +25 °C, f _{HCLK} = 54 MHz, LPQF80 符合 IEC 61000-4-2	2B
V _{EFTB}	通过 100 pF 电容施加在 V _{DD} 和 V _{SS} 引脚上并导致功能性故障的突发快速瞬变电压	V _{DD} = 3.3 V, T _A = +25 °C, f _{HCLK} = 54 MHz, LPQF80 符合 IEC 61000-4-4	5A

设计更稳健的软件以避免噪声问题

EMC 特性评定与优化通常在组件级采用典型的应用环境和简化的 MCU 软件执行。应当注意，良好的 EMC 性能与具体的用户应用和软件密切相关。

因此，建议用户根据其应用所需的 EMC 级别来执行 EMC 软件优化和预审测试。

软件建议

软件流程图中必须包括对如下失控情况的管理：

- 程序计数器损坏
- 意外复位
- 关键数据损坏（控制寄存器 ...）

预审试验

大多数常见故障（意外复位和程序计数器损坏）都可以通过在 NRST 引脚或振荡器引脚手动施加 1 秒的低电平来再现。

要完成这些测试，可直接对器件施加超出规范值范围的 ESD 应力。当检测到意外行为时，可相应改进软件以防止发生不可恢复的错误（请参见应用笔记 AN1015）。

电磁干扰

在执行一个简单的应用（通过 I/O 端口翻转两个 LED）时，监视器件所发射的电磁场。这项发射测试符合 IEC 61967-2 标准，该标准规定了测试电路板和引脚负载。

表 60. f_{HSE} = 8 MHz 且 f_{HCLK} = 54 MHz 时的 EMI 特性

符号	参数	条件	监测的频段	值	单位
S _{EMI}	峰值	V _{DD} = 3.6 V, T _A = 25 °C, LQFP80 封装 符合 IEC 61967-2 标准	0.1 MHz 到 30 MHz	5	dBμV
			30 MHz 到 130 MHz	2	
			130 MHz 到 1 GHz	1	
			1 GHz 到 2 GHz	8	
	级别		0.1 MHz 到 2 GHz	2	-

1. 参见 AN1709 “EMI 辐射测试” 部分。
2. 参见 AN1709 “EMI 级别分类” 部分。

6.3.12 电气敏感性特性

使用特定的测量方法对器件进行三种不同的测试（ESD、LU），以确定其在电气敏感性方面的性能。

静电放电 (ESD)

根据每种引脚组合，对每个样本的引脚施加静电放电（一个正脉冲后接着一个负脉冲，两个脉冲间隔一秒钟）。样本大小取决于器件中供电引脚的数目（3 个器件 x (n+1) 个供电引脚）。该项测试符合 ANSI/JEDEC 标准。

表 61. ESD 绝对最大额定值

TBD 表示“待定义”。

符号	额定值	条件	封装	分类	最大值	单位
$V_{ESD(HBM)}$	静电放电电压（人体模型）	$T_A = +25\text{ }^{\circ}\text{C}$ ，符合 ANSI/ESDA/JEDEC JS-001 标准	全部	2D	2000	V
$V_{ESD(CDM)}$	静电放电电压（充电设备模型）	$T_A = +25\text{ }^{\circ}\text{C}$ ，符合 ANSI/ESDA/JEDEC-002 标准	WLCSP42	待定	待定	
			所有其他	C2a	500	

1. 按特性评估，未经生产测试。

静态闩锁

为评估闩锁性能，需要对六个器件执行两项互补的静态闩锁测试：

- 对每个电源引脚施加过压。
- 对每个输入、输出和可配置 I/O 引脚施加电流注入。

这些测试符合 EIA/JESD 78A IC 闩锁标准。

表 62. 电气敏感性

符号	参数	条件	分类
LU	静态闩锁分类	$T_A = +130\text{ }^{\circ}\text{C}$ ，符合 JESD78A 标准	II

6.3.13 I/O 电流注入特性

通常情况下，在产品正常工作期间，应避免因外部电压低于 V_{SS} 或高于 V_{DDIOX} （以 3.3 V I/O 引脚为标准）而引起电流注入 I/O 引脚。但为了说明微控制器在意外发生异常注入时的稳健性，在器件特性评定期间对样本执行了敏感性测试。

I/O 电流的功能敏感性

在器件上执行简单的应用程序，同时在设定为悬空输入模式的 I/O 引脚注入电流，以向器件施加电流应力。在逐个向 I/O 引脚注入电流的同时，检查器件是否发生功能性故障。

出现以下情况时，将通过表示超出范围的参数来指示出现了故障：ADC 误差超过特定限值（高于 5 LSB TUE），相邻引脚的感应漏电流超出常规限值（超出 $5\text{ }\mu\text{A}/+0\text{ }\mu\text{A}$ 的范围），或出现其他功能性故障（例如复位或振荡器频率偏移）。

特性测试结果参见表 63. I/O 电流注入敏感性。

负感应漏电流由负注入导致，正感应漏电流由正注入导致。

表 63. I/O 电流注入敏感性

按特性评估，未经生产测试。

符号	说明	功能敏感性		单位
		注入负电流	注入正电流	
I_{INJ}	所有引脚（PA4、PA5 除外）上的注入电流	-5	N/A ⁽¹⁾	mA
	PA4 和 PA5 引脚上的注入电流	-5	0	

1. 不允许注入。

6.3.14 I/O 端口特性

常规输入/输出特性

除非特别说明，否则表 64. I/O 静态特性中的参数均在第 6.3.1 节: 通用工作条件所列条件下测试得出。所有 I/O 均设计为与 CMOS 和 TTL 兼容。

注: 有关 GPIO 配置的信息，请参见意法半导体网站 (www.st.com) 提供的应用笔记 AN4899 “执行硬件设置以及实现低功耗的 STM32 GPIO 配置”。

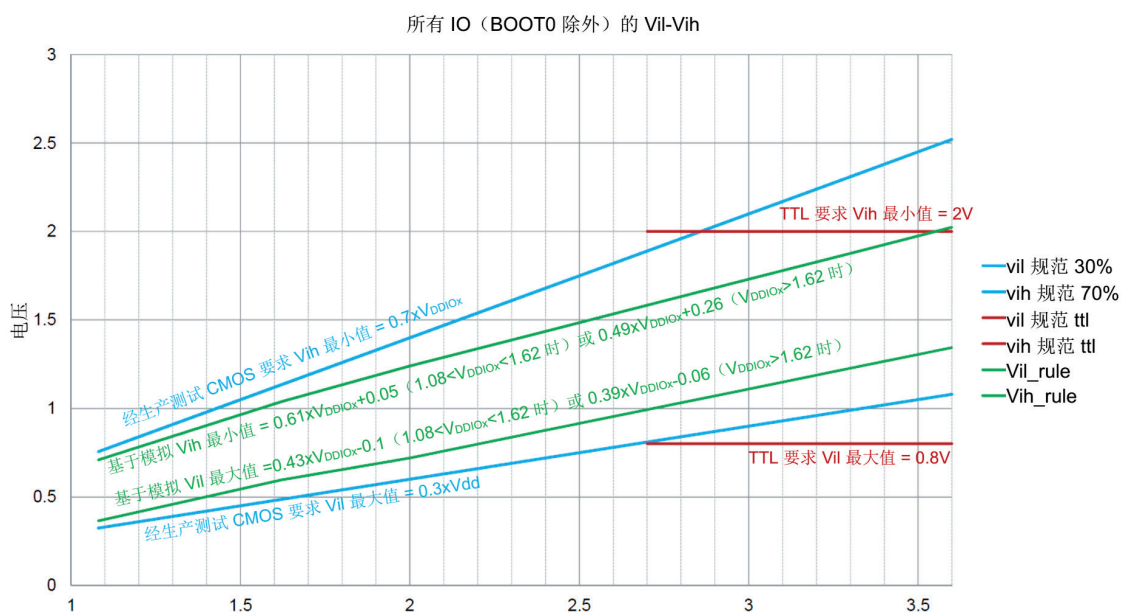
表 64. I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}^{(1)}$	I/O 输入低电平电压	$1.62\text{ V} < V_{DDIOx} < 3.6\text{ V}$	-	-	$0.3 \times V_{DDIOx}^{(2)}$	V
	I/O 输入低电平电压	$1.62\text{ V} < V_{DDIOx} < 3.6\text{ V}$	-	-	$0.39 \times V_{DDIOx} - 0.06^{(3)}$	
$V_{IH}^{(1)}$	I/O 输入高电平电压	$1.62\text{ V} < V_{DDIOx} < 3.6\text{ V}$	$0.7 \times V_{DDIOx}^{(2)}$	-	-	V
	I/O 输入高电平电压	$1.62\text{ V} < V_{DDIOx} < 3.6\text{ V}$	$0.49 \times V_{DDIOx} + 0.26^{(3)}$	-	-	
$V_{hys}^{(3)}$	TT_xx、FT_xxx 和 NRST I/O 输入迟滞	$1.62\text{ V} < V_{DDIOx} < 3.6\text{ V}$	-	200	-	mV
$I_{kg}^{(4)}$	FT_xx 输入漏电流 ⁽³⁾⁽⁵⁾	$V_{IN} \leq \text{Max}(V_{DDXXX})^{(6)(7)}$	-	-	± 100	nA
		$\text{Max}(V_{DDXXX}) \leq V_{IN} \leq \text{Max}(V_{DDXXX}) + 1\text{ V}^{(6)(7)}$	-	-	650	
		$\text{Max}(V_{DDXXX}) + 1\text{ V} < V_{IN} \leq 5.5\text{ V}^{(6)(7)}$	-	-	200	
	PC3 I/O	$V_{IN} \leq \text{Max}(V_{DDXXX})^{(6)(7)}$	-	-	± 150	
		$\text{Max}(V_{DDXXX}) \leq V_{IN} \leq \text{Max}(V_{DDXXX}) + 1\text{ V}^{(6)(7)}$	-	-	$2500^{(3)}$	
		$\text{Max}(V_{DDXXX}) + 1\text{ V} < V_{IN} \leq 5.5\text{ V}^{(6)(7)}$	-	-	250	
	TT_xx 输入漏电流	$V_{IN} \leq \text{Max}(V_{DDXXX})^{(6)}$	-	-	± 150	
		$\text{Max}(V_{DDXXX}) \leq V_{IN} < 3.6\text{ V}^{(6)}$	-	-	$2000^{(3)}$	
	R _{PU}	$V_{IN} = V_{SS}$	25	40	55	
	R _{PD}	$V_{IN} = V_{DDIOx}$	25	40	55	
C_{IO}	I/O 引脚电容	-	-	5	-	pF

- 参见图 23. I/O 输入特性。
- 经过生产测试。
- 由设计指定，未经生产测试。
- 该值表示 IO 本身的引脚漏电流。器件引脚的总漏电流通过下面的公式计算得出：

$$I_{Total_Ileak_max} = 10\text{ }\mu\text{A} + [\text{引脚上应用了 } V_{IN} \text{ 的 IO 的数量}] \times I_{kg}(\text{Max})。$$
- 除 FT_u 和 PC3 I/O 之外的所有 FT_xx GPIO。
- Max(V_{DDXXX}) 是所有 I/O 电源的最大值。参见表: 引脚排列表中使用的图例/缩略语。
- 要承受高于 Min(V_{DD}, V_{DDA}, V_{DDUSB}) + 0.3 V 的电压，必须禁止内部上拉和下拉电阻。
- 上拉电阻和下拉电阻设计为一个串联了可开关 PMOS/NMOS 的实际电阻。该 PMOS/NMOS 对串联电阻的影响极小 (10% 左右)。

所有 I/O 均兼容 CMOS 和 TTL (无需软件配置)。它们的特性并不仅限于满足严格的 CMOS 技术或 TTL 参数要求。这些要求的覆盖范围在图 23. I/O 输入特性中显示。

图 23. I/O 输入特性


DT37613V1

电流

GPIO (通用输入/输出) 可提供最大 ± 8 mA 的拉电流或灌电流, 在放宽 V_{OL}/V_{OH} 的条件下, 拉电流和灌电流可达到 ± 20 mA。

GPIO PC13、PC14 和 PC15 通过电压开关供电, 从而将拉电流能力限定为最高仅为 3 mA。

在用户应用中, 可驱动电流的 I/O 引脚的数量必须进行限制, 以遵守第 6.2 节: 绝对最大额定值 中规定的绝对最大额定值:

- 所有 I/O 从 V_{DDIOx} 获得的拉电流总和, 加上 MCU 从 V_{DD} 获得的最大消耗拉电流, 不能超过绝对最大额定 ΣI_{VDD} (请参见表 19. 电压特性)。
- 所有 I/O 从 V_{SS} 获得的灌电流总和, 加上 MCU 从 V_{SS} 获得的最大消耗灌电流, 不能超过绝对最大额定 ΣI_{VSS} (请参见表 19. 电压特性)。

输出电压

除非特别说明, 否则下表中给出的参数是在第 6.3.1 节: 通用工作条件中汇总的环境温度和电源电压条件下测试得出的。所有 I/O 均兼容 CMOS 和 TTL (除非特别说明否则包括 FT 或 TT)。

表 65. 输出电压特性

器件的 I_{IO} 拉电流或灌电流必须始终遵守表 19. 电压特性中规定的绝对最大额定值, 所有 I/O (I/O 端口和控制引脚) 的拉电流或灌电流之和必须始终遵守绝对最大额定值 ΣI_{IO} 。

符号	参数	条件	最小值	最大值	单位
V_{OL}	I/O 引脚的输出低电平电压	CMOS 端口 ⁽¹⁾ $ I_{IO} = 8$ mA ⁽²⁾ $V_{DDIOx} \geq 2.7$ V	-	0.4	V
V_{OH}	I/O 引脚的输出高电平电压		$V_{DDIOx} - 0.4$	-	
$V_{OL}^{(3)}$	I/O 引脚的输出低电平电压	TTL 端口 ⁽¹⁾ $ I_{IO} = 8$ mA ⁽⁴⁾ $V_{DDIOx} \geq 2.7$ V	-	0.4	
$V_{OH}^{(3)}$	I/O 引脚的输出高电平电压		2.4	-	
$V_{OL}^{(3)}$	I/O 引脚的输出低电平电压	PC13、PC14 和 PC15 $ I_{IO} = 3$ mA $V_{DDIOx} \geq 2.7$ V	-	0.07	
$V_{OH}^{(3)}$	I/O 引脚的输出高电平电压		$V_{DDIOx} - 0.35$	-	

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(3)}$	I/O 引脚的输出低电平电压	$ I_{IO} = 20 \text{ mA}^{(4)}$ $V_{DDIOX} \geq 2.7 \text{ V}$	-	1.3	V
$V_{OH}^{(3)}$	I/O 引脚的输出高电平电压		$V_{DDIOX} - 1.3$	-	
$V_{OL}^{(3)}$	I/O 引脚的输出低电平电压	$ I_{IO} = 4 \text{ mA}^{(2)}$ $V_{DDIOX} \geq 1.62 \text{ V}$	-	0.45	
$V_{OH}^{(3)}$	I/O 引脚的输出高电平电压		$V_{DDIOX} - 0.45$	-	
$V_{OLFM+}^{(3)}$	FM+ 模式下 FT I/O 引脚的输出低电平电压（FT I/O 带“f”选项）	$ I_{IO} = 20 \text{ mA}$ $V_{DDIOX} \geq 2.7 \text{ V}$	-	0.4	
		$ I_{IO} = 10 \text{ mA}$ $V_{DDIOX} \geq 1.62 \text{ V}$	-	0.4	

1. TTL 和 CMOS 输出均符合 JEDEC 标准 JESD36 和 JESD52。
2. PC13、PC14 和 PC15 在最大电流为 3 mA 时进行测试/特性分析。
3. 由设计指定，未经生产测试。
4. 不适用于 PC13、PC14 和 PC15。

输入/输出交流特性

输入/输出交流特性的定义和值分别在图 24. I/O 交流特性定义和表 66. I/O 交流特性中给出。

除非特别说明，否则给出的参数是在第 6.3.1 节: 通用工作条件中汇总的环境温度和电源电压条件下测试得出的。

表 66. I/O 交流特性

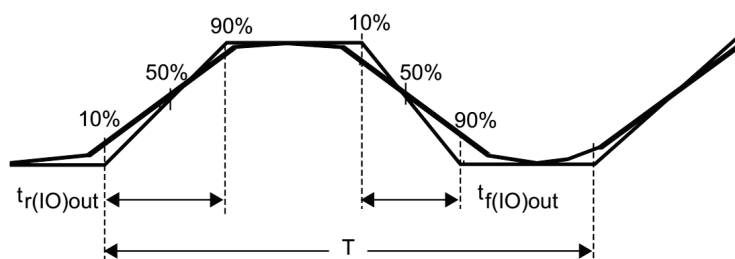
1. I/O 速度通过 OSPEEDRy[1:0] 位配置。Fm+ 模式在 SYSCFG_CFGR1 寄存器中进行配置。有关 GPIO 端口配置寄存器的说明，请参见 RM0503 参考手册。
2. 由设计指定，未经生产测试。

速度	符号	参数	条件	最小值	最大值	单位
00	Fmax	最大频率	$C=50 \text{ pF}, 2.7 \text{ V} \leq V_{DDIOX} \leq 3.6 \text{ V}$	-	5	MHz
			$C=50 \text{ pF}, 1.62 \text{ V} \leq V_{DDIOX} \leq 2.7 \text{ V}$	-	1	
			$C=10 \text{ pF}, 2.7 \text{ V} \leq V_{DDIOX} \leq 3.6 \text{ V}$	-	10	
			$C=10 \text{ pF}, 1.62 \text{ V} \leq V_{DDIOX} \leq 2.7 \text{ V}$	-	1.5	
	Tr/Tf	输出上升和下降时间	$C=50 \text{ pF}, 2.7 \text{ V} \leq V_{DDIOX} \leq 3.6 \text{ V}$	-	25	ns
			$C=50 \text{ pF}, 1.62 \text{ V} \leq V_{DDIOX} \leq 2.7 \text{ V}$	-	52	
			$C=10 \text{ pF}, 2.7 \text{ V} \leq V_{DDIOX} \leq 3.6 \text{ V}$	-	17	
			$C=10 \text{ pF}, 1.62 \text{ V} \leq V_{DDIOX} \leq 2.7 \text{ V}$	-	37	
01	Fmax	最大频率	$C=50 \text{ pF}, 2.7 \text{ V} \leq V_{DDIOX} \leq 3.6 \text{ V}$	-	25	MHz
			$C=50 \text{ pF}, 1.62 \text{ V} \leq V_{DDIOX} \leq 2.7 \text{ V}$	-	10	
			$C=10 \text{ pF}, 2.7 \text{ V} \leq V_{DDIOX} \leq 3.6 \text{ V}$	-	50	
			$C=10 \text{ pF}, 1.62 \text{ V} \leq V_{DDIOX} \leq 2.7 \text{ V}$	-	15	
	Tr/Tf	输出上升和下降时间	$C=50 \text{ pF}, 2.7 \text{ V} \leq V_{DDIOX} \leq 3.6 \text{ V}$	-	9	ns
			$C=50 \text{ pF}, 1.62 \text{ V} \leq V_{DDIOX} \leq 2.7 \text{ V}$	-	16	
			$C=10 \text{ pF}, 2.7 \text{ V} \leq V_{DDIOX} \leq 3.6 \text{ V}$	-	4.5	
			$C=10 \text{ pF}, 1.62 \text{ V} \leq V_{DDIOX} \leq 2.7 \text{ V}$	-	9	

速度	符号	参数	条件	最小值	最大值	单位
10	Fmax	最大频率	C=50 pF, 2.7 V ≤ V _{DDIOx} ≤ 3.6 V	-	50	MHz
			C=50 pF, 1.62 V ≤ V _{DDIOx} ≤ 2.7 V	-	25	
			C=10 pF, 2.7 V ≤ V _{DDIOx} ≤ 3.6 V	-	100 ⁽¹⁾	
			C=10 pF, 1.62 V ≤ V _{DDIOx} ≤ 2.7 V	-	37.5	
	Tr/Tf	输出上升和下降时间	C=50 pF, 2.7 V ≤ V _{DDIOx} ≤ 3.6 V	-	5.8	ns
			C=50 pF, 1.62 V ≤ V _{DDIOx} ≤ 2.7 V	-	11	
			C=10 pF, 2.7 V ≤ V _{DDIOx} ≤ 3.6 V	-	2.5	
			C=10 pF, 1.62 V ≤ V _{DDIOx} ≤ 2.7 V	-	5	
11	Fmax	最大频率	C=30 pF, 2.7 V ≤ V _{DDIOx} ≤ 3.6 V	-	120 ⁽¹⁾	MHz
			C=30 pF, 1.62 V ≤ V _{DDIOx} ≤ 2.7 V	-	50	
			C=10 pF, 2.7 V ≤ V _{DDIOx} ≤ 3.6 V	-	180 ⁽¹⁾	
			C=10 pF, 1.62 V ≤ V _{DDIOx} ≤ 2.7 V	-	75	
	Tr/Tf	输出上升和下降时间	C=30 pF, 2.7 V ≤ V _{DDIOx} ≤ 3.6 V	-	3.3	ns
			C=30 pF, 1.62 V ≤ V _{DDIOx} ≤ 2.7 V	-	6	
Fm+	Fmax	最大频率	C=50 pF, 1.62 V ≤ V _{DDIOx} ≤ 3.6 V	-	1	MHz
	Tf	输出下降时间 ⁽²⁾		-	5	ns

- 该值表示 I/O 能力，但最大系统频率限定为 56 MHz。
- 根据 I²C 规范，下降时间定义为介于输出波形的 70% 与 30% 之间。

图 24. I/O 交流特性定义



在指定电容负载的情况下，以 45% - 55% 的占空比实现最大频率。

- 请参见表 66. I/O 交流特性。

6.3.15 NRST 引脚特性

NRST 引脚输入驱动器采用 CMOS 技术。它连接至一个永久上拉电阻 R_{PU} 。

除非特别说明，否则下表中给出的参数是在第 6.3.1 节: 通用工作条件中汇总的环境温度和电源电压条件下测试得出的。

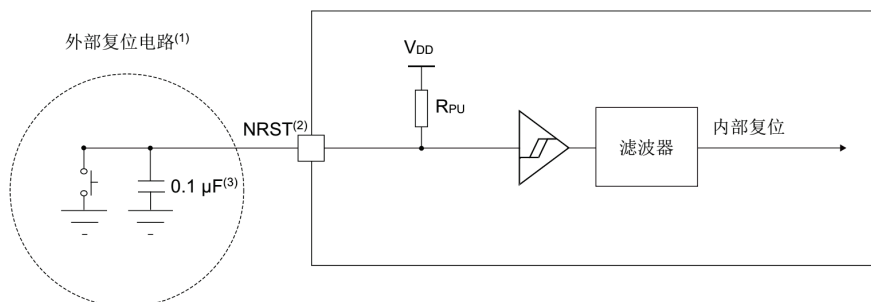
表 67. NRST 引脚特性

由设计指定，未经生产测试。

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}(\text{NRST})$	NRST 输入低电平电压	-	-	-	$0.3 \times V_{DDIOx}$	V
$V_{IH}(\text{NRST})$	NRST 输入高电平电压	-	$0.7 \times V_{DDIOx}$	-	-	V
$V_{hys}(\text{NRST})$	NRST 施密特触发器迟滞电压	-	-	200	-	mV
R_{PU}	弱上拉等效电阻 ⁽¹⁾	$V_{IN} = V_{SS}$	25	40	55	kΩ
$V_F(\text{NRST})$	NRST 输入滤波脉冲	-	-	-	70	ns
$V_{NF}(\text{NRST})$	NRST 输入非滤波脉冲	$1.71 \text{ V} \leq V_{DD} \leq 3.6 \text{ V}$	350	-	-	ns

1. 上拉电阻设计为一个串联了可开关 PMOS 的实际电阻。该 PMOS 对串联电阻的影响极小（10% 左右）。

图 25. 推荐的 NRST 引脚保护



MS19878V3

1. 该复位网络可保护器件不发生寄生复位。
2. 用户必须确保每次上电时，NRST 引脚上的电压都高于表 67. NRST 引脚特性中指定的 $V_{IH}(\text{NRST})$ 最小值，否则器件将不会退出复位状态。这适用于通过 FLASH_OTPR 寄存器的 NRST_MODE[1:0] 位域选择的所有 NRST 配置，包括 GPIO 模式。
3. NRST 上的外部电容器必须放在尽可能靠近器件的位置。

6.3.16 扩展中断和事件控制器输入 (EXTI) 特性

中断输入上的脉冲必须具有最小长度才能保证可由事件控制器检测到。

表 68. EXTI 输入特性

由设计指定，未经生产测试。

符号	参数	条件	最小值	典型值	最大值	单位
PLEC	事件控制器可检测到的脉冲长度	-	20	-	-	ns

6.3.17 模拟开关增压器

表 69. 模拟开关增压器特性

由设计指定，未经生产测试。

符号	参数	最小值	典型值	最大值	单位
V_{DD}	电源电压	1.62	-	3.6	V
$t_{SU(BOOST)}$	增压器启动时间	-	-	240	μs
$I_{DD(BOOST)}$	增压器电流消耗 ($1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}$ 时)	-	-	250	μA
	增压器电流消耗 ($2.0\text{ V} \leq V_{DD} \leq 2.7\text{ V}$ 时)	-	-	500	
$IDD(BOOST)$	增压器电流消耗 ($2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 时)	-	-	900	μA

6.3.18 模数转换器特性

除非特别说明，否则表 70. ADC 特性中给出的参数是在第 6.3.1 节: 通用工作条件中汇总的环境温度、 f_{PCLK} 频率和 V_{DDA} 电源电压条件下测试得出的初步值。

注: 建议在每次上电后执行一次校准。

表 70. ADC 特性

由设计指定，未经生产测试。

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	-	1.62	-	3.6	V
V _{REF+}	正参考电压	V _{DDA} ≥ 2 V	2	-	V _{DDA}	
		V _{DDA} < 2 V	V _{DDA}			
f _{ADC}	ADC 时钟频率	范围 1	0.14	-	35	MHz
		范围 2	0.14	-	16	
f _s	采样率	12 位	-	-	2.50	MSps
		10 位	-	-	2.92	
		8 位	-	-	3.50	
		6 位	-	-	4.38	
f _{TRIG}	外部触发器频率	f _{ADC} = 35 MHz; 12 位	-	-	2.33	MHz
		12 位	-	-	f _{ADC} /15	
V _{AIN} ⁽²⁾	转换电压范围	-	V _{SSA}	-	V _{REF+}	V
R _{AIN}	外部输入阻抗	-	-	-	50	kΩ
C _{ADC}	内部采样和保持电容	-	-	5	-	pF
t _{STAB}	ADC 上电时间	-	2			转换周期
t _{CAL}	校准时间	f _{ADC} = 35 MHz	2.35			μs
		-	82			1/f _{ADC}
t _{LATR}	触发器转换延迟	CKMODE = 00	2	-	3	1/f _{ADC}
		CKMODE = 01	6.5			1/f _{PCLK}
		CKMODE = 10	12.5			
		CKMODE = 11	3.5			

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
t _s	采样时间	f _{ADC} = 35 MHz; V _{DDA} > 2V	0.043	-	4.59	μs
			1.5	-	160.5	1/f _{ADC}
		f _{ADC} = 35 MHz; V _{DDA} < 2V	0.1	-	4.59	μs
			3.5	-	160.5	1/f _{ADC}
t _{ADCVREG_STUP}	ADC 稳压器启动时间	-	-	-	20	μs
t _{CONV}	总转换时间 (包括采样时间)	f _{ADC} = 35 MHz 分辨率 = 12 位	0.40	-	4.95	μs
		分辨率 = 12 位	t _s + 12.5 个周期 (逐次逼近) = 14 到 173			1/f _{ADC}
t _{IDLE}	两次转换之间允许的时隙 (无需重新准备)	-	-	-	100	μs
I _{DDA(ADC)}	ADC 从 V _{DDA} 消耗的电流	f _s = 2.5 MSps	-	410	-	μA
		f _s = 1 MSps	-	164	-	
		f _s = 10 kSps	-	17	-	
I _{DDV(ADC)}	ADC 从 V _{REF+} 消耗的电流	f _s = 2.5 MSps	-	65	-	μA
		f _s = 1 MSps	-	26	-	
		f _s = 10 kSps	-	0.26	-	

1. 当 V_{DDA} < 2.4 V 时, 必须使能 I/O 模拟开关增压器 (SYSCFG_CFGR1 中的 BOOSTEN = 1), 而当 V_{DDA} ≥ 2.4 V 时则必须将其禁止。

2. 在一些封装中, V_{REF+} 内部连接到 V_{DDA}。更多信息, 请参见第 4 节: 引脚排列、焊球布局、引脚说明和复用功能。

表 71. 最大 ADC R_{AIN}

分辨率	35 MHz 时的采样周期	35 MHz 时的采样时间 [ns]	最大值 R _{AIN} ⁽¹⁾⁽²⁾ (Ω)
12 位	1.5 ⁽³⁾	43	50
	3.5	100	680
	7.5	214	2200
	12.5	357	4700
	19.5	557	8200
	39.5	1129	15000
	79.5	2271	33000
	160.5	4586	50000
10 位	1.5 ⁽³⁾	43	68
	3.5	100	820
	7.5	214	3300
	12.5	357	5600
	19.5	557	10000
	39.5	1129	22000
	79.5	2271	39000
	160.5	4586	50000

分辨率	35 MHz 时的采样周期	35 MHz 时的采样时间 [ns]	最大值 $R_{AIN}^{(1)(2)}$ (Ω)
8 位	1.5 ⁽³⁾	43	82
	3.5	100	1500
	7.5	214	3900
	12.5	357	6800
	19.5	557	12000
	39.5	1129	27000
	79.5	2271	50000
	160.5	4586	50000
6 位	1.5 ⁽³⁾	43	390
	3.5	100	2200
	7.5	214	5600
	12.5	357	10000
	19.5	557	15000
	39.5	1129	33000
	79.5	2271	50000
	160.5	4586	50000

- 当 $V_{DDA} < 2.4\text{ V}$ 时，必须使能 I/O 模拟开关增压器（SYSCFG_CFGR1 中的 $BOOSTEN = 1$ ），而当 $V_{DDA} \geq 2.4\text{ V}$ 时则必须将其禁止。
- 由设计指定，未经生产测试。
- 仅当 $V_{DDA} > 2\text{ V}$ 时允许

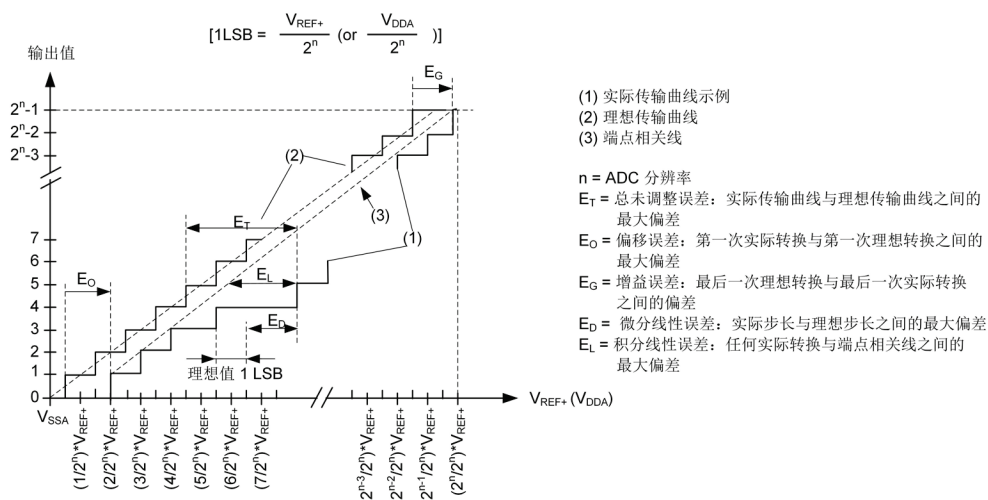
表 72. ADC 精度

- 按特性评估，未经生产测试。
- ADC 直流精度值在执行内部校准后测得。
- 任何模拟输入引脚上产生的反向注入电流都会显著降低其他模拟输入上信号的模数转换的准确性。建议在可能发生反向电流注入的模拟引脚上增加一个肖特基二极管（引脚与地之间）。

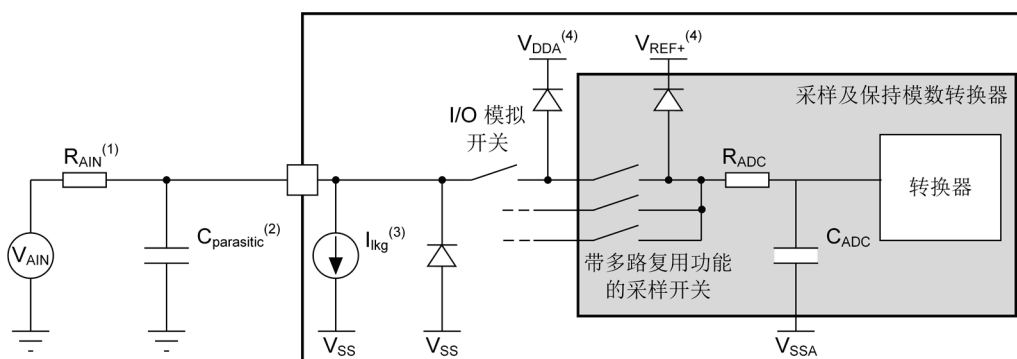
符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
ET	总未调整误差	$V_{DDA} = V_{REF+} = 3\text{ V};$ $f_{ADC} = 35\text{ MHz}; f_s \leq 2.5\text{ MSps};$ $T_A = 25\text{ }^{\circ}\text{C}$	-	3	6	LSB
		$2\text{ V} < V_{DDA} = V_{REF+} < 3.6\text{ V};$ $f_{ADC} = 35\text{ MHz}; f_s \leq 2.5\text{ MSps};$ $T_A = \text{整个范围}$	-	3	6.5	
		$1.65\text{ V} < V_{DDA} = V_{REF+} < 3.6\text{ V};$ $T_A = \text{整个范围}$ 范围 1: $f_{ADC} = 35\text{ MHz}; f_s \leq 2.2\text{ MSps};$ 范围 2: $f_{ADC} = 16\text{ MHz}; f_s \leq 1.1\text{ MSps};$	-	3	7.5	
EO	偏移误差	$V_{DDA} = V_{REF+} = 3\text{ V};$ $f_{ADC} = 35\text{ MHz}; f_s \leq 2.5\text{ MSps};$ $T_A = 25\text{ }^{\circ}\text{C}$	-	1.5	5	LSB
		$2\text{ V} < V_{DDA} = V_{REF+} < 3.6\text{ V};$ $f_{ADC} = 35\text{ MHz}; f_s \leq 2.5\text{ MSps};$ $T_A = \text{整个范围}$	-	1.5	5.5	
		$1.65\text{ V} < V_{DDA} = V_{REF+} < 3.6\text{ V};$ $T_A = \text{整个范围}$ 范围 1: $f_{ADC} = 35\text{ MHz}; f_s \leq 2.2\text{ MSps};$ 范围 2: $f_{ADC} = 16\text{ MHz}; f_s \leq 1.1\text{ MSps};$	-	1.5	6	
EG	增益误差	$V_{DDA} = V_{REF+} = 3\text{ V};$ $f_{ADC} = 35\text{ MHz}; f_s \leq 2.5\text{ MSps};$ $T_A = 25\text{ }^{\circ}\text{C}$	-	3	3.5	LSB
		$2\text{ V} < V_{DDA} = V_{REF+} < 3.6\text{ V};$ $f_{ADC} = 35\text{ MHz}; f_s \leq 2.5\text{ MSps};$ $T_A = \text{整个范围}$	-	3	5	
		$1.65\text{ V} < V_{DDA} = V_{REF+} < 3.6\text{ V};$ $T_A = \text{整个范围}$ 范围 1: $f_{ADC} = 35\text{ MHz}; f_s \leq 2.2\text{ MSps};$ 范围 2: $f_{ADC} = 16\text{ MHz}; f_s \leq 1.1\text{ MSps};$	-	3	6.5	
ED	微分线性误差	$V_{DDA} = V_{REF+} = 3\text{ V};$ $f_{ADC} = 35\text{ MHz}; f_s \leq 2.5\text{ MSps};$ $T_A = 25\text{ }^{\circ}\text{C}$	-	1.2	2.5	LSB
		$2\text{ V} < V_{DDA} = V_{REF+} < 3.6\text{ V};$ $f_{ADC} = 35\text{ MHz}; f_s \leq 2.5\text{ MSps};$ $T_A = \text{整个范围}$	-	1.2	2.5	
		$1.65\text{ V} < V_{DDA} = V_{REF+} < 3.6\text{ V};$ $T_A = \text{整个范围}$ 范围 1: $f_{ADC} = 35\text{ MHz}; f_s \leq 2.2\text{ MSps};$ 范围 2: $f_{ADC} = 16\text{ MHz}; f_s \leq 1.1\text{ MSps};$	-	1.2	2.5	
EL	积分线性误差	$V_{DDA} = V_{REF+} = 3\text{ V};$ $f_{ADC} = 35\text{ MHz};$ $f_s \leq 2.5\text{ MSps};$ $T_A = 25\text{ }^{\circ}\text{C}$	-	2.5	3	LSB

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
EL	积分线性误差	$2\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.5\text{ MSps}$; $T_A = \text{整个范围}$	-	2.5	3.5	LSB
		$1.65\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $T_A = \text{整个范围}$ 范围 1: $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.2\text{ MSps}$; 范围 2: $f_{\text{ADC}} = 16\text{ MHz}$; $f_s \leq 1.1\text{ MSps}$;	-	2.5	3.5	
ENOB	有效位数	$V_{\text{DDA}} = V_{\text{REF}+} = 3\text{ V}$; $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.5\text{ MSps}$; $T_A = 25\text{ }^{\circ}\text{C}$	10.1	10.2	-	位
		$2\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.5\text{ MSps}$; $T_A = \text{整个范围}$	9.6	10.2	-	
		$1.65\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $T_A = \text{整个范围}$ 范围 1: $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.2\text{ MSps}$; 范围 2: $f_{\text{ADC}} = 16\text{ MHz}$; $f_s \leq 1.1\text{ MSps}$;	9.5	10.2	-	
SINAD	信噪失真比	$V_{\text{DDA}} = V_{\text{REF}+} = 3\text{ V}$; $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.5\text{ MSps}$; $T_A = 25\text{ }^{\circ}\text{C}$	62.5	63	-	dB
		$2\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.5\text{ MSps}$; $T_A = \text{整个范围}$	59.5	63	-	
		$1.65\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $T_A = \text{整个范围}$ 范围 1: $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.2\text{ MSps}$; 范围 2: $f_{\text{ADC}} = 16\text{ MHz}$; $f_s \leq 1.1\text{ MSps}$;	59	63	-	
SNR	信噪比	$V_{\text{DDA}} = V_{\text{REF}+} = 3\text{ V}$; $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.5\text{ MSps}$; $T_A = 25\text{ }^{\circ}\text{C}$	63	64	-	dB
		$2\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.5\text{ MSps}$; $T_A = \text{整个范围}$	60	64	-	
		$1.65\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $T_A = \text{整个范围}$ 范围 1: $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.2\text{ MSps}$; 范围 2: $f_{\text{ADC}} = 16\text{ MHz}$; $f_s \leq 1.1\text{ MSps}$;	60	64	-	
THD	总谐波失真	$V_{\text{DDA}} = V_{\text{REF}+} = 3\text{ V}$; $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.5\text{ MSps}$; $T_A = 25\text{ }^{\circ}\text{C}$	-	-74	-73	dB
		$2\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.5\text{ MSps}$; $T_A = \text{整个范围}$	-	-74	-70	
		$1.65\text{ V} < V_{\text{DDA}} = V_{\text{REF}+} < 3.6\text{ V}$; $T_A = \text{整个范围}$ 范围 1: $f_{\text{ADC}} = 35\text{ MHz}$; $f_s \leq 2.2\text{ MSps}$; 范围 2: $f_{\text{ADC}} = 16\text{ MHz}$; $f_s \leq 1.1\text{ MSps}$;	-	-74	-70	

1. $V_{\text{DDA}} < 2.4\text{ V}$ 时使能 I/O 模拟开关增压器 (SYSCFG_CFGR1 中的 $\text{BOOSTEN} = 1$)， $V_{\text{DDA}} \geq 2.4\text{ V}$ 时将其禁止。

图 26. ADC 精度特性


DT19880V6

图 27. ADC 与具有模拟开关功能的 FT/TT 引脚搭配使用时的典型连接图


DT67871V3

1. 有关 R_{AIN} 和 C_{ADC} 值的信息，请参见表 70. ADC 特性。
2. $C_{\text{parasitic}}$ 表示 PCB 电容（取决于焊接质量和 PCB 板布局）加上焊盘电容（有关焊盘电容值的信息，参见表 64. I/O 静态特性）。 $C_{\text{parasitic}}$ 值较高会导致转换精度降低。要解决这一问题，应减小 f_{ADC} 。
3. 参见表 64. I/O 静态特性了解 I_{kg} 的值。
4. 请参见第 3.6.1 节：电源方案。

6.3.18.1

通用 PCB 设计准则

应如图 13. 供电方案中所示执行电源去耦。100 nF 的电容器应为陶瓷型（高质量），放置位置尽可能靠近芯片。

6.3.19 温度传感器特性

表 73. 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{TS} 相对于温度的线性度	-	± 1	± 2	$^{\circ}\text{C}$
Avg_Slope ⁽²⁾	平均斜率	2.3	2.5	2.7	mV/ $^{\circ}\text{C}$
V_{30}	30 $^{\circ}\text{C}$ ($\pm 5^{\circ}\text{C}$) 条件下的电压 ⁽³⁾	0.742	0.76	0.785	V
$t_{\text{START}(TS_BUF)}^{(1)}$	连续模式下传感器缓冲器启动时间 ⁽⁴⁾	-	8	15	μs
$t_{\text{START}}^{(1)}$	进入连续模式时的启动时间 ⁽⁴⁾	-	70	120	μs
$t_{\text{S_temp}}^{(1)}$	读取温度时的 ADC 采样时间	5	-	-	μs
$I_{\text{DD}(TS)}^{(1)}$	温度传感器从 V_{DD} 消耗的电流 (由 ADC 选择时)	-	4.7	7	μA

1. 由设计指定, 未经生产测试。
2. 按特性评估, 未经生产测试。
3. 在 $V_{\text{DDA}} = 3.0 \text{ V} \pm 10 \text{ mV}$ 时测量。 V_{30} ADC 转换结果存储在 TS_CAL1 字节中。
4. 连续模式是指运行/睡眠模式, 或者温度传感器在低功耗运行/低功耗睡眠模式下使能。

6.3.20 V_{BAT} 监控特性

表 74. V_{BAT} 监控特性

符号	参数	最小值	典型值	最大值	单位
R	V_{BAT} 的电阻桥	-	3×39	-	k Ω
Q	V_{BAT} 测量的比值	-	3	-	-
Er ⁽¹⁾	Q 的误差	-10	-	10	%
$t_{\text{S_vbat}}^{(1)}$	读取 V_{BAT} 时的 ADC 采样时间	12	-	-	μs

1. 由设计指定, 未经生产测试。

表 75. V_{BAT} 充电特性

符号	参数	条件	最小值	典型值	最大值	单位
R_{BC}	电池充电电阻	VBRS = 0	-	5	-	k Ω
		VBRS = 1	-	1.5	-	

6.3.21 数模转换器特性

表 76. DAC 特性

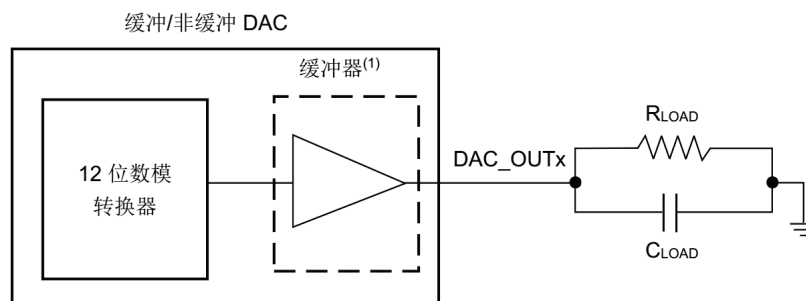
由设计指定, 未经生产测试。

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	DAC ON 的模拟供电电压	DAC 输出缓冲器处于 OFF 状态, DAC_OUT 引脚未连接（仅内部连接）	1.71	-	3.6	V
		其他模式	1.80	-		
V _{REF+}	正参考电压	DAC 输出缓冲器处于 OFF 状态, DAC_OUT 引脚未连接（仅内部连接）	1.71	-	V _{DDA}	
		其他模式	1.80	-		

符号	参数	条件		最小值	典型值	最大值	单位
R_L	阻性负载	DAC 输出缓冲器 ON	连接到 V_{SSA}	5	-	-	k Ω
			连接到 V_{DDA}	25	-	-	
R_O	输出阻抗	DAC 输出缓冲器 OFF		9.6	11.7	13.8	k Ω
R_{BON}	输出阻抗采样和保持模式，输出缓冲器处于 ON 状态	$V_{DD} = 2.7\text{ V}$		-	-	2	k Ω
		$V_{DD} = 2.0\text{ V}$		-	-	3.5	
R_{BOFF}	输出阻抗采样和保持模式，输出缓冲器处于 OFF 状态	$V_{DD} = 2.7\text{ V}$		-	-	16.5	k Ω
		$V_{DD} = 2.0\text{ V}$		-	-	18.0	
C_L	容性负载	DAC 输出缓冲器 ON		-	-	50	pF
C_{SH}		采样和保持模式		-	0.1	1	μF
V_{DAC_OUT}	DAC_OUT 输出上的电压	DAC 输出缓冲器 ON		0.2	-	$V_{REF+} - 0.2$	V
		DAC 输出缓冲器 OFF		0	-	V_{REF+}	
$t_{SETTLING}$	稳定时间（满量程：适用于 DAC_OUT 达到终值 $\pm 0.5\text{ LSB}$ 、 $\pm 1\text{ LSB}$ 、 $\pm 2\text{ LSB}$ 、 $\pm 4\text{ LSB}$ 、 $\pm 8\text{ LSB}$ 时最低与最高输入值之间的 12 位值转换）	正常模式 DAC 输出缓冲器 ON $CL \leq 50\text{ pF}$ ， $RL \geq 5\text{ k}\Omega$	$\pm 0.5\text{ LSB}$	-	1.7	3	μs
			$\pm 1\text{ LSB}$	-	1.6	2.9	
			$\pm 2\text{ LSB}$	-	1.55	2.85	
			$\pm 4\text{ LSB}$	-	1.48	2.8	
			$\pm 8\text{ LSB}$	-	1.4	2.75	
		正常模式 DAC 输出缓冲器 OFF， $\pm 1\text{ LSB}$ ， $CL = 10\text{ pF}$		-	2	2.5	
$t_{WAKEUP}^{(1)}$	从 off 状态（DAC 控制寄存器中的 ENx 位置 1）到最终值 $\pm 1\text{ LSB}$ 的唤醒时间	正常模式 DAC 输出缓冲器 ON $CL \leq 50\text{ pF}$ ， $RL \geq 5\text{ k}\Omega$		-	4.2	7.5	μs
		正常模式 DAC 输出缓冲器 OFF， $CL \leq 10\text{ pF}$		-	2	5	
PSRR	V_{DDA} 电源抑制比	正常模式 DAC 输出缓冲器 ON $CL \leq 50\text{ pF}$ ， $RL = 5\text{ k}\Omega$ ，DC		-	-80	-28	dB
$T_{W_to_W}$	写入 DAC_DORx 寄存器时，为保证在输入值 (1 LSB) 发生较小变化时 DAC_OUT 依然正确，两次连续写入操作所间隔的最短时间	DAC_MCR:MODEx[2:0] = 000 或 001 $CL \leq 50\text{ pF}$ ； $RL \geq 5\text{ k}\Omega$		1	-	-	μs
		DAC_MCR:MODEx[2:0] = 010 或 011 $CL \leq 10\text{ pF}$		1.4	-	-	
t_{SAMP}	采样和保持模式下的采样时间（当 DACOUT 达到最终值 $\pm 1\text{ LSB}$ 时，最低输入值与最高输入值之间进行转换）	DAC_OUT 引脚已连接	DAC 输出缓冲器 ON， $C_{SH} = 100\text{ nF}$	-	0.7	3.5	ms
			DAC 输出缓冲器 OFF， $C_{SH} = 100\text{ nF}$	-	10.5	18	
		DAC_OUT 引脚未连接（仅内部连接）	DAC 输出缓冲器 OFF	-	2	3.5	μs
I_{leak}	输出泄漏电流	采样和保持模式， DAC_OUT 引脚已连接		-	-	$\pm^{(2)}$	nA
Cl_{int}	内部采样和保持电容	-		5.2	7	8.8	pF
t_{TRIM}	中间值偏移微调时间	DAC 输出缓冲器 ON		50	-	-	μs
V_{offset}	1 个微调步长的中间值偏移	$V_{REF+} = 3.6\text{ V}$		-	1500	-	μV
		$V_{REF+} = 1.8\text{ V}$		-	750	-	
$I_{DDA(DAC)}$	DAC 从 V_{DDA} 消耗的电流	DAC 输出缓冲器 ON	无负载，中间值 (0x800)	-	315	500	μA

符号	参数	条件		最小值	典型值	最大值	单位
$I_{DDA(DAC)}$	DAC 从 V_{DDA} 消耗的电流	DAC 输出缓冲器 ON	无负载, 最差值 (0xF1C)	-	450	670	μA
		DAC 输出缓冲器 OFF	无负载, 中间值 (0x800)	-	-	0.2	
		采样和保持模式, $C_{SH} = 100 \text{ nF}$		-	$315 \times \frac{T_{on}}{(T_{on}+T_{off})}^{(3)}$	$670 \times \frac{T_{on}}{(T_{on}+T_{off})}^{(3)}$	
$I_{DDV(DAC)}$	DAC 从 V_{REF+} 消耗的电流	DAC 输出缓冲器 ON	无负载, 中间值 (0x800)	-	185	240	μA
			无负载, 最差值 (0xF1C)	-	340	400	
		DAC 输出缓冲器 OFF	无负载, 中间值 (0x800)	-	155	205	
		采样和保持模式, 缓冲器 ON, $C_{SH} = 100 \text{ nF}$, 最差情况		-	$185 \times \frac{T_{on}}{(T_{on}+T_{off})}^{(3)}$	$400 \times \frac{T_{on}}{(T_{on}+T_{off})}^{(3)}$	
		采样和保持模式, 缓冲器 OFF, $C_{SH} = 100 \text{ nF}$, 最差情况		-	$155 \times \frac{T_{on}}{(T_{on}+T_{off})}^{(3)}$	$205 \times \frac{T_{on}}{(T_{on}+T_{off})}^{(3)}$	

- 在缓冲模式下, 输出可超过低输入值的最终值 (从最小值开始)。
- 参见表 64. I/O 静态特性。
- T_{on} 是刷新阶段持续时间。 T_{off} 是保持阶段持续时间。更多详细信息, 请参见 RM0503 参考手册。

图 28. 12 位缓冲/非缓冲 DAC


(1) DAC 集成了输出缓冲器, 可用来降低输出阻抗并在不使用外部运算放大器的情况下直接驱动外部负载。如果将 DAC_CR 寄存器的 BOFFx 位置 1, 可将该缓冲器旁路。

- DAC 集成了输出缓冲器, 可用来降低并在不使用外部运算放大器的情况下直接驱动外部负载。如果将 DAC_CR 寄存器的 BOFFx 位置 1, 可将该缓冲器旁路。

表 77. DAC 精度

由设计指定, 未经生产测试。

符号	参数	条件	最小值	典型值	最大值	单位
DNL	差分非线性误差 ⁽¹⁾	DAC 输出缓冲器 ON	-	-	±2	LSB
		DAC 输出缓冲器 OFF	-	-	±2	
-	单调	10 位	保证			
INL	积分非线性误差 ⁽²⁾	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ	-	-	±4	

符号	参数	条件	最小值	典型值	最大值	单位
INL	积分非线性误差 ⁽²⁾	DAC 输出缓冲器 OFF CL ≤ 50 pF, 无 RL	-	-	±4	LSB
Offset	代码 0x800 处的偏移误差 ⁽²⁾	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ	V _{REF+} = 3.6 V - V _{REF+} = 1.8 V	-	±12 ±25	
		DAC 输出缓冲器 OFF CL ≤ 50 pF, 无 RL	-	-	±8	
Offset1	代码 0x001 处的偏移误差 ⁽³⁾	DAC 输出缓冲器 OFF CL ≤ 50 pF, 无 RL	-	-	±5	
OffsetCal	校准后代码 0x800 处的偏移误差	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ	V _{REF+} = 3.6 V - V _{REF+} = 1.8 V	-	±5 ±7	
Gain	增益误差 ⁽⁴⁾	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ	-	-	±0.5	%
		DAC 输出缓冲器 OFF CL ≤ 50 pF, 无 RL	-	-	±0.5	
TUE	总未调整误差	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ	-	-	±30	LSB
		DAC 输出缓冲器 OFF CL ≤ 50 pF, 无 RL	-	-	±12	
TUECal	校正后的总未调整误差	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ	-	-	±23	LSB
SNR	信噪比	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ 1 kHz, BW 500 kHz	-	71.2	-	dB
		DAC 输出缓冲器 OFF CL ≤ 50 pF, 无 RL, 1 kHz BW 500 kHz	-	71.6	-	
THD	总谐波失真	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ, 1 kHz	-	-78	-	dB
		DAC 输出缓冲器 OFF CL ≤ 50 pF, 无 RL, 1 kHz	-	-79	-	
SINAD	信噪失真比	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ, 1 kHz	-	70.4	-	dB
		DAC 输出缓冲器 OFF CL ≤ 50 pF, 无 RL, 1 kHz	-	71	-	
ENOB	有效位数	DAC 输出缓冲器 ON CL ≤ 50 pF, RL ≥ 5 kΩ, 1 kHz	-	11.4	-	位
		DAC 输出缓冲器 OFF CL ≤ 50 pF, 无 RL, 1 kHz	-	11.5	-	

- 两个连续代码之间的偏差 - 1 LSB。
- 代码 *i* 处测得的值与代码 0 及最后一个代码 4095 之间连线上代码 *i* 处的值之间的差。
- 在代码 (0x001) 处测得的值与理想值之间的差。
- 传递函数的理想斜率与根据代码 0x000 和 0xFFFF (缓冲器关闭时) 以及根据 0.2 V 和 (V_{REF+} - 0.2) V 时的代码 (缓冲器打开时) 计算的测量斜率之间的差值。

6.3.22 电压参考缓冲器特性

表 78. VREFBUF 特性

由设计指定，未经生产测试。

符号	参数	条件		最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	正常模式	$V_{RS} = 0$	2.4	-	3.6	V
			$V_{RS} = 1$	2.8	-	3.6	
		降级模式 ⁽¹⁾	$V_{RS} = 0$	1.65	-	2.4	
			$V_{RS} = 1$	1.65	-	2.8	
V_{REFBUF_OUT}	电压参考输出	$I_{load} = 100\ \mu A$ $T = 30\ ^\circ C$	$V_{RS} = 0$	2.038	2.042	2.046	
			$V_{RS} = 1$	2.497	2.5	2.503	
			$V_{RS} = 0$	$V_{DDA} - 150\ mV$	-	V_{DDA}	
			$V_{RS} = 1$	$V_{DDA} - 150\ mV$	-	V_{DDA}	
TRIM	微调步长分辨率	-	-	-	± 0.05	± 0.1	%
CL	负载电容	-	-	0.5	1	1.5	μF
esr	C_{load} 的等效串联电阻	-	-	-	-	2	Ω
I_{load}	静态负载电流	-	-	-	-	4	mA
I_{line_reg}	电压稳定度	$2.8\ V \leq V_{DDA} \leq 3.6\ V$	$I_{load} = 500\ \mu A$	-	200	1000	ppm/V
			$I_{load} = 4\ mA$	-	100	500	
I_{load_reg}	负载稳定度	$500\ \mu A \leq I_{load} \leq 4\ mA$	正常模式	-	50	500	ppm/mA
$T_{Coeff_vrefbuf}$	VREFBUF 的温度系数 ⁽²⁾	$-40\ ^\circ C < T_J < +125\ ^\circ C$		-	-	50	ppm/ $^\circ C$
PSRR	电源抑制比	DC		40	60	-	dB
		100 kHz		25	40	-	
t_{START}	启动时间	$CL = 0.5\ \mu F^{(3)}$		-	300	350	μs
		$CL = 1.1\ \mu F^{(3)}$		-	500	650	
		$CL = 1.5\ \mu F^{(3)}$		-	650	800	
I_{INRUSH}	控制启动阶段 VREFBUF_OUT 上的最大直流驱动电流 ⁽⁴⁾	-		-	8	-	mA
$I_{DDA(VREFBUF)}$	VREFBUF 从 V_{DDA} 消耗的电流	$I_{load} = 0\ \mu A$		-	16	25	μA
		$I_{load} = 500\ \mu A$		-	18	30	
		$I_{load} = 4\ mA$		-	35	50	

- 在降级模式下，电压参考缓冲器无法准确保持所遵循的输出电压 (V_{DDA} - 压降)。
- VREF+ 输出端的温度系数为 $T_{Coeff_vrefint}$ 与 $T_{Coeff_vrefbuf}$ 之和。
- 容性负载中必须包含一个 100 nF 电容才能截止高频噪声。
- 要正确控制启动阶段的 VREFBUF 浪涌电流和调节变化， V_{DDA} 电压的范围在 $V_{RS} = 0$ 和 $V_{RS} = 1$ 的情况下应分别为 [2.4 V 到 3.6 V] 和 [2.8 V 到 3.6 V]。

6.3.23 比较器特性

表 79. COMP 特性

除非特别说明，否则由设计指定。

符号	参数	条件		最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	-		1.62	-	3.6	V
V _{IN}	比较器输入电压范围	-		0	-	V _{DDA}	
V _{BG} ⁽¹⁾	调节器输入电压	-		V _{REFINT}			
V _{SC}	调节器偏移电压	-		-	±5	±10	mV
I _{DDA} (SCALER)	调节器从 V _{DDA} 消耗的静态电流	BRG_EN=0（桥禁止）		-	200	300	nA
		BRG_EN=1（桥使能）		-	0.8	1	μA
t _{START_SCALER}	调节器启动时间	-		-	100	200	μs
t _{START}	符合传播延迟规范的比较器启动时间	高速模式	V _{DDA} ≥ 2.7 V	-	-	5	μs
			V _{DDA} < 2.7 V	-	-	7	
		中速模式	V _{DDA} ≥ 2.7 V	-	-	15	
			V _{DDA} < 2.7 V	-	-	25	
		超低功耗模式		-	-	40	
t _D ⁽²⁾	100 mV 过驱动时的传播延迟	高速模式	V _{DDA} ≥ 2.7 V	-	55	80	ns
			V _{DDA} < 2.7 V	-	65	100	
		中速模式		-	0.55	0.9	μs
		超低功耗模式		-	4	7	
V _{offset}	比较器偏移误差	完整共模范围	-	-	±5	±20	mV
V _{hys}	比较器迟滞	无迟滞		-	0	-	mV
		低迟滞		4	8	16	
		中等迟滞		8	15	30	
		高迟滞		15	27	52	
I _{DDA} (COMP)	比较器从 V _{DDA} 消耗的电流	超低功耗模式	静态	-	400	600	nA
			50 kHz ±100 mV 过驱动方波信号	-	1200	-	
		中速模式	静态	-	5	7	μA
			50 kHz ±100 mV 过驱动方波信号	-	6	-	
		高速模式	静态	-	70	100	
			50 kHz ±100 mV 过驱动方波信号	-	75	-	
I _{bias}	比较器输入偏置电流	-		-	-	-(3)	nA

- 参见表 25. 内置内部电压参考。
- 按特性评估，未经生产测试。
- 在模拟模式下使用时主要为 I/O 漏电流。参见表 64. I/O 静态特性中的 I_{lk} 参数。

6.3.24 运算放大器特性

表 80. OPAMP 特性

除非特别说明，否则按特性评估。

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟供电电压 ⁽¹⁾	-	1.8	-	3.6	V
CMIR	共模输入范围	-	0	-	V_{DDA}	V
$V_{I\text{OFFSET}}$	输入偏移电压	25 °C，输出上无负载。	-	-	± 1.5	mV
		所有电压/温度	-	-	± 3	
$\Delta V_{I\text{OFFSET}}$	输入偏移电压漂移	正常模式	-	± 5	-	$\mu\text{V}/^\circ\text{C}$
		低功耗模式	-	± 10	-	
TRIMOFFSETP TRIMLPOFFSETP	低共模输入电压时的偏移微调步长 ($0.1 \times V_{DDA}$)	-	-	0.8	1.1	mV
TRIMOFFSETN TRIMLPOFFSETN	高共模输入电压时的偏移微调步长 ($0.9 \times V_{DDA}$)	-	-	1	1.35	
I_{LOAD}	驱动电流	正常模式	-	-	500	μA
		低功耗模式	-	-	100	
I_{LOAD_PGA}	PGA 模式下的驱动电流	正常模式	-	-	450	
		低功耗模式	-	-	50	
R_{LOAD}	阻性负载 (连接到 VSSA (或 VDDA))	正常模式	4	-	-	k Ω
		低功耗模式	20	-	-	
R_{LOAD_PGA}	PGA 模式下的电阻负载 (连接到 VSSA 或 VDDA)	正常模式	4.5	-	-	
		低功耗模式	40	-	-	
C_{LOAD}	容性负载	-	-	-	50	pF
CMRR	共模抑制比	正常模式	-	-85	-	dB
		低功耗模式	-	-90	-	
PSRR	电源抑制比	正常模式	70	85	-	dB
		低功耗模式	72	90	-	
GBW	增益带宽乘积	正常模式	550	1600	2200	kHz
		低功耗模式	100	420	600	
		正常模式	250	700	950	
		低功耗模式	40	180	280	
$SR^{(2)}$	压摆率 (输出电压的 10% 到 90%)	正常模式	-	700	-	V/ms
		低功耗模式	-	180	-	
		正常模式	-	300	-	
		低功耗模式	-	80	-	
AO	开环增益	正常模式	55	110	-	dB
		低功耗模式	45	110	-	
$V_{OHSAT}^{(2)}$	高饱和电压	正常模式	$V_{DDA} - 100$	-	-	mV
		低功耗模式	$V_{DDA} - 50$	-	-	

符号	参数	条件		最小值	典型值	最大值	单位
$V_{OHSAT}^{(2)}$	低饱和电压	正常模式	电压为 0 时 I_{load} = 最大输入或	-	-	100	mV
		低功耗模式	R_{load} = 最小输入。	-	-	50	
φ_m	相位余量	正常模式		-	74	-	°
		低功耗模式		-	66	-	
GM	增益余量	正常模式		-	13	-	dB
		低功耗模式		-	20	-	
t_{WAKEUP}	从 OFF 状态的唤醒时间。	正常模式	$C_{LOAD} \leq 50$ pf, $R_{LOAD} \geq 4$ kΩ 跟随器配置	-	5	10	μs
		低功耗模式	$C_{LOAD} \leq 50$ pf, $R_{LOAD} \geq 20$ kΩ 跟随器配置	-	10	30	
I_{bias}	OPAMP 输入偏置电流	通用输入		-	-	-(3)	nA
PGA gain ⁽²⁾	非反相增益值	-		-	2	-	-
				-	4	-	
				-	8	-	
				-	16	-	
$R_{network}$	PGA 模式下的 $R2/R1$ 内部电阻值 ⁽⁴⁾	PGA 增益 = 2		-	80/80	-	kΩ/kΩ
		PGA 增益 = 4		-	120/ 40	-	
		PGA 增益 = 8		-	140/ 20	-	
		PGA 增益 = 16		-	150/ 10	-	
Delta R	电阻变化 (R1 或 R2)	-		-15	-	15	%
PGA gain error	PGA 增益误差	-		-1	-	1	%
PGA BW	不同非反相增益的 PGA 带宽	增益 = 2	-	-	GBW/2	-	MHz
		增益 = 4	-	-	GBW/4	-	
		增益 = 8	-	-	GBW/8	-	
		增益 = 16	-	-	GBW/16	-	
e_n	电压噪声密度	正常模式	1 kHz, 输出负载为 4 kΩ	-	500	-	nV/√Hz
		低功耗模式	1 kHz, 输出负载为 20 kΩ	-	600	-	
		正常模式	10 kHz, 输出负载为 4 kΩ	-	180	-	
		低功耗模式	10 kHz, 输出负载为 20 kΩ	-	290	-	
$I_{DDA(OPAMP)}^{(2)}$	OPAMP 从 V_{DDA} 消耗的电流	正常模式	无负载, 静态模式	-	120	260	μA
		低功耗模式		-	45	100	

1. 当 V_{DDA} 低于 2 V 时, 温度范围限定为 0 °C 到 125 °C

2. 按特性评估, 未经生产测试。

3. 当用于模拟模式时, 主要是 I/O 漏电流。参见表 64. I/O 静态特性中的 I_{lk} 参数。

4. $R2$ 为 OPAMP 输出与 OPAMP 反相输入之间的内部电阻。 $R1$ 为 OPAMP 反相输入和接地间的内部电阻。 PGA 增益 = $1+R2/R1$

6.3.25 LCD 控制器特性

这些器件内嵌升压转换器, 可提供与 V_{DD} 电压无关的 LCD 参考电压。外部电容 C_{ext} 必须连接到 VLCD 引脚才能将该转换器去耦。

表 81. LCD 控制器特性

由设计指定，未经生产测试。

符号	参数	条件	最小值	典型值	最大值	单位
V_{LCD}	LCD 外部电压		-	-	3.6	V
V_{LCD0}	LCD 内部参考电压 0		-	2.62	-	
V_{LCD1}	LCD 内部参考电压 1		-	2.76	-	
V_{LCD2}	LCD 内部参考电压 2		-	2.89	-	
V_{LCD3}	LCD 内部参考电压 3		-	3.04	-	
V_{LCD4}	LCD 内部参考电压 4		-	3.19	-	
V_{LCD5}	LCD 内部参考电压 5		-	3.32	-	
V_{LCD6}	LCD 内部参考电压 6		-	3.46	-	
V_{LCD7}	LCD 内部参考电压 7		-	3.62	-	
C_{ext}	V_{LCD} 外部电容	缓冲器 OFF (BUFEN=0 是 LCD_CR 寄存器)	0.2	-	2	μF
		缓冲器 ON (BUFEN=1 是 LCD_CR 寄存器)	1	-	2	
$I_{LCD}^{(1)}$	$V_{DD} = 2.2 V$ 时来自 V_{DD} 的供电电流	缓冲器 OFF (BUFEN=0 是 LCD_CR 寄存器)	-	3	-	μA
	$V_{DD} = 3.0 V$ 时来自 V_{DD} 的供电电流	缓冲器 OFF (BUFEN=0 是 LCD_CR 寄存器)	-	1.5	-	
$I_{V_{LCD}}$	V_{LCD} 的供电电流 ($V_{LCD} = 3 V$)	缓冲器 OFF (BUFFEN = 0, PON = 0)	-	0.5	-	μA
		缓冲器 ON (BUFFEN = 1, 1/2 偏置)	-	0.6	-	
		缓冲器 ON (BUFFEN = 1, 1/3 偏置)	-	0.8	-	
		缓冲器 ON (BUFFEN = 1, 1/4 偏置)	-	1	-	
R_{HN}	低驱动电阻网络的高电阻值总和		-	5.5	-	$M\Omega$
R_{LN}	高驱动电阻网络的低电阻值总和		-	240	-	$k\Omega$
V_{44}	分段/公共最高电平电压		-	V_{LCD}	-	V
V_{34}	分段/公共 3/4 电平电压		-	$3/4 V_{LCD}$	-	
V_{23}	分段/公共 2/3 电平电压		-	$2/3 V_{LCD}$	-	
V_{12}	分段/公共 1/2 电平电压		-	$1/2 V_{LCD}$	-	
V_{13}	分段/公共 1/3 电平电压		-	$1/3 V_{LCD}$	-	
V_{14}	分段/公共 1/4 电平电压		-	$1/4 V_{LCD}$	-	
V_0	分段/公共最低电平电压		-	0	-	

1. LCD 使能并且 3 V 内部升压转换器激活，1/8 占空比，1/4 偏置值，分频比 = 64，所有像素激活，未连接 LCD。

6.3.26 定时器特性

下表列出的参数由设计指定，未经生产测试。

 有关输入/输出复用功能特性（输出比较、输入捕捉、外部时钟、PWM 输出）的详细信息，请参见第 6.3.14 节：[I/O 端口特性](#)。

表 82. TIMx 特性

TIMx 是一个总称，其中的 x 代表 1、2、3、4、5、6、7、8、15、16 或 17。

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨率时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48\text{ MHz}$	20.8	-	ns
f_{EXT}	CH1 到 CH4 上的定时器外部时钟频率	-	0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 48\text{ MHz}$	0	24	MHz
ResTIM	定时器分辨率	TIMx (除了 TIM2)	-	16	位
		TIM2	-	32	
$t_{COUNTER}$	16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48\text{ MHz}$	0.0208	1363.1	μs
t_{MAX_COUNT}	32 位计数器的最大可能计数	-	-	65536×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48\text{ MHz}$	-	89.34	s

表 83. 32 kHz (LSI) 频率条件下 IWDG 最小/最大超时周期

确切的时序仍然依赖于 APB 接口时钟与 LSI 时钟之间的相位差，因此总会有一个完整的 RC 周期是不确定的。

预分频器	PR[2:0] 位	最短超时 RL[11:0] = 0x000	最长超时 RL[11:0] = 0xFFFF	单位
/4	0	0.125	512	ms
/8	1	0.250	1024	
/16	2	0.500	2048	
/32	3	1.0	4096	
/64	4	2.0	8192	
/128	5	4.0	16384	
/256	6 或 7	8.0	32768	

表 84. 56 MHz (PCLK) 时的 WWDG 最小/最大超时值

预分频器	WDGTB	最小超时值	最大超时值	单位
1	0	0.0358	2.2938	ms
2	1	0.0717	4.5875	
4	2	0.1434	9.1750	
8	3	0.2867	18.3501	

6.3.27

I²C 总线接口特性

I2C 接口满足 I²C 总线规范的时序要求，以及 03 版用户手册的：

- 标准模式 (Sm)：比特率最高 100 kbit/s
- 快速模式 (Fm)：比特率最高 400 kbit/s
- 超快速模式 (Fm+)：比特率最高 1 Mbit/s。

正确配置 I2C 外设后，I2C 时序要求是由设计指定的，而不是在生产中测试的（参见 RM0503 参考手册）。

SDA 和 SCL I/O 要求的满足具有以下限制：SDA 和 SCL I/O 引脚不是“真正的”开漏。配置为开漏引脚时，I/O 引脚与 V_{DDIOx} 之间连接的 PMOS 将被禁止，但仍存在。仅 FT_f I/O 引脚支持 Fm+ 低电平最大输出电流要求。请参见第 6.3.14 节：I/O 端口特性以获取 I2C I/O 特性。

所有 I2C SDA 和 SCL I/O 都内置有模拟滤波器。请参见下表以了解模拟滤波器特性：

表 85. I2C 模拟滤波器特性

由设计指定，未经生产测试。

符号	参数	最小值	最大值	单位
t_{AF}	模拟滤波器抑制的最大尖峰脉宽	50 ⁽¹⁾	205 ⁽²⁾	ns

1. 宽度小于 $t_{AF(min)}$ 的尖峰将被滤掉。
2. 宽度大于 $t_{AF(max)}$ 的尖峰不会被滤掉。

6.3.28

USART 特性

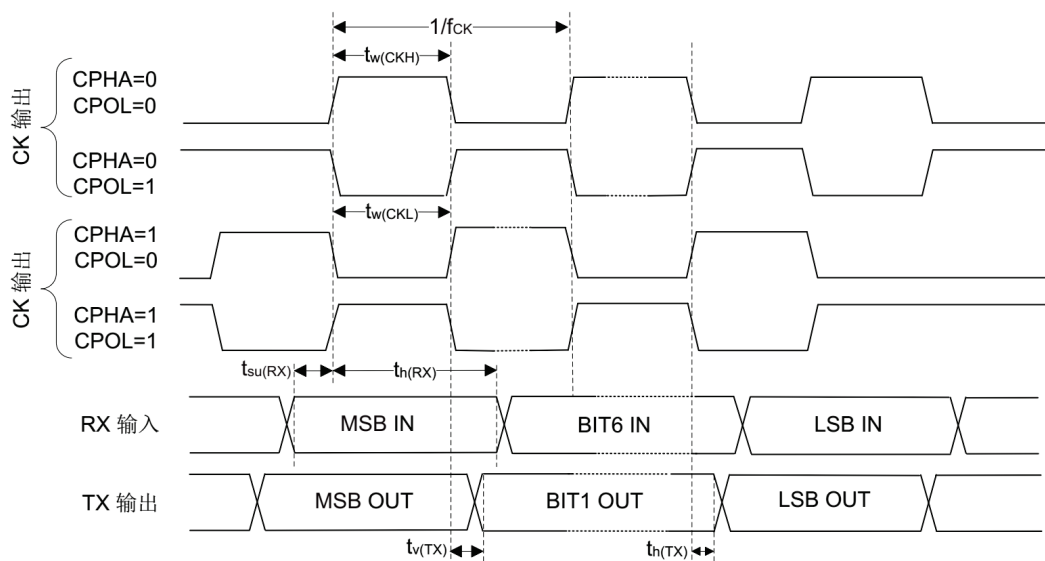
除非特别说明，否则表 86 中给出的参数均在第 6.3.1 节：通用工作条件中汇总的环境温度、 f_{PCLK} 频率和电源电压条件下测试得出。附加的一般条件包括：

- 输出速度设为 $OSPEEDRy[1:0] = 11$ （输出速度）
- 容性负载 $C_L = 30$ pF
- 在 CMOS 电平为 $0.5 \times V_{DD}$ 时完成测量
- 电压调节值设为 $VOS[1:0] = 01$

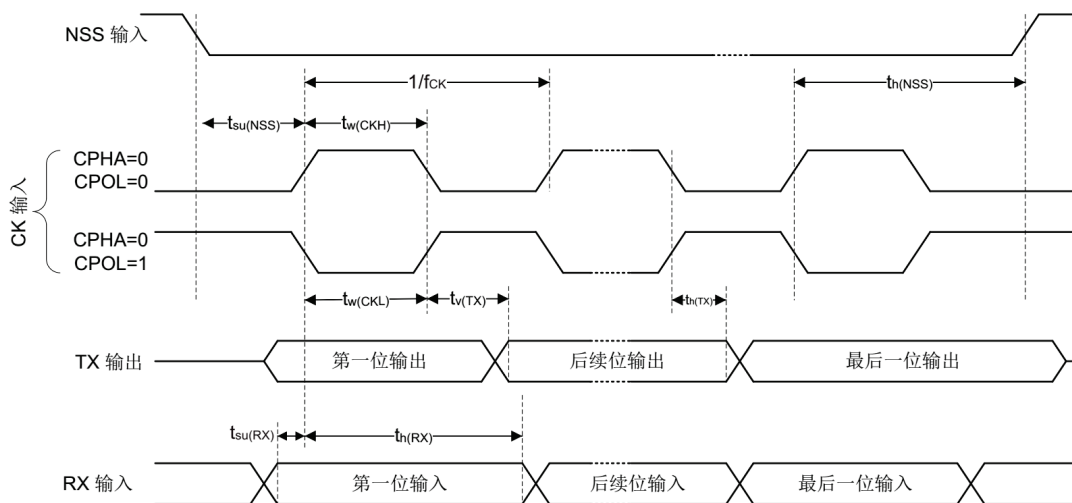
有关输入/输出复用功能特性（对于 USART 为 NSS、CK、TX 和 RX）的更多详细信息，请参见第 6.3.14 节：I/O 端口特性。

表 86. USART 特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{CK}	USART 时钟频率	主模式	-	-	6.75	MHz
		从模式	-	-	18	
t _{su(NSS)}	NSS 建立时间	从模式	t _{ker} + 2	-	-	ns
t _{h(NSS)}	NSS 保持时间		0.5	-	-	
t _{w(CKH)}	SCK 高电平时间	主模式	1 / f _{CK} / 2 - 1	1 / f _{CK} / 2	1 / f _{CK} / 2 + 1	
t _{w(CKL)}	SCK 低电平时间					
t _{su(RX)}	数据输入建立时间	主模式	22	-	-	
		从模式	5	-	-	
t _{h(RX)}	数据输入保持时间	主模式	0	-	-	
		从模式	0.5	-	-	
t _{v(TX)}	数据输出有效时间，	主模式	0	0.5	1	
		从模式，2.7 V ≤ V _{DD} ≤ 3.6 V	16	-	19.5	
		从模式，1.71 V ≤ V _{DD} ≤ 3.6 V	16	-	27.5	
t _{h(TX)}	数据输出保持时间	主模式	0	-	-	
		主模式	10	-	-	

图 29. SPI 主模式下的 USART 时序图


DT65386V3

图 30. SPI 从模式下的 USART 时序图


DT65387V3

6.3.29

SPI 特性

除非特别说明, 否则表 87 中针对 SPI 给出的参数均在第 6.3.1 节: 通用工作条件中汇总的环境温度、 f_{PCLKx} 频率和电源电压条件下测试得出。

- 输出速度设为 $OSPEEDR[1:0] = 11$
- 容性负载 $C = 30 \text{ pF}$
- 在 CMOS 电平为 $0.5 \times V_{DD}$ 时完成测量

有关输入/输出复用功能特性 (对于 SPI 为 NSS、SCK、MOSI、MISO) 的详细信息, 请参见第 6.3.14 节: I/O 端口特性。

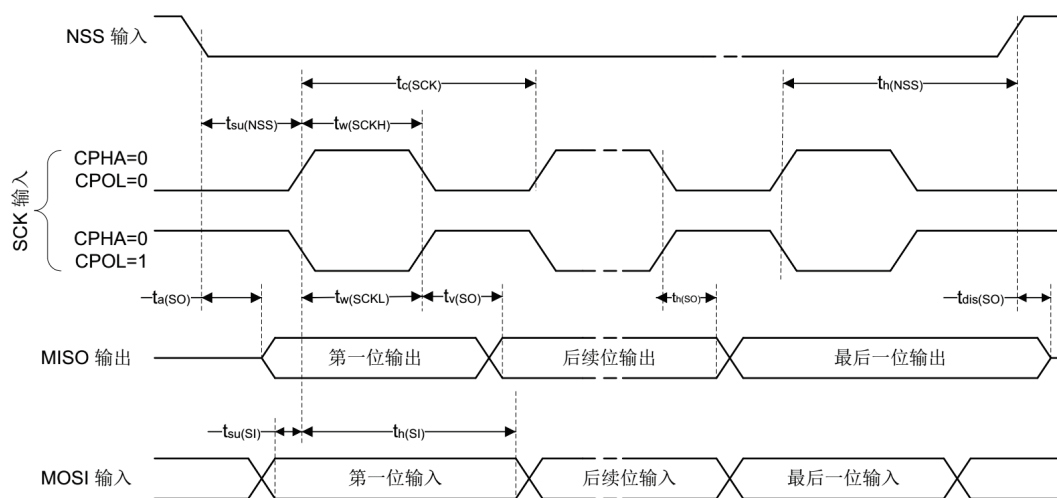
表 87. SPI 特性

按特性评估, 未经生产测试。

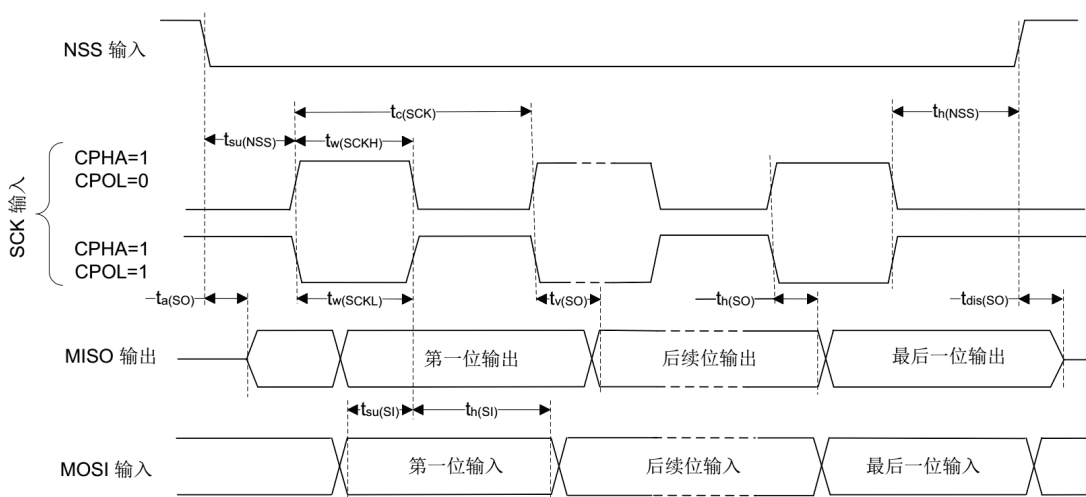
符号	参数	条件	最小值	典型值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI 时钟频率	主模式接收器/全双工 $1.71 < V_{DD} < 3.6 \text{ V}$ 电压范围 1	-	-	27	MHz
		主模式发送器 $1.71 < V_{DD} < 3.6 \text{ V}$ 电压范围 1			27	
		从模式接收器 $1.71 < V_{DD} < 3.6 \text{ V}$ 电压范围 1			27	
		从模式发送器/全双工 $2.7 < V_{DD} < 3.6 \text{ V}$ 电压范围 1			27 ⁽¹⁾	
		从模式发送器/全双工 $1.71 < V_{DD} < 3.6 \text{ V}$ 电压范围 1			21.5 ⁽¹⁾	
		电压范围 2			9.5	
$t_{su(NSS)}$	NSS 建立时间	从模式, SPI 预分频比 = 2	4	-	-	T_{PCLK}
$t_{h(NSS)}$	NSS 保持时间	从模式, SPI 预分频比 = 2	2	-	-	
$t_{w(SCKH)}$ $t_{w(SCKL)}$	SCK 高电平和低电平时间	主模式	$T_{SCK2} - 1.5^{(2)}$	$T_{SCK2}^{(2)}$	$T_{SCK2} + 1.5^{(2)}$	
$t_{su(MI)}$	数据输入建立时间	主模式	3	-	-	ns
$t_{su(SI)}$		从模式	3	-	-	
$t_{h(MI)}$	数据输入保持时间	主模式	2.5	-	-	ns
$t_{h(SI)}$		从模式	2.5	-	-	
$t_{a(SO)}$	数据输出访问时间	从模式	10	12.5	20	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	6	7.5	18	ns
$t_{v(SO)}$	数据输出有效时间	从模式 $2.7 < V_{DD} < 3.6 \text{ V}$ 电压范围 1	-	15	18	ns
		从模式 $1.71 < V_{DD} < 3.6 \text{ V}$ 电压范围 1	-	15	23	
		从模式 $1.71 < V_{DD} < 3.6 \text{ V}$ 电压范围 2	-	22	30	
$t_{v(MO)}$		主模式	-	3	5.5	
$t_{h(SO)}$	数据输出保持时间	从模式	10	-	-	ns
$t_{h(MO)}$		主模式	1	-	-	

1. 在从发射器模式下, 最大频率由 $t_{v(SO)}$ 和 $t_{su(MI)}$ 之和决定, 必须适合 SCK 采样边沿之前的 SCK 低或高相位。当与 SPI 通信的主设备的 $t_{su(MI)} = 0$, $Duty(SCK) = 50\%$ 时, 可达到此值。

2. $T_{SCK2} = T_{PCLK} \times \text{预分频比} / 2$

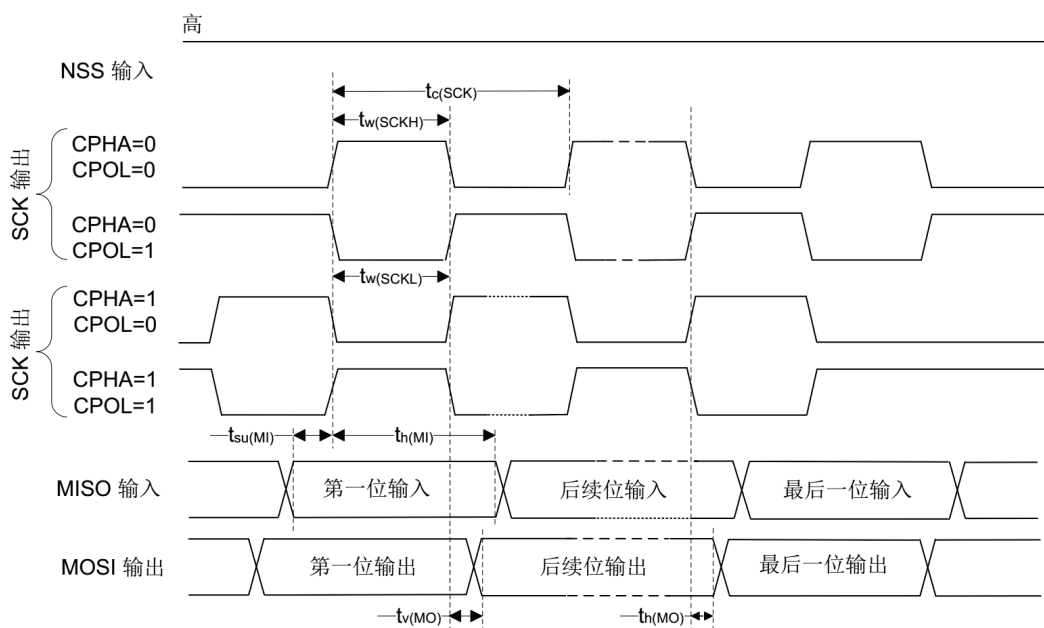
图 31. SPI 时序图-从模式且 CPHA = 0


DT41658V2

图 32. SPI 时序图-从模式且 CPHA = 1


DT41659V2

1. 在 CMOS 电平为 $0.3 V_{DD}$ 和 $0.7 V_{DD}$ 时完成测量。

图 33. SPI 时序图-主模式


DT72626V1

 1. 在 CMOS 电平为 $0.3 V_{DD}$ 和 $0.7 V_{DD}$ 时完成测量。

6.3.30 USB 特性

USB 接口完全符合 USB 规范 2.0 版要求，并通过 USB-IF 认证（全速设备运行）。

表 88. USB 电气特性

 除非特别说明，否则 $T_A = -40^{\circ}\text{C}$ 到 125°C 。

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDUSB}	USB 收发器工作电压	-	3.0 ⁽¹⁾	-	3.6	V
$T_{\text{crystal_less}}$	USB 无晶振工作温度	-	-15	-	85	$^{\circ}\text{C}$
$t_{\text{STARTUP}}^{(2)}$	USB 收发器启动时间	-	-	-	1.0	μs
R_{PUI}	空闲期间内置 USB_DP 的上拉电阻值	-	900	1250	1600	Ω
R_{PUR}	接收期间内置 USB_DP 的上拉电阻值	-	1400	2300	3200	
$Z_{\text{DRV}}^{(2)}$	输出驱动器阻抗 ⁽³⁾	高速和低速驱动器	28	36	44	

- 电压降至 2.7 V 时 USB 功能可得到保证，但在 2.7 V 到 3.0 V 的电压范围内，部分电气特性会降低。
- 由设计指定，未经生产测试。
- USB_DP (D+) 和 USB_DM (D-) 上不需要外部端接串联电阻。内置的驱动器中已包含匹配阻抗。

7 封装信息

为满足环境要求，意法半导体为这些器件提供了不同等级的 **ECOPACK** 封装，具体取决于它们的环保合规等级。ECOPACK 规范、等级定义和产品状态可在 www.st.com 网站获得。ECOPACK 是意法半导体的商标。

7.1 器件标记

有关引脚 1/焊球 A1 的位置以及标记区域相对于引脚 1/焊球 A1 的位置和方向，请参见技术笔记“STM32 微控制器和微处理器的参考器件标记示意图”(TN1433)（可从 www.st.com 获取）。

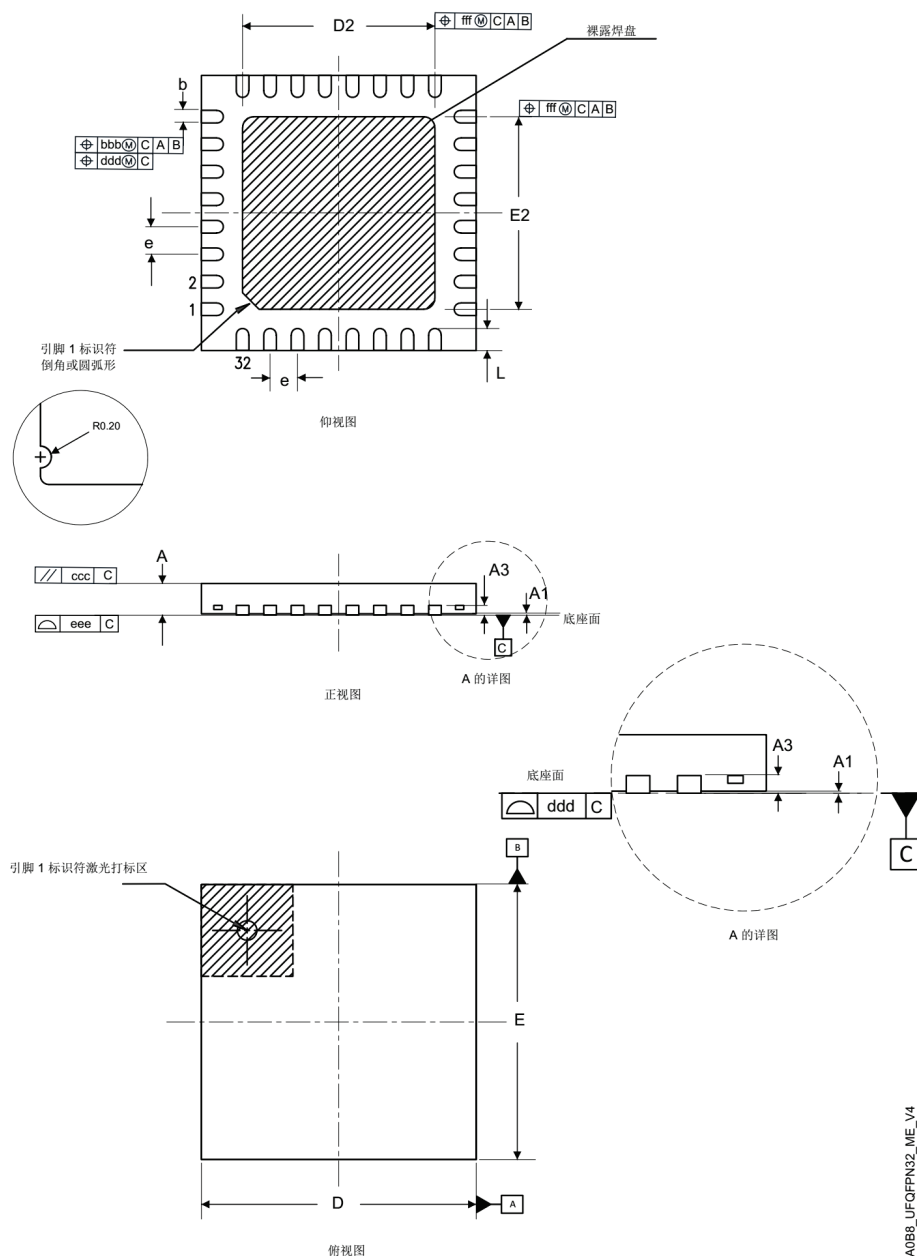
标有“ES”、“E”或附有工程样片通知书的部件尚未通过认证，因此未获准用于生产。意法半导体对此类使用产生的任何后果概不负责。在任何情况下，意法半导体都不负责客户在生产中对这些工程样片的使用。在决定使用这些工程样片运行品质检测之前，必须联系意法半导体质量部门。

相应的封装信息小节中提供了 WLCSP 简化标记示例（如果有）。

7.2 UFQFPN32 封装信息 (A0B8)

这种 UFQFPN 为 32 引脚、5 x 5 mm、0.5 mm 间距的超薄型紧密排列方形扁平封装。

图 34. UFQFPN32 - 封装轮廓图



1. 图纸未按比例绘制。
2. 所有引线/焊盘还应焊至 PCB，以提高引线/焊盘的焊接熔点寿命。
3. 在 UFQFPN 封装的下方，有一个裸露的晶片焊盘。建议将后部的这个焊盘通过焊接的方式与 PCB 接地连接。

A0B8_UFQFPN32_ME_V4

表 89. UFQFPN32 - 机械数据

符号	毫米 ⁽¹⁾			英寸 ⁽²⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A ⁽³⁾⁽⁴⁾	0.50	0.55	0.60	0.0197	0.0217	0.0236
A1 ⁽⁵⁾	0.00	-	0.05	0.000	-	0.0020
A3 ⁽⁶⁾	-	0.15	-	-	0.0060	-
b ⁽⁷⁾	0.18	0.25	0.30	0.0071	0.010	0.0118
D ⁽⁸⁾⁽⁹⁾	5.00 BSC			0.1969 BSC		
D2	3.50	3.60	3.70	0.139	0.143	0.147
E ⁽⁸⁾⁽⁹⁾	5.00 BSC			0.1969 BSC		
E2	3.50	3.60	3.70	0.139	0.143	0.147
e ⁽⁹⁾	-	0.50	-	-	0.02	-
N ⁽¹⁰⁾	32					
K	0.15	-	-	0.006	-	-
L	0.30	-	0.50	0.0119	-	0.0199
R	0.09	-	-	0.004	-	-

1. 所有尺寸单位均为毫米。尺寸和容差方案符合 ASME Y14.5M-2018 标准（欧洲除外）。
2. 英寸值由毫米值换算后四舍五入至 4 位小数而得。
3. UFQFPN 表示无引线超薄紧密排列方形扁平封装：A ≤ 0.60mm/间距 e ≤ 1.00mm。
4. 封装高度 A 是从底座面到封装最高点的距离。测量时应与底座面垂直。
5. A1 是塑料体底面与最接近底面的金属部位的垂直距离。
6. A3 是底座面与端子上表面之间的距离。
7. 尺寸 b 适用于金属端子。如果端子另一端的半径是可选的，则不得在这个可选的半径区域内测量尺寸 b。
8. 尺寸 D 和 E 不包含模具突起，不超过 0.15mm。
9. BSC 表示基本尺寸。对应于正常值，无容差。有关容差的信息，请参见 表 93。
10. N 表示管脚总数。

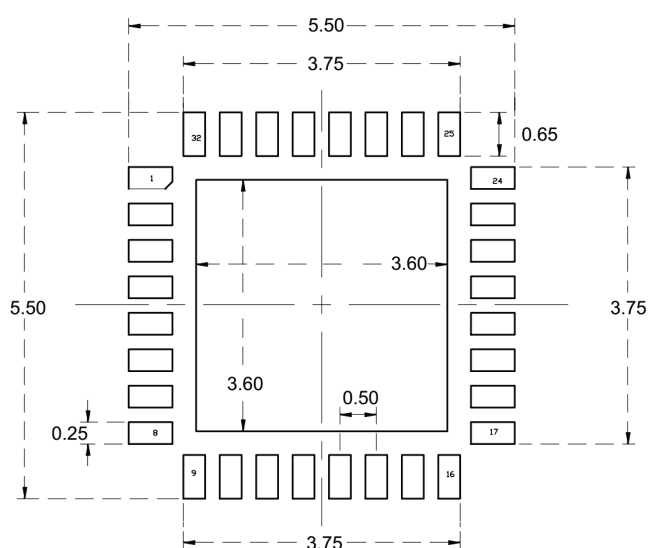
表 90. 形状和位置公差

符号 ⁽¹⁾	形状和位置公差 ⁽²⁾ 毫米	形状和位置公差 ⁽³⁾ 英寸
aaa	0.15	0.006
bbb	0.10	0.004
ccc	0.10	0.004
ddd	0.05	0.002
eee	0.10	0.004
fff	0.10	0.004

1. 有关形状和位置公差的定义，请参见 表 94。
2. 所有尺寸单位均为毫米。尺寸和容差方案符合 ASME Y14.5M-2018 标准（欧洲除外）。
3. 英寸值由毫米值转换后四舍五入至 4 位小数得出。

表 91. 形状和位置公差符号定义

符号	定义
aaa	双侧轮廓公差，控制塑料体各边的位置。轮廓区域的中心位置由基本尺寸 D 和 E 定义。
bbb	该公差控制端子相对于基准 A 和 B 的位置。各端子公差带的中心位置由基本尺寸 e （与基准 A 和 B 相关）定义。
ccc	平行于底座面的位置公差，封装顶面必须在该公差范围内。
ddd	该公差控制端子之间的相对位置。轮廓区域的中心位置由基本尺寸 e 定义。
eee	底座面上方的单侧位置公差（所有端子的底面必须在该公差分为内） = 共面
fff	该公差控制裸露金属热特性的位置。公差带的中心位置由封装体的中心线定义

图 35. UFQFPN32 - 封装尺寸示例


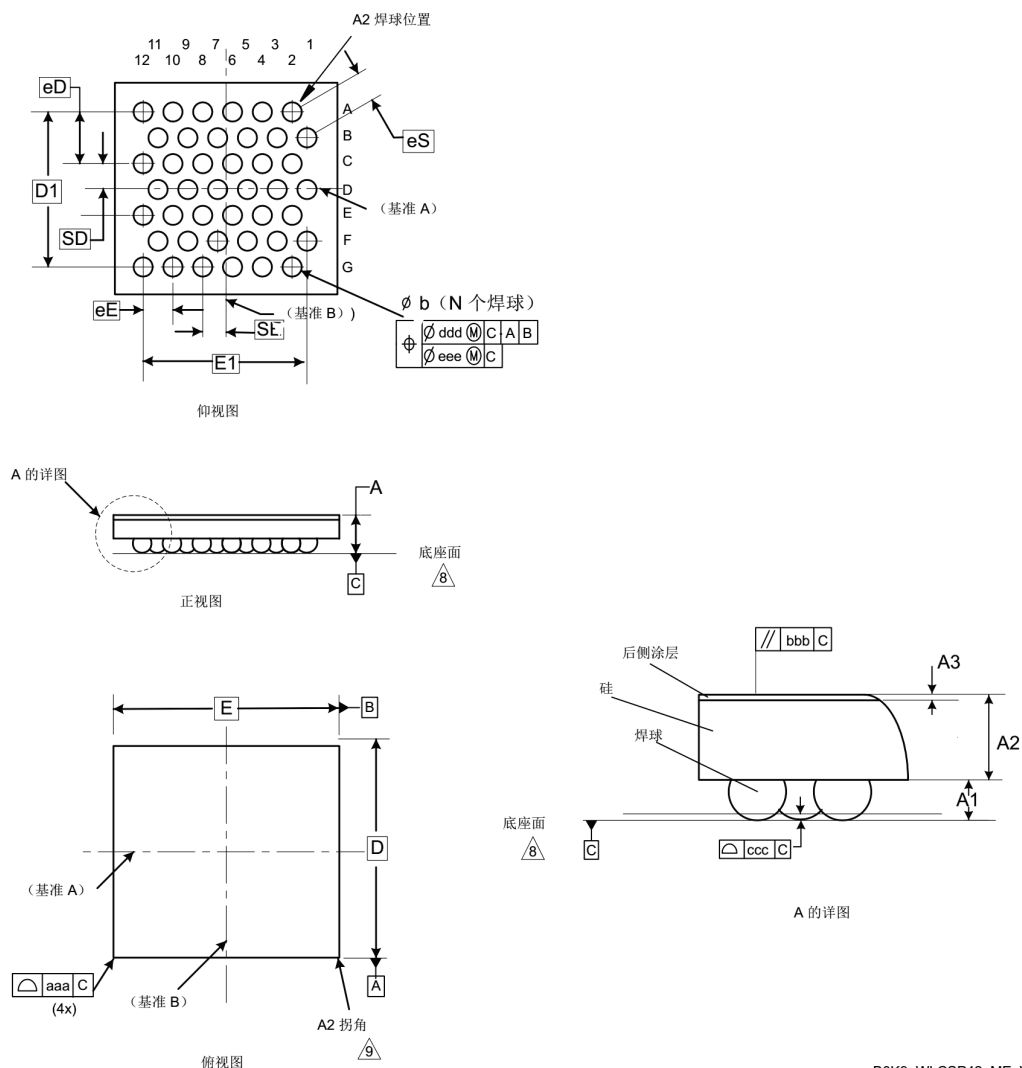
A0B8_UFQFPN32_FP_V1

1. 尺寸单位为毫米。

7.3 WLCSP42 封装信息 (B0K9)

这种 WLCSP 是 42 焊球、2.82 x 2.93 mm、0.40 mm 间距晶圆级芯片封装。

图 36. WLCSP42 - 封装轮廓图



B0K9_WLCSP42_ME_V2

1. 图纸未按比例绘制

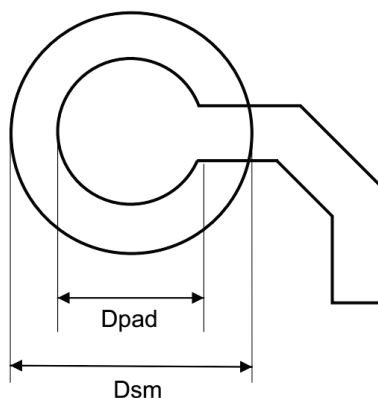
表 92. WLCSP42 - 机械数据

符号	毫米			英寸 ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A ⁽²⁾	-	-	0.58	-	-	0.0228
A1 ⁽³⁾	-	0.17	-	-	0.0067	-
A2	-	0.38	-	-	0.0150	-

符号	毫米			英寸 ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A3（如果适用）	-	0.025	-	-	0.0010	-
b ⁽⁴⁾	0.23	0.25	0.28	0.0090	0.0098	0.0110
D ⁽⁵⁾	2.82 BSC			0.1110 BSC		
D1 ⁽⁵⁾	2.078 BSC			0.0818 BSC		
E ⁽⁵⁾	2.93 BSC			0.1153 BSC		
E1 ⁽⁵⁾	2.200 BSC			0.0866 BSC		
eD ⁽⁵⁾⁽⁶⁾	0.693 BSC			0.0273 BSC		
eE ⁽⁵⁾⁽⁶⁾	0.400 BSC			0.0157 BSC		
eS ⁽⁵⁾⁽⁶⁾	0.400 BSC			0.0157 BSC		
N ⁽⁷⁾	42					
SD ⁽⁵⁾⁽⁸⁾	0.346 BSC			0.0136 BSC		
SE ⁽⁵⁾⁽⁸⁾	0.300 BSC			0.0118 BSC		
aaa ⁽⁹⁾	0.030			0.0012		
bbb ⁽⁹⁾	0.060			0.0023		
ccc ⁽⁹⁾	0.030			0.0012		
ddd ⁽⁹⁾	0.015			0.0006		
eee ⁽⁹⁾	0.050			0.0020		

1. 英寸值由毫米值换算后四舍五入至 4 位小数而得来。
2. 封装高度 A 是从底座面到封装最高点的距离。测量时应与底座面垂直。
3. A1 定义为从底座面到封装最低点的距离。
4. 尺寸 b 是在平行于基准面 C 的平面内端子（焊球）的最大直径位置测得。
5. BSC 代表基本尺寸。对应于正常值，无公差。有关公差的信息，请参见形状和位置表。图纸上，这些尺寸在方框中。有关公差的信息，请参见形状和位置值。
6. e 表示焊球排列阵列
7. N 表示焊球总数。
8. 基本尺寸 SD 和 SE 定义相对于基准 A 和 B 的焊球矩阵位置。
9. 形状和位置图的公差

图 37. WLCSP42 - 封装尺寸示例



1. 尺寸单位为毫米。

表 93. WLCSP42 - PCB 设计规则示例

尺寸	值
间距	0.400 mm
Dpad	0,250 mm
Dsm	0.325 mm 典型值（取决于阻焊层对准公差）
模板开口	0.325 mm
模板厚度	0.100 mm

7.3.1

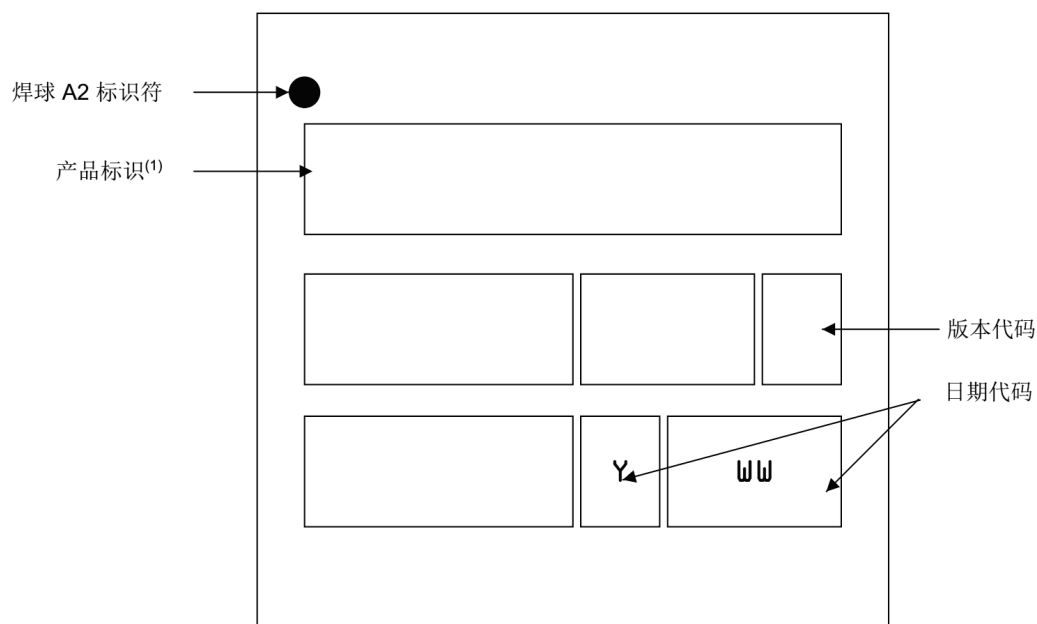
WLCSP42 的器件标记

下图给出了上部标记与焊球 A2 位置标识符所在位置的示例。

印刷标记可能因供应链而异。

其他可选标记或嵌入/翻转标记（取决于供应链操作）未在下图指出。

图 38. WLCSP42 标记示例



DT72630V2

1. 标有“ES”、“E”或附有工程样片通知书的部件尚未通过认证，因此未获准用于生产。意法半导体对此类使用产生的任何后果概不负责。在任何情况下，意法半导体都不负责客户在生产中对这些工程样片的使用。在决定使用这些工程样片运行品质检测之前，必须联系意法半导体质量部门。

7.4 LQFP48 封装信息 (5B)

这种 LQFP 封装是 48 引脚 7 x 7 mm 薄型正方扁平封装。

注： 参见说明部分中的说明列表。

图 39. LQFP48- 封装轮廓图^(15.)

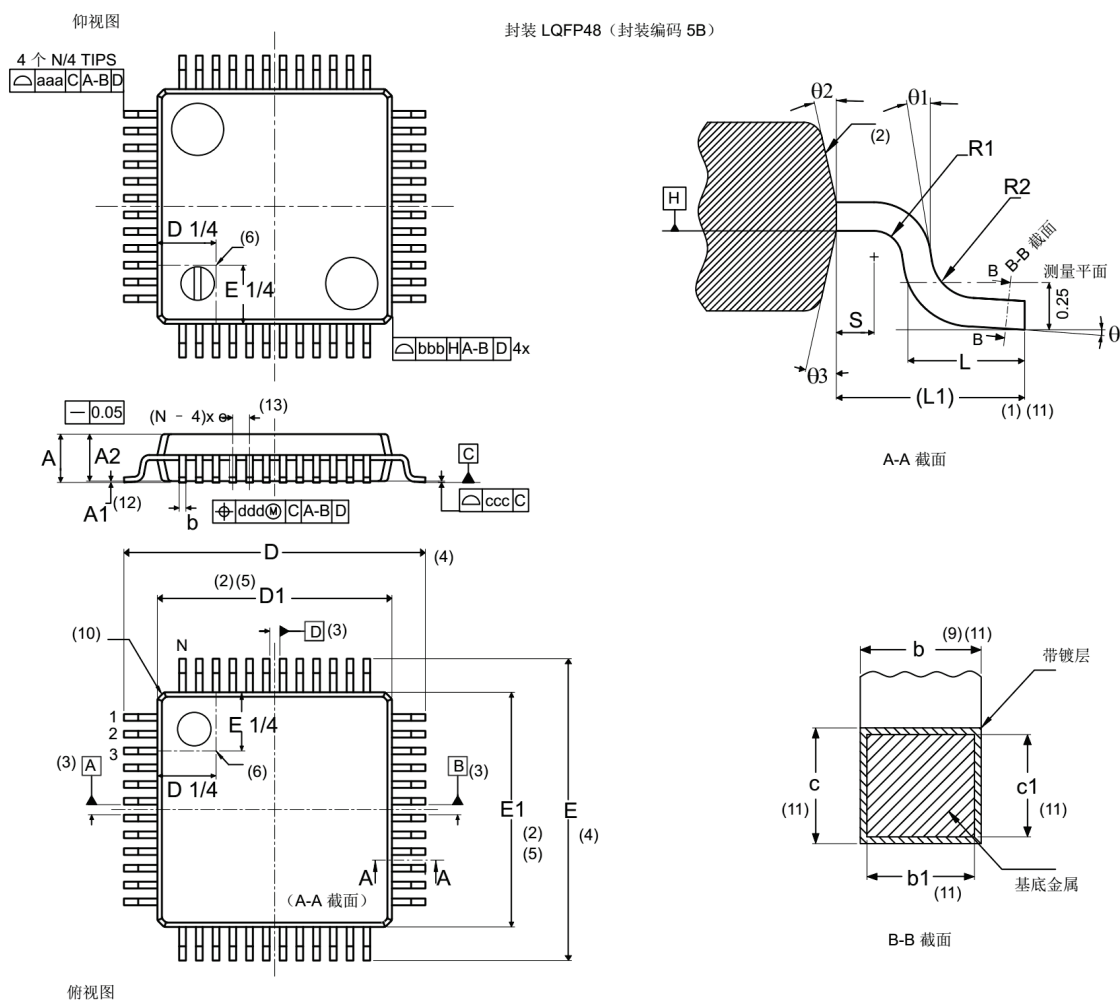


表 94. LQFP48 - 机械数据

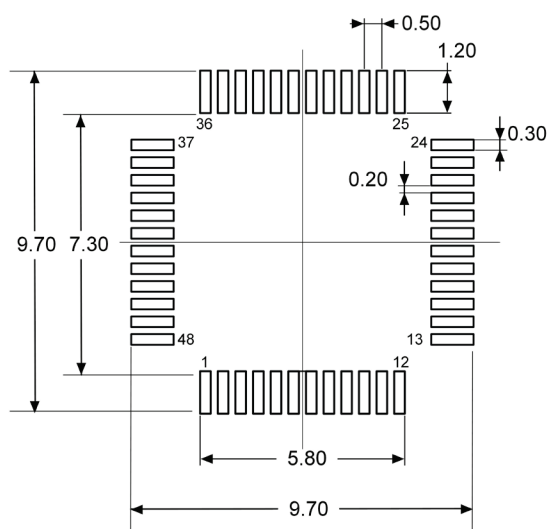
符号	毫米			英寸 ^(14.)		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.60	-	-	0.0630
A1 ^(12.)	0.05	-	0.15	0.0020	-	0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b ^(9.) (11.)	0.17	0.22	0.27	0.0067	0.0087	0.0106
b1 ^(11.)	0.17	0.20	0.23	0.0067	0.0079	0.0090
c ^(11.)	0.09	-	0.20	0.0035	-	0.0079
c1 ^(11.)	0.09	-	0.16	0.0035	-	0.0063

符号	毫米			英寸 ^(14.)		
	最小值	典型值	最大值	最小值	典型值	最大值
D ^(4.)	9.00 BSC			0.3543 BSC		
D1 ^{(4.)(5.)}	7.00 BSC			0.2756 BSC		
E ^(4.)	9.00 BSC			0.3543 BSC		
E1 ^{(4.)(5.)}	7.00 BSC			0.2756 BSC		
e	0.50 BSC			0.1970 BSC		
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1	1.00 REF			0.0394 REF		
N ^(13.)	48					
θ	0°	3.5°	7°	0°	3.5°	7°
θ1	0°	-	-	0°	-	-
θ2	10°	12°	14°	10°	12°	14°
θ3	10°	12°	14°	10°	12°	14°
R1	0.08	-	-	0.0031	-	-
R2	0.08	-	0.20	0.0031	-	0.0079
S	0.20	-	-	0.0079	-	-
aaa ^{(1.)(7.)}	0.20			0.0079		
bbb ^{(1.)(7.)}	0.20			0.0079		
ccc ^{(1.)(7.)}	0.08			0.0031		
ddd ^{(1.)(7.)}	0.08			0.0031		

注：

1. 尺寸和容差方案符合 ASME Y14.5M-1994。
2. 顶部封装体尺寸可能比底部封装尺寸小 0.15 mm。
3. 基准 A-B 和 D 在基准面 H 处确定。
4. 在底座基准面 C 处确定。
5. 尺寸 D1 和 E1 不包括模具毛边或突出部分。每侧允许的模具毛边或突出部分大小为“0.25 mm”。D1 和 E1 是最大塑料体尺寸（包括模具错位）。
6. 引脚 1 标识符的具体细节为可选内容，但必须在所指示的区域内。
7. 所有尺寸单位均为毫米。
8. 不允许侵入到引线框架内。
9. 尺寸“b”不包括引脚连接条突起。允许的引脚连接条突起应不会使引线框宽度超出最大“b”尺寸 0.08 mm 以上。引脚连接条不能位于较低半径部分或底部。对于间距为 0.4 mm 和 0.5 mm 的封装，突起与相邻引线之间的最小间隙为 0.07 mm。
10. 可以选择各个拐角的确切形状。
11. 这些尺寸适用于距引线末端 0.10 mm 到 0.25 mm 之间的引线的扁平部分。
12. A1 定义为从底座面到封装最低点的距离。
13. “N”是指定封装体尺寸对应的管脚数。
14. 英寸值为毫米值换算后四舍五入到 4 位小数的值。
15. 图纸未按比例绘制。

图 40. LQFP48 - 封装尺寸示例

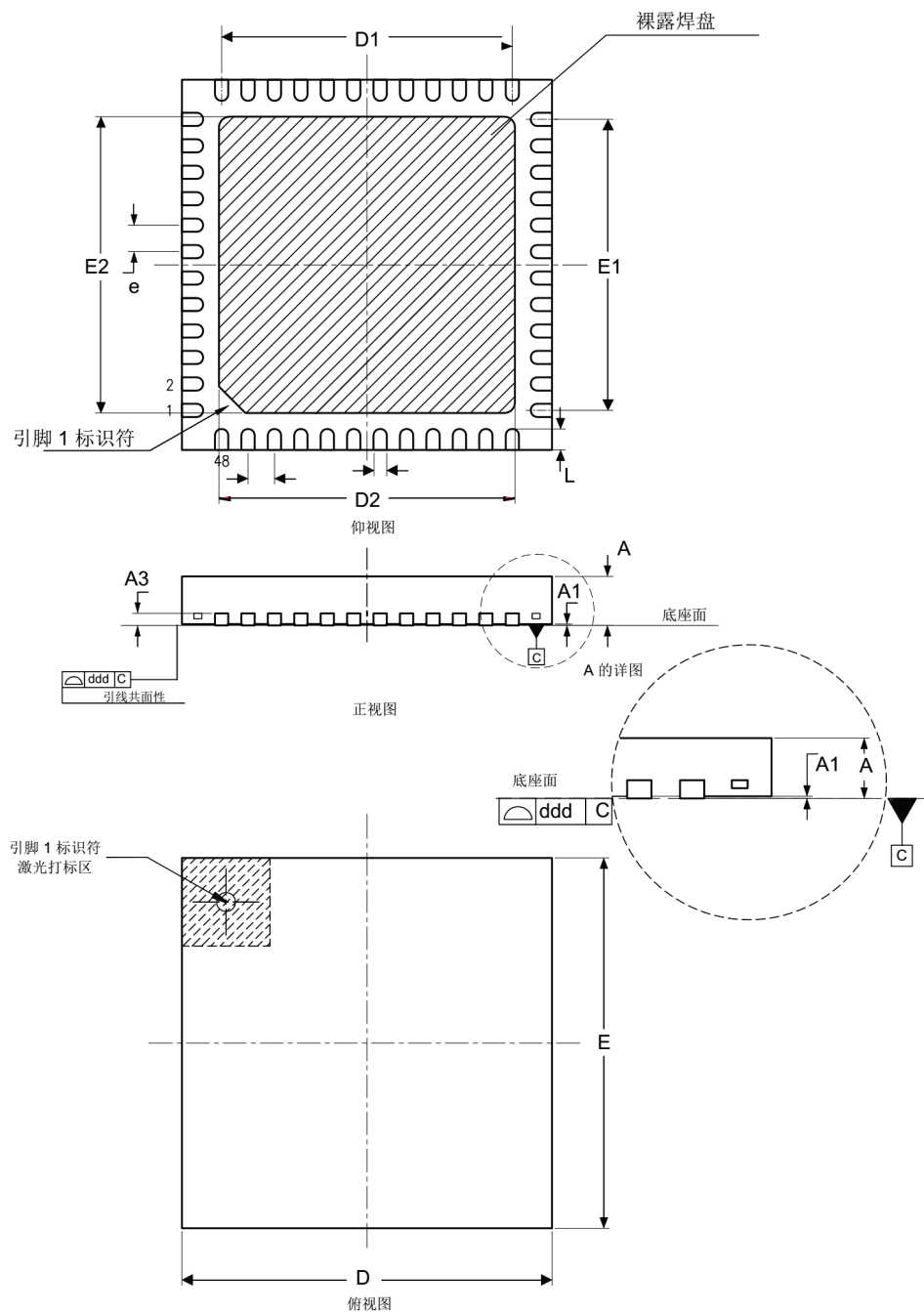


1. 尺寸单位为毫米。

7.5 UFQFPN48 封装信息 (A0B9)

这种 UFQFPN 为 48 引线、7 x 7 mm、0.5 mm 间距超薄紧密排列方形扁平封装。

图 41. UFQFPN48 - 封装轮廓图



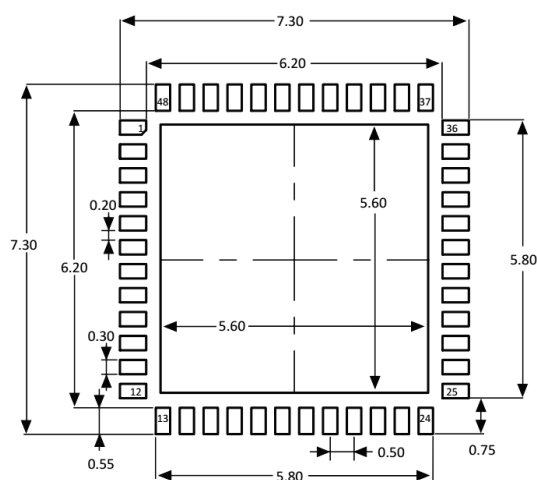
1. 图纸未按比例绘制。
2. 所有引线/焊盘还应焊至 PCB，以提高引线/焊盘的焊接熔点寿命。
3. 在 UFQFPN48 封装的下方，有一个裸露的晶片焊盘。建议将后部的这个焊盘通过焊接的方式与 PCB 接地连接。

DT_A0B9_UFQFPN48_ME_V4

表 95. UFQFPN48 - 机械数据

符号	毫米			英寸 ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A	0.500	0.550	0.600	0.0197	0.0217	0.0236
A1	0.000	0.020	0.050	0.0000	0.0008	0.0020
A3	-	0.152	-	-	0.0060	-
b	0.200	0.250	0.300	0.0079	0.0098	0.0118
D ⁽²⁾	6.900	7.000	7.100	0.2717	0.2756	0.2795
D1	5.400	5.500	5.600	0.2126	0.2165	0.2205
D2 ⁽³⁾	5.500	5.600	5.700	0.2165	0.2205	0.2244
E ⁽²⁾	6.900	7.000	7.100	0.2717	0.2756	0.2795
E1	5.400	5.500	5.600	0.2126	0.2165	0.2205
E2 ⁽³⁾	5.500	5.600	5.700	0.2165	0.2205	0.2244
e	-	0.500	-	-	0.0197	-
L	0.300	0.400	0.500	0.0118	0.0157	0.0197
ddd	-	-	0.080	-	-	0.0031

1. 英寸值由毫米值换算后四舍五入至四位小数而得。
2. 尺寸 *D* 和 *E* 不包含模具突起, 不超过 0.15 mm。
3. 尺寸 *D2* 和 *E2* 不符合 JEDEC 标准。

图 42. UFQFPN48 - 封装尺寸示例


1. 尺寸单位为毫米。

7.6 LQFP64 封装信息 (5W)

该封装是 64 引脚 10 x 10 mm 薄型正方扁平封装。

注：参见说明部分中的说明列表。

图 43. LQFP64 - 封装轮廓图⁽¹⁵⁾

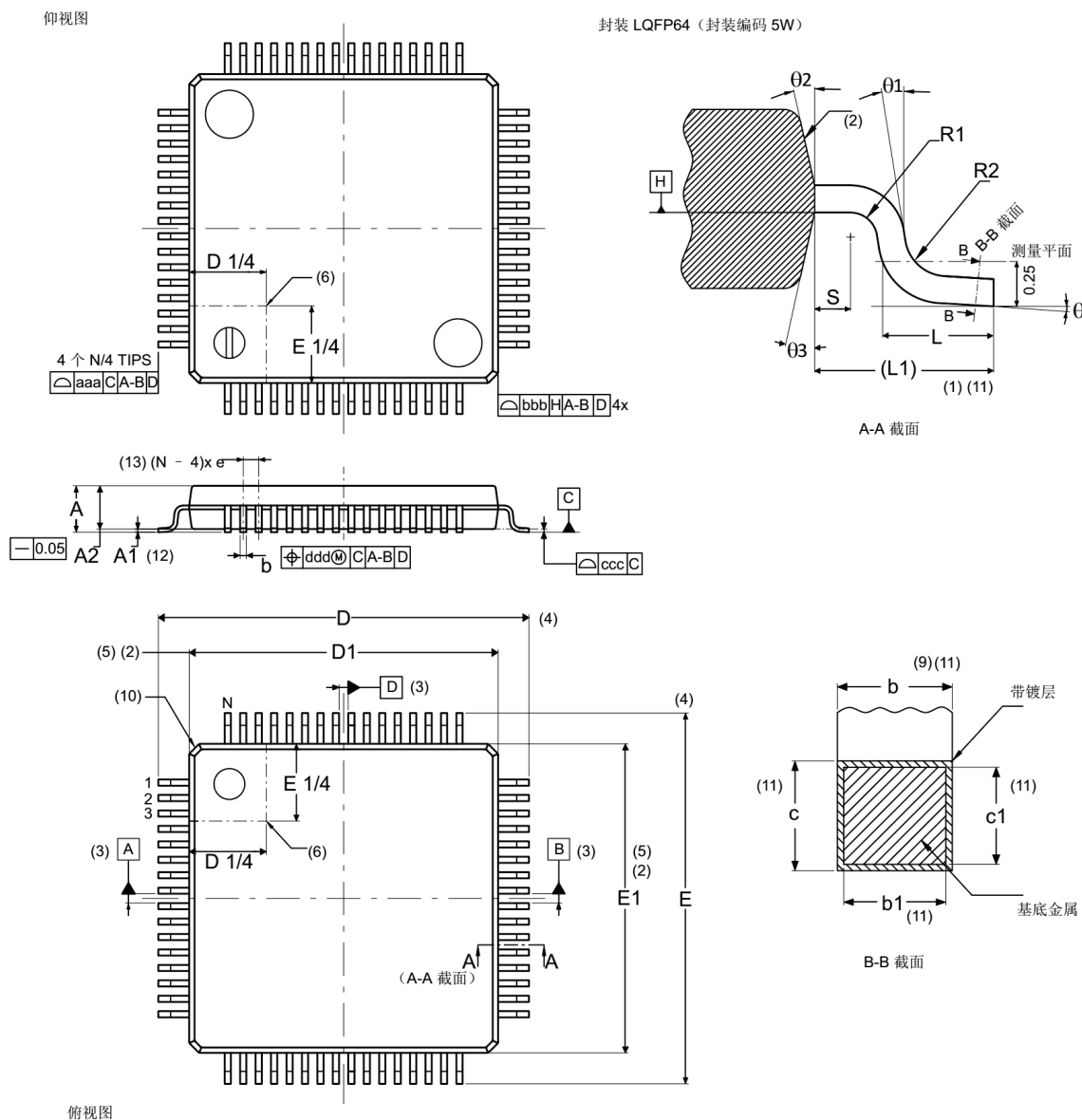


表 96. LQFP64 - 机械数据

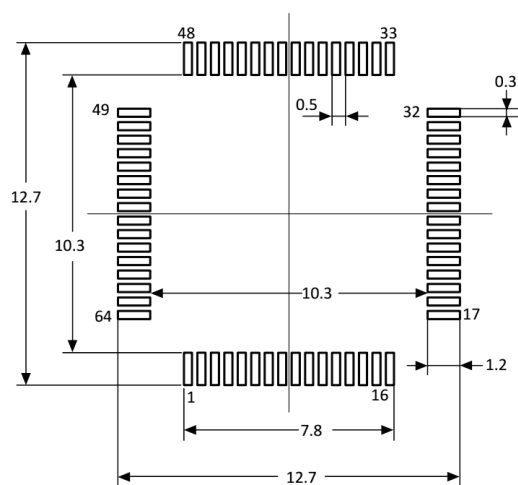
符号	毫米			英寸 ⁽¹⁴⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.60	-	-	0.0630
A1 ⁽¹²⁾	0.05	-	0.15	0.0020	-	0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b ⁽⁹⁾ (11)	0.17	0.22	0.27	0.0067	0.0087	0.0106
b1 ⁽¹¹⁾	0.17	0.20	0.23	0.0067	0.0079	0.0091

符号	毫米			英寸 ⁽¹⁴⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
c ⁽¹¹⁾	0.09	-	0.20	0.0035	-	0.0079
c1 ⁽¹¹⁾	0.09	-	0.16	0.0035	-	0.0063
D ⁽⁴⁾	12.00 BSC			0.4724 BSC		
D1 ^{(2),(5)}	10.00 BSC			0.3937 BSC		
E ⁽⁴⁾	12.00 BSC			0.4724 BSC		
E1 ^{(2),(5)}	10.00 BSC			0.3937 BSC		
e	0.500 BSC			0.0197 BSC		
L	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
N ⁽¹³⁾	64					
Θ	0°	3.5°	7°	0°	3.5°	7°
Θ1	0°	-	-	0°	-	-
Θ2	10°	12°	14°	10°	12°	14°
Θ3	10°	12°	14°	10°	12°	14°
R1	0.08	-	-	0.0031	-	-
R2	0.08	-	0.20	0.0031	-	0.0079
S	0.20	-	-	0.0079	-	-
aaa ⁽¹⁾	0.20			0.0079		
bbb ⁽¹⁾	0.20			0.0079		
ccc ⁽¹⁾	0.08			0.0031		
ddd ⁽¹⁾	0.08			0.0031		

备注

1. 尺寸和容差方案符合 ASME Y14.5M-1994。
2. 顶部封装体尺寸可能比底部封装尺寸小 0.15 mm。
3. 基准 A-B 和 D 在基准面 H 处确定。
4. 在底座基准面 C 处确定。
5. 尺寸 D1 和 E1 不包含模具毛边或突出部分。每侧允许的模具毛边或突出部分大小为“0.25 mm”。D1 和 E1 是最大塑料体尺寸（包括模具错位）。
6. 引脚 1 标识符的具体细节为可选内容，但必须在所指示的区域内。
7. 所有尺寸单位均为毫米。
8. 不允许侵入到引线框架内。
9. 尺寸“b”不包括引脚连接条突起。允许的引脚连接条突起应不会使引线框宽度超出最大“b”尺寸 0.08 mm 以上。引脚连接条不能位于较低半径部分或底部。对于间距为 0.4 mm 和 0.5 mm 的封装，突起与相邻引线之间的最小间隙为 0.07 mm。
10. 可以选择各个拐角的确切形状。
11. 这些尺寸适用于距引线末端 0.10 mm 到 0.25 mm 之间的引线的扁平部分。
12. A1 定义为从底座面到封装最低点的距离。
13. “N”是指定封装体尺寸对应的管脚数。
14. 英寸值由毫米值换算后四舍五入至 4 位小数而得。
15. 图纸未按比例绘制。

图 44. LQFP64 - 封装尺寸示例



1. 尺寸单位为毫米。

7.7 UFBGA64 封装信息 (A019)

这种 UFBGA 为 64 焊球、5 x 5 mm、0.50 mm 间距、超紧密排列焊球阵列封装。

注：参见说明部分中的说明列表。

图 45. UFBGA64 - 封装轮廓图⁽¹³⁾

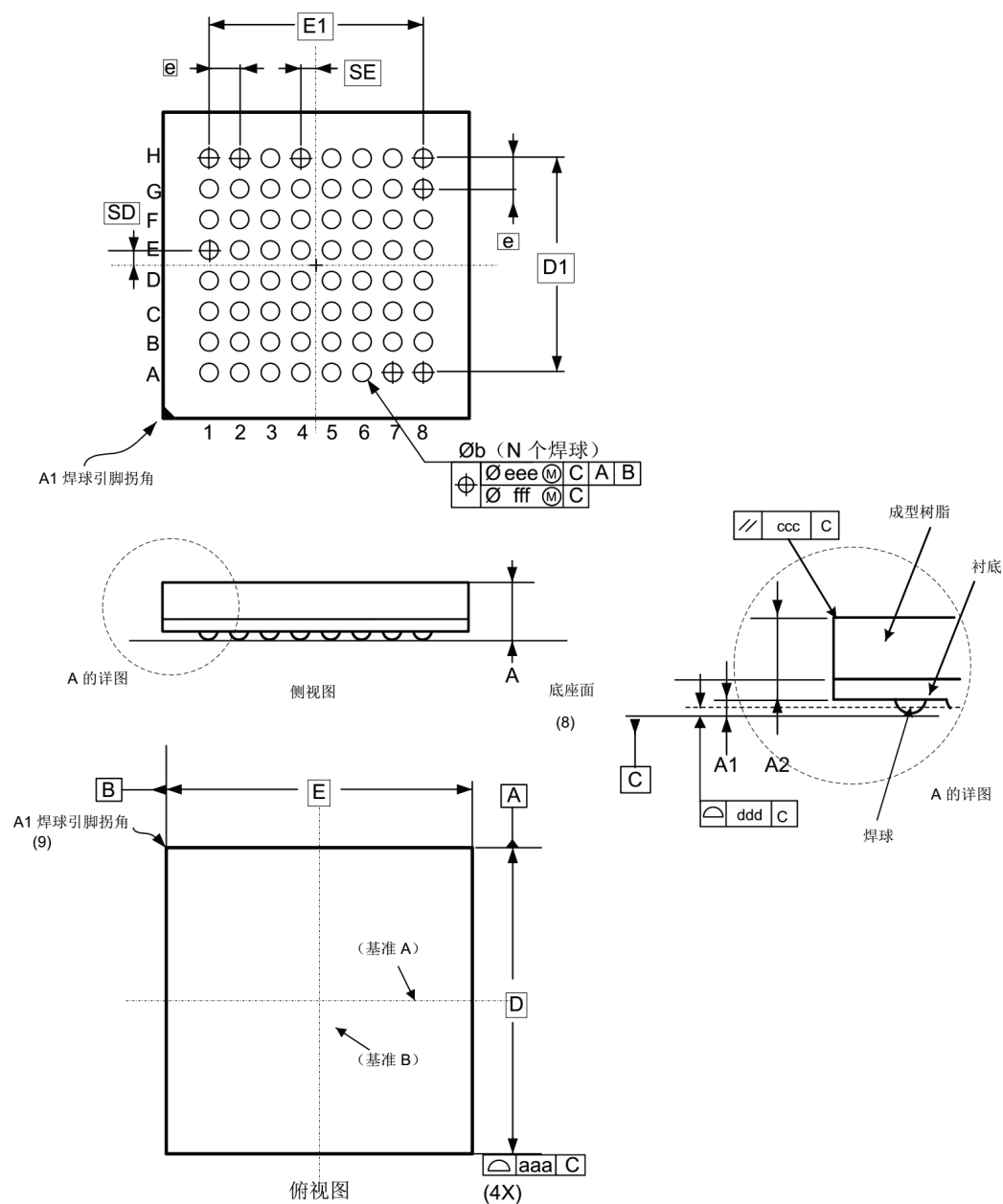


表 97. UFBGA64 - 机械数据

符号	毫米 ⁽¹⁾			英寸 ⁽¹²⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A ⁽²⁾⁽³⁾	-	-	0.60	-	-	0.0236
A1 ⁽⁴⁾	0.05	-	-	0.0020	-	-
A2	-	0.43	-	-	0.0169	-

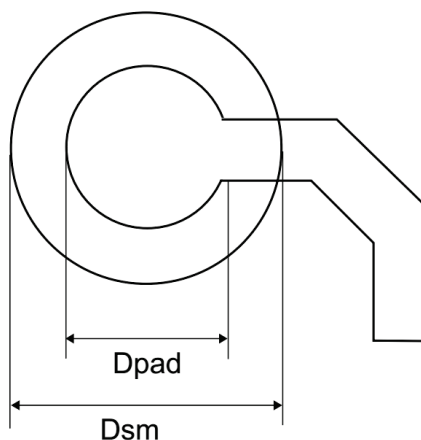
A019_UFBGA64_ME_V2

符号	毫米 ⁽¹⁾			英寸 ⁽¹²⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
b ⁽⁵⁾	0.23	0.28	0.33	0.0090	0.0110	0.0130
D ⁽⁶⁾	5.00 BSC			0.1969 BSC		
D1	3.50 BSC			0.1378 BSC		
E	5.00 BSC			0.1969 BSC		
E1	3.50 BSC			0.1378 BSC		
e ⁽⁹⁾	0.50 BSC			0.0197 BSC		
N ⁽¹⁰⁾	64					
SD ⁽¹¹⁾	0.25 BSC			0.0098 BSC		
SE ⁽¹¹⁾	0.25 BSC			0.0098 BSC		
aaa	0.15			0.0059		
ccc	0.20			0.0079		
ddd	0.08			0.0031		
eee	0.15			0.0059		
fff	0.05			0.0020		

注:

1. 尺寸和容差方案符合 ASME Y14.5M-2009 标准（欧洲尺寸图除外）。
2. UFBGA 表示超薄型紧密排列焊球阵列：0.50 mm < A ≤ 0.65 mm / 紧密排列间距 e < 1.00 mm。
3. 封装高度 A 是从底座面到封装最高点的距离。测量时应与底座面垂直。
4. A1 定义为从底座面到封装最低点的距离。
5. 尺寸 b 是在平行于主基准面 C 的平面内端子（焊球）的最大直径位置测得。
6. BSC 代表基本尺寸。对应于正常值，无容差。有关公差的信息，请参见形状和位置表。图纸上，这些尺寸在方框中。
7. 主基准面 C 是指将三个或更多个支撑器件的焊球连接起来所确立的平面（当器件放在平整的表面上时）。
8. 必须使用拐角倒角、墨或金属标记，或者是封装体或整体散热片的其他特性，在封装上表面标识端子（焊球）A1 的拐角。可以使用不同特性在封装下表面标识 A1 的拐角。可以选择各个拐角的确切形状。
9. e 表示焊球排列阵列。
10. N 表示 BGA 上的焊球总数。
11. 基本尺寸 SD 和 SE 相对于基准 A 和 B 而定义。它定义完整矩阵排列中，处于最外侧的行或列中间的焊球的位置。
12. 英寸值由毫米值换算后四舍五入至 4 位小数而得来。
13. 图纸未按比例绘制

图 46. UFBGA64 - 封装尺寸示例



DT_BGA_WLCSP_FT_V1

表 98. UFBGA64 - 建议的 PCB 设计规则 (0.50 mm 间距 BGA)

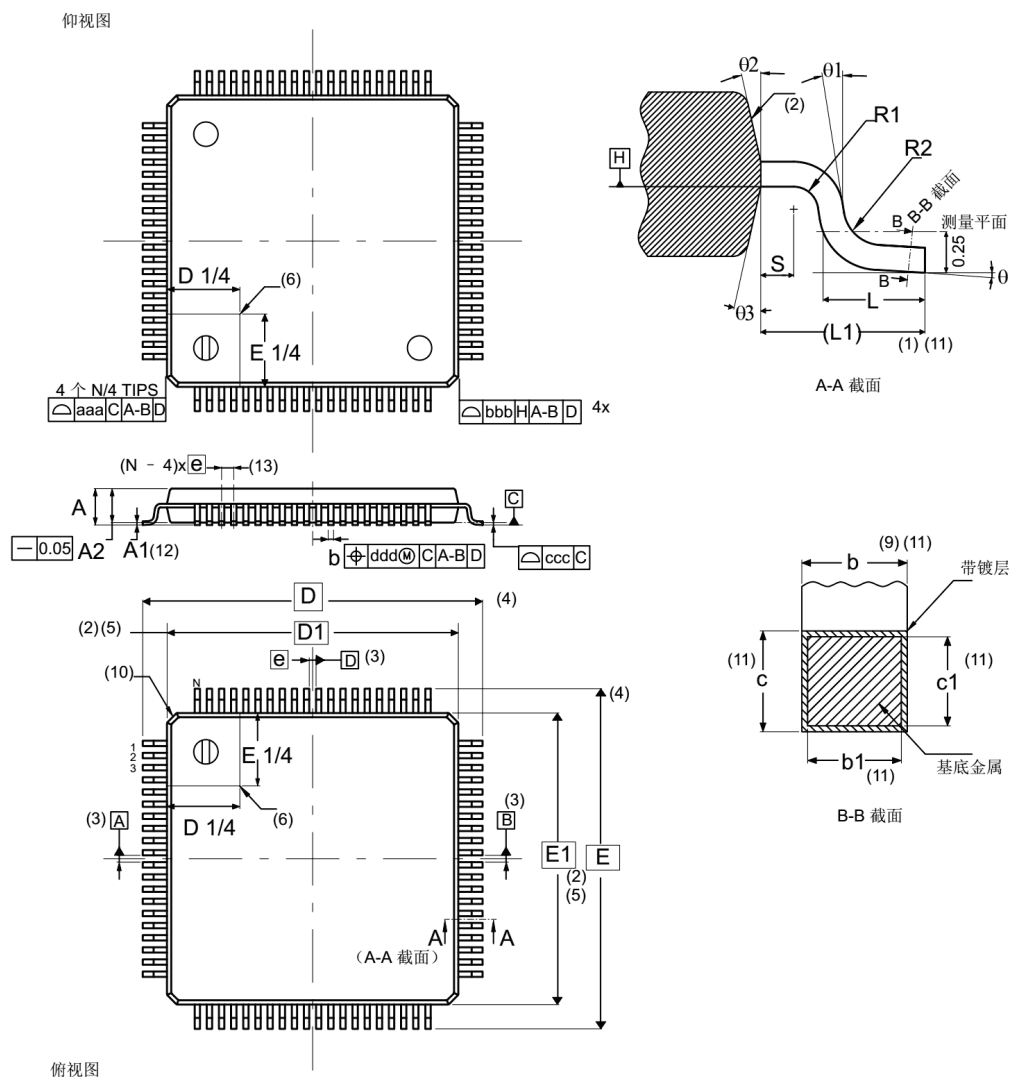
尺寸	建议值
间距	0.50 mm
Dpad	0.280 mm
Dsm	0.370 mm 典型值 (取决于阻焊层对准公差)
模板开口	0.280 mm 孔径
模板厚度	介于 0.100 mm 和 0.125 mm 之间
引脚线宽	0.100 mm

7.8 LQFP80 封装信息 (9X)

该封装为 80 引脚 12 x 12 mm 薄型正方扁平封装。

注：参见说明部分中的说明列表。

图 47. LQFP80 - 封装轮廓图⁽¹⁵⁾



9X_LQFP80_ME_V2

表 99. LQFP80 - 机械数据

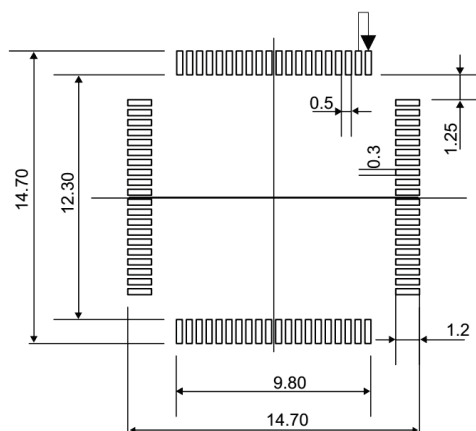
符号	毫米			英寸 ⁽¹⁴⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.60	-	-	0.0630
A1 ⁽¹²⁾	0.05	-	0.15	0.0020	-	0.0059
A2	1.35	1.40	1.45	0.0531	0.0551	0.0571
b ^{(9),(11)}	0.17	0.22	0.27	0.0067	0.0087	0.0106
b1 ⁽¹¹⁾	0.17	0.20	0.23	0.0067	0.0079	0.0091
c ⁽¹¹⁾	0.09	-	0.20	0.0035	-	0.0079
c1 ⁽¹¹⁾	0.09	-	0.16	0.0035	-	0.0063
D ⁽⁴⁾	14.00 BSC			0.5512 BSC		

符号	毫米			英寸 ⁽¹⁴⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
D1 ⁽²⁾⁽⁵⁾	12.00 BSC			0.4724 BSC		
E ⁽⁴⁾	14.00 BSC			0.5512 BSC		
E1 ⁽²⁾⁽⁵⁾	12.00 BSC			0.4724 BSC		
e	0.50 BSC			0.0197 BSC		
L	0.45	0.60	0.75	0.0177	0.0236	0.0295
L1	-	1.00	-	-	0.0394	-
N ⁽¹³⁾	80					
Θ	0°	3.5°	7°	0°	3.5°	7°
Θ1	0°	-	-	0°	-	-
Θ2	10°	12°	14°	10°	12°	14°
Θ3	10°	12°	14°	10°	12°	14°
R1	0.08	-	-	0.0031	-	-
R2	0.08	-	0.20	0.0031	-	0.0079
S	0.20	-	-	0.0079	-	-
aaa ⁽¹⁾	0.20			0.0079		
bbb ⁽¹⁾	0.20			0.0079		
ccc ⁽¹⁾	0.08			0.0031		
ddd ⁽¹⁾	0.08			0.0031		

备注

1. 尺寸和容差方案符合 ASME Y14.5M-1994。
2. 顶部封装体尺寸可能比底部封装尺寸小 0.15 mm。
3. 基准 A-B 和 D 在基准面 H 处确定。
4. 在底座基准面 C 处确定。
5. 尺寸 D1 和 E1 不包含模具毛边或突出部分。每侧允许的模具毛边或突出部分大小为“0.25 mm”。D1 和 E1 是最大塑料体尺寸（包括模具错位）。
6. 引脚 1 标识符的具体细节为可选内容，但必须在所指示的区域内。
7. 所有尺寸单位均为毫米。
8. 不允许侵入到引线框架内。
9. 尺寸“b”不包括引脚连接条突起。允许的引脚连接条突起应不会使引线框宽度超出最大“b”尺寸 0.08 mm 以上。引脚连接条不能位于较低半径部分或底部。对于间距为 0.4 mm 和 0.5 mm 的封装，突起与相邻引线之间的最小间隙为 0.07 mm。
10. 可以选择各个拐角的确切形状。
11. 这些尺寸适用于距引线末端 0.10 mm 到 0.25 mm 之间的引线的扁平部分。
12. A1 定义为从底座面到封装最低点的距离。
13. “N”是指定封装体尺寸对应的管脚数。
14. 英寸值由毫米值换算后四舍五入至 4 位小数而得来。
15. 图纸未按比例绘制。

图 48. LQFP80 - 封装尺寸示例



9X_LQFP80_FP_V1

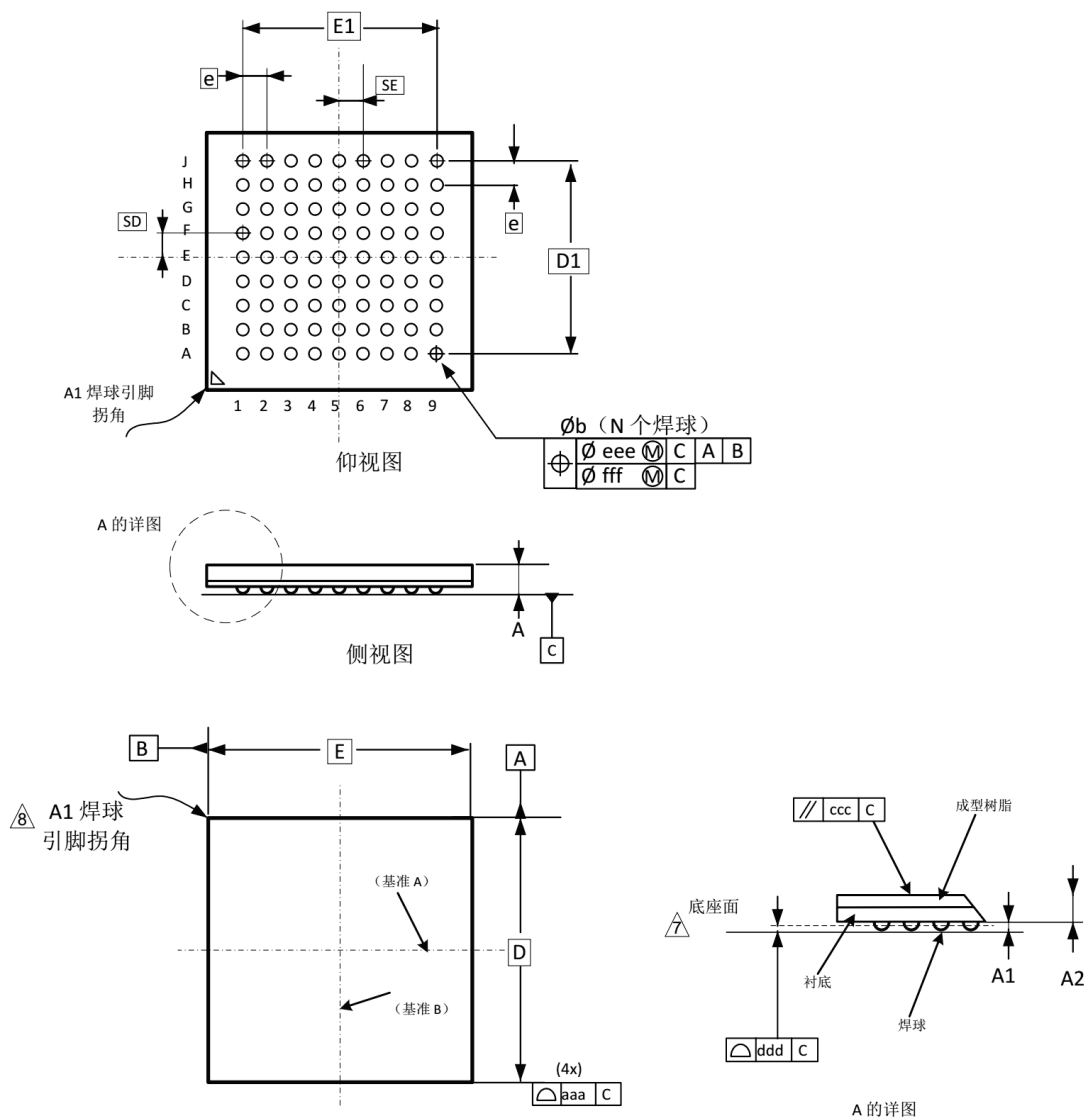
1. 尺寸单位为毫米。

7.9 UFBGA81 封装信息 (B0B8)

这种 UFBGA 为 81 焊球、5 x 5 mm、0.50 mm 间距、超紧密排列焊球阵列封装。

注：参见说明部分中的说明列表。

图 49. UFBGA81 - 封装轮廓图^(13.)



B0B8_UFBGA81_ME_DT_V1

表 100. UFBGA81 - 机械数据

符号	毫米 ⁽¹⁾			英寸 ⁽¹²⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A ^{(2),(3)}	-	-	0.60	-	-	0.0236
A1 ⁽⁴⁾	0.05	-	-	0.0020	-	-
A2	-	0.43	-	-	0.0169	-
b ⁽⁵⁾	0.23	0.28	0.33	0.0090	0.0110	0.0130
D ⁽⁶⁾	5.00 BSC			0.1969 BSC		
D1	3.50 BSC			0.1378 BSC		
E	5.00 BSC			0.1969 BSC		

符号	毫米 ⁽¹⁾			英寸 ⁽¹²⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
E1	3.50 BSC			0.1378 BSC		
e ⁽⁹⁾	0.50 BSC			0.0197 BSC		
N ⁽¹⁰⁾	81					
SD ⁽¹¹⁾	0.25 BSC			0.0098 BSC		
SE ⁽¹¹⁾	0.25 BSC			0.0098 BSC		
aaa	0.15			0.0059		
ccc	0.20			0.0079		
ddd	0.08			0.0031		
eee	0.15			0.0059		
fff	0.05			0.0020		

注:

1. 尺寸和容差方案符合 ASME Y14.5M-2009 标准（欧洲尺寸图除外）。
2. UFBGA 表示超薄型紧密排列焊球阵列：0.50 mm < A ≤ 0.65 mm / 紧密排列间距 e < 1.00 mm。
3. 封装高度 A 是从底座面到封装最高点的距离。测量时应与底座面垂直。
4. A1 定义为从底座面到封装最低点的距离。
5. 尺寸 b 是在平行于主基准面 C 的平面内端子（焊球）的最大直径位置测得。
6. BSC 代表基本尺寸。对应于正常值，无容差。有关公差的信息，请参见形状和位置表。图纸上，这些尺寸在方框中。
7. 主基准面 C 是指将三个或更多个支撑器件的焊球连接起来所确立的平面（当器件放在平整的表面上时）。
8. 必须使用拐角倒角、墨或金属标记，或者是封装体或整体散热片的其他特性，在封装上表面标识端子（焊球）A1 的拐角。可以使用不同特性在封装下表面标识 A1 的拐角。可以选择各个拐角的确切形状。
9. e 表示焊球排列阵列。
10. N 表示 BGA 上的焊球总数。
11. 基本尺寸 SD 和 SE 相对于基准 A 和 B 而定义。它定义完整矩阵排列中，处于最外侧的行或列中间的焊球的位置。
12. 英寸值由毫米值换算后四舍五入至 4 位小数而得来。
13. 图纸未按比例绘制

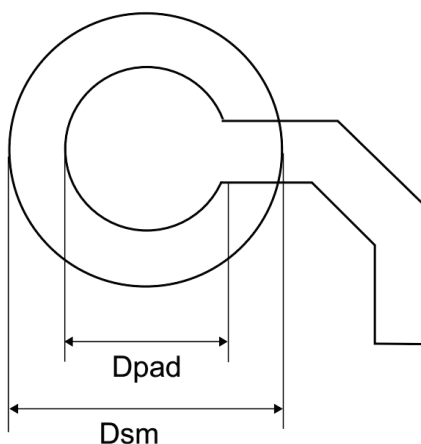
图 50. UFBGA81 - 封装尺寸示例


表 101. UFBGA81 - PCB 设计规则示例 (0.50 mm 间距 BGA)

尺寸	值
间距	0.50 mm
Dpad	0.250 mm
Dsm	0.300 mm 典型值 (取决于阻焊层对准公差)
模板开口	0.356 mm 孔径
模板厚度	介于 0.100 mm 和 0.125 mm 之间
引脚线宽	0.120 mm

7.10 封装热特性

工作结温 T_J 不得超出第 6.3.1 节: 通用工作条件中指定的最大值。

在满足工作条件的情况下, 器件可达到的最大结温 ($^{\circ}\text{C}$) 为:

$$T_{J\max} = T_{A\max} + (P_{D\max} \times \Theta_{JA})$$

其中:

- $T_{A\max}$ 表示最高环境温度 ($^{\circ}\text{C}$)。
- Θ_{JA} 为封装结到环境热阻 ($^{\circ}\text{C}/\text{W}$)。
- $P_D = P_{INT} + P_{I/O}$
 - P_{INT} 为产品对 I_{DD} 和 V_{DD} 的功耗贡献 (瓦特)。
 - $P_{I/O}$ 是从输出端口耗散的功率, 其中:

$P_{I/O} = \sum (V_{OL} \times I_{OL}) + \sum ((V_{DDIOx} - V_{OH}) \times I_{OH})$ 考虑了应用中 I/O 在低电平和高电平状态下的实际 V_{OL}/I_{OL} 和 V_{OH}/I_{OH} 。

表 102. 封装热特性

符号	参数	封装	值	单位
Θ_{JA}	结到环境热阻	UFQFPN32	39.9	$^{\circ}\text{C}/\text{W}$ $^{\circ}\text{C}/\text{W}$
		WLCSP42	62.9	
		LQFP48	53.2	
		UFQFPN48	29.5	
		LQFP64	43.9	
		UFBGA64	54.2	
		LQFP80	42.4	
		UFBGA81	51.5	
Θ_{JB}	结到电路板热阻	UFQFPN32	21.8	
		WLCSP42	38.2	
		LQFP48	28.1	
		UFQFPN48	13.8	
		LQFP64	28.6	
		UFBGA64	37.3	
		LQFP80	26.7	
		UFBGA81	34.4	
Θ_{JC}	结到顶部壳体热阻	UFQFPN32	16.8	
		WLCSP42	3.9	
		LQFP48	16.5	
		UFQFPN48	10.3	
		LQFP64	13.9	
		UFBGA64	15.4	
		LQFP80	13.6	
		UFBGA81	15.4	

7.10.1

参考文档

- 《JESD51-2 集成电路热试验方法环境条件 - 自然对流（静止空气）》，可从 www.jedec.org 获得。
- 有关热管理的信息，请参见应用笔记“*STM32 应用热管理指南*”(AN5036)，该应用笔记可从 www.st.com 获得。

8 订购信息

示例:	STM32	U	083	M	C	T	6	TR
器件系列								
STM32 = 基于 Arm® 的 32 位微控制器								
产品类型								
U = 超低功耗								
器件子系列								
083 = STM32U083xx								
引脚数								
K = 32 个引脚								
H = 42 个焊球								
C = 48 个引脚								
R = 64 个引脚/焊球								
M = 80/81 个引脚/焊球								
Flash 存储器大小								
C = 256 KB Flash 存储器								
封装								
T = LQFP ECOPACK2								
U = UFQFPN ECOPACK2								
I = UFBGA ECOPACK2								
Y = WLCSP ECOPACK2								
温度范围								
3 = 工业温度范围，-40 °C 到 125 °C（130 °C 结温）								
6 = 工业温度范围，-40 °C 到 85 °C（105 °C 结温）。								
封装								
TR = 卷带和盘装								
xxx = 已编程部件								

注: 要获得可用选项（速度、封装等）列表或了解本器件任何方面的更多信息，请联系距您最近的意法半导体销售办事处。

重要安全注意事项

意法半导体公司集团（ST）高度重视产品安全，正因如此，本文档中所述的 ST 产品才获得各种安全认证机构的认证和/或可实施本文档中所述的内部安全措施。然而，任何级别的安全认证和/或内置安全措施都不能保证 ST 产品能够承受所有形式的攻击。因此，每位 ST 客户均有责任确定 ST 产品中提供的安全级别是否满足与 ST 产品相关的客户需求，以及与其他元件和/或软件（面向客户终端产品或应用）相结合时的客户需求。尤其是，请注意：

- ST 产品可能已获得一个或多个安全认证机构的认证，如平台安全架构（www.psacertified.org）和/或物联网平台安全评估标准（www.trustcb.com）。有关本文所述的 ST 产品是否已获得安全认证，以及此类认证的级别和当前状态，请访问相关的认证标准网站，或者访问 www.st.com 的相关产品页面，了解最新信息。由于 ST 产品的安全认证状态和/或级别可能会随时变化，因此客户应根据需要核实安全认证状态/级别。如果 ST 产品未表明已根据特定安全标准进行认证，则客户不应假定其已获得认证。
- 认证机构有权评估、授予和撤销 ST 产品的安全认证。因此，这些认证机构独立负责授予或撤销 ST 产品的安全认证，而 ST 对于认证机构涉及任何 ST 产品的错误、评价、评估、测试或其他活动不承担任何责任。
- 基于行业的加密算法（如 AES、DES 或 MD5）以及可能结合 ST 产品使用的其他开放标准技术都是基于非 ST 开发的标准。因此，ST 对于此类加密算法或开放技术中的任何缺陷，或者已经或可能开发的用于旁路、解密或破解此类算法或技术的任何方法概不负责。
- 尽管可以进行稳健的安全测试，但任何级别的认证都不能确保抵御住所有形式的攻击，包括防止未经测试的高级攻击、新形式或未知形式的攻击，以及在使用 ST 产品时超出指定规范或预期用途，或结合其他元件/软件创建终端产品或应用时所受到的攻击。对于以上类型的攻击，若未能成功抵御，ST 概不负责。因此，无论 ST 提供任何内置安全功能和/或任何信息或支持，每位客户都必须全权负责确定所测试的攻击级别是否满足其对单独 ST 产品以及整合到客户终端产品或应用时的需求。
- ST 产品的所有安全特性（包括任何硬件、软件、文档等），包括但不限于 ST 添加的任何增强安全特性，均按“原样”提供。因此，在适用法律所允许的最大范围内，ST 概不提供任何明示或暗示的保证，包括但不限于对适销性或特定用途适用性的暗示保证，除非适用的书面和签订的合同条款另有明确规定。

版本历史

表 103. 文档版本历史

日期	版本	变更
2024 年 3 月 1 日	1	初始版本。
2024 年 3 月 18 日	2	更新了封面的 ULPMark™-CP 值。 增加了第 3.22 节: 触摸感应控制器 (TSC)。 更新了表 39. Stop 1 模式下的电流消耗。 在表 40. Stop 2 模式下的电流消耗中增加了 I _{DD (Stop 2)} 最大值。 在表 41. 待机模式下的电流消耗: 中增加了 I _{DD (SRAM2)} 最大值。

目录

1	简介	3
2	说明	4
3	功能概述	7
3.1	带有 MPU 的 Arm® Cortex®-M0+ 内核	7
3.2	自适应实时存储器加速器 (ART Accelerator)	7
3.3	存储器保护单元	7
3.4	存储器	8
3.4.1	嵌入式 Flash 存储器	8
3.4.2	嵌入式 SRAM	8
3.5	启动模式	9
3.6	电源管理	9
3.6.1	电源方案	9
3.6.2	电源监控器	10
3.6.3	稳压器	10
3.6.4	VBAT 工作模式	11
3.7	低功耗模式	11
3.8	外设互连矩阵	13
3.9	复位和时钟控制器 (RCC)	14
3.9.1	复位模式	14
3.9.2	时钟和启动	14
3.10	时钟恢复系统 (CRS)	15
3.11	通用输入/输出 (GPIO)	15
3.12	直接存储器访问控制器 (DMA)	15
3.13	DMA 请求复用器 (DMAMUX)	15
3.14	中断和事件	15
3.14.1	嵌套向量中断控制器 (NVIC)	16
3.14.2	扩展中断/事件控制器 (EXTI)	16
3.15	循环冗余校验计算单元 (CRC)	16
3.16	模数转换器 (ADC)	16
3.16.1	温度传感器	17
3.16.2	内部参考电压 (VREFINT)	17
3.16.3	VBAT 电池电压监控	17
3.17	数模转换器 (DAC)	17
3.18	参考电压缓冲器 (VREFBUF)	18
3.19	比较器 (COMP)	18

3.20	运算放大器 (OPAMP)	18
3.21	液晶控制器 (LCD)	18
3.22	触摸感应控制器 (TSC)	19
3.23	真随机数发生器 (RNG)	19
3.24	高级加密标准 (AES) 硬件加速器	19
3.25	定时器和看门狗	20
3.25.1	高级控制定时器 (TIM1)	20
3.25.2	通用定时器 (TIM2、3、15、16)	20
3.25.3	基本定时器 (TIM6 和 TIM7)	21
3.25.4	低功耗定时器 (LPTIM1、LPTIM2 和 LPTIM3)	21
3.25.5	独立看门狗 (IWDG)	21
3.25.6	系统窗口看门狗 (WWDG)	21
3.25.7	SysTick 定时器	21
3.26	实时时钟 (RTC)、入侵 (TAMP) 和备份寄存器	21
3.27	内部集成电路接口 (I2C)	22
3.28	通用同步/异步收发器 (USART/UART)	23
3.29	低功耗通用异步收发器 (LPUART)	23
3.30	串行外设接口 (SPI)	24
3.31	通用串行总线 (USB) 设备	24
3.32	调试支持	24
3.32.1	串行线调试端口 (SW-DP)	24
4	引脚排列/焊球布局、引脚说明和复用功能	25
4.1	引脚排列/焊球布局示意图	25
4.2	引脚说明	29
4.3	复用功能	35
5	存储器映射	38
6	电气特性	39
6.1	参数条件	39
6.1.1	最小值和最大值	39
6.1.2	典型值	39
6.1.3	典型曲线	39
6.1.4	负载电容	39
6.1.5	引脚输入电压	39
6.1.6	供电方案	40
6.1.7	电流消耗测量	41
6.2	绝对最大额定值	41

6.3	工作条件	42
6.3.1	通用工作条件	42
6.3.2	上电/掉电时的工作条件	43
6.3.3	内置复位和电源控制模块特性	43
6.3.4	内置电压参考	45
6.3.5	供电电流特性	46
6.3.6	从低功耗模式唤醒的时间和电压调节转换时间	65
6.3.7	外部时钟源特性	67
6.3.8	内部时钟源特性	70
6.3.9	PLL 特性	74
6.3.10	Flash 存储器特性	75
6.3.11	EMC 特性	76
6.3.12	电气敏感性特性	77
6.3.13	I/O 电流注入特性	77
6.3.14	I/O 端口特性	78
6.3.15	NRST 引脚特性	82
6.3.16	扩展中断和事件控制器输入 (EXTI) 特性	82
6.3.17	模拟开关增压器	83
6.3.18	模数转换器特性	83
6.3.19	温度传感器特性	89
6.3.20	V _{BAT} 监控特性	89
6.3.21	数模转换器特性	89
6.3.22	电压参考缓冲器特性	93
6.3.23	比较器特性	94
6.3.24	运算放大器特性	95
6.3.25	LCD 控制器特性	96
6.3.26	定时器特性	97
6.3.27	I ² C 总线接口特性	98
6.3.28	USART 特性	99
6.3.29	SPI 特性	100
6.3.30	USB 特性	103
7	封装信息	104
7.1	器件标记	104
7.2	UFQFPN32 封装信息 (A0B8)	105
7.3	WLCSP42 封装信息 (B0K9)	108
7.3.1	WLCSP42 的器件标记	110
7.4	LQFP48 封装信息 (5B)	111

7.5	UFQFPN48 封装信息 (A0B9)	114
7.6	LQFP64 封装信息 (5W)	116
7.7	UFBGA64 封装信息 (A019)	119
7.8	LQFP80 封装信息 (9X)	122
7.9	UFBGA81 封装信息 (B0B8)	125
7.10	封装热特性	127
7.10.1	参考文档	128
8	订购信息	129
	重要安全注意事项	130
	版本历史	130
	表一览	135
	图一览	137

表一览

表 1.	器件特性和外设数量	4
表 2.	访问状态与读保护级别和执行模式	8
表 3.	功能取决于工作模式	12
表 4.	外设互连	13
表 5.	温度传感器校准值	17
表 6.	内部电压参考校准值	17
表 7.	定时器的特性比较	20
表 8.	I ² C 实现	22
表 9.	USART 实现	23
表 10.	SPI 实现	24
表 11.	引脚排列表中使用的图例/缩略语	29
表 12.	STM32U083xC 引脚/焊球定义	29
表 13.	端口 A 复用功能	35
表 14.	端口 B 复用功能	35
表 15.	端口 C 复用功能	36
表 16.	端口 D 复用功能	37
表 17.	端口 E 复用功能	37
表 18.	复用功能	37
表 19.	电压特性	41
表 20.	电流特性	42
表 21.	热特性	42
表 22.	通用工作条件	42
表 23.	上电/掉电时的工作条件	43
表 24.	内置复位和电源控制模块特性	43
表 25.	内置内部电压参考	45
表 26.	运行模式和低功耗运行模式下的电流消耗，从 Flash 存储器运行代码和数据处理，旁路模式，ART 使能 (缓存开启，预取关闭)，HSE 时钟用作系统时钟	46
表 27.	运行模式和低功耗运行模式下的电流消耗，从 Flash 存储器运行代码和数据处理，ART 使能 (缓存开启，预取关闭)，MSI 时钟用作系统时钟	47
表 28.	运行模式和低功耗运行模式下的电流消耗，从 Flash 存储器运行代码和数据处理，旁路模式，ART 禁止 (缓存开启，预取关闭)，HSE 时钟用作系统时钟	48
表 29.	运行模式和低功耗运行模式下的电流消耗，从 Flash 存储器运行代码和数据处理，旁路模式，ART 禁止 (缓存开启，预取关闭)，MSI 时钟用作系统时钟	49
表 30.	运行模式和低功耗运行模式下的电流消耗，从 SRAM1 运行代码和数据处理，旁路模式，HSE 时钟用作系统时钟	50
表 31.	运行模式和低功耗运行模式下的电流消耗，从 SRAM1 运行代码和数据处理，MSI 时钟用作系统时钟	51
表 32.	运行模式和低功耗运行模式下的典型电流消耗，从 Flash 存储器运行不同代码，ART 使能(缓存开启，预取关闭)	51
表 33.	运行模式和低功耗运行模式下的典型电流消耗，从 Flash 存储器运行不同代码，ART 已禁止	52
表 34.	运行模式和低功耗运行模式下的典型电流消耗，从 SRAM1 运行不同代码	53
表 35.	睡眠模式和低功耗睡眠模式下的电流消耗，Flash 存储器开启，HSE 时钟用作系统时钟	53
表 36.	睡眠模式和低功耗睡眠模式下的电流消耗，Flash 存储器开启，MSI 时钟用作系统时钟	54
表 37.	睡眠模式和低功耗睡眠模式下的电流消耗，Flash 存储器处于掉电模式	55
表 38.	Stop 0 模式下的电流消耗	55
表 39.	Stop 1 模式下的电流消耗	55
表 40.	Stop 2 模式下的电流消耗	57
表 41.	待机模式下的电流消耗:	59
表 42.	关断模式下的电流消耗	61
表 43.	VBAT 模式下的电流消耗	62
表 44.	外设电流消耗	64
表 45.	低功耗模式唤醒时间	65
表 46.	稳压器模式转换时间	66
表 47.	使用 USART/LPUART 的唤醒时间	66
表 48.	高速外部用户时钟特性	67
表 49.	低速外部用户时钟特性	67



表 50.	HSE 振荡器特性	68
表 51.	LSE 振荡器特性 ($f_{LSE} = 32.768 \text{ kHz}$)	69
表 52.	HSI16 振荡器特性	70
表 53.	MSI 振荡器特性	71
表 54.	HSI48 振荡器特性	73
表 55.	LSI 振荡器特性	74
表 56.	PLL 特性	74
表 57.	Flash 存储器特性	75
表 58.	Flash 存储器可擦写次数和数据保存期限	75
表 59.	EMS 特性	76
表 60.	$f_{HSE} = 8 \text{ MHz}$ 且 $f_{HCLK} = 54 \text{ MHz}$ 时的 EMI 特性	76
表 61.	ESD 绝对最大额定值	77
表 62.	电气敏感性	77
表 63.	I/O 电流注入敏感性	77
表 64.	I/O 静态特性	78
表 65.	输出电压特性	79
表 66.	I/O 交流特性	80
表 67.	NRST 引脚特性	82
表 68.	EXTI 输入特性	82
表 69.	模拟开关增压器特性	83
表 70.	ADC 特性	83
表 71.	最大 ADC R_{AIN}	84
表 72.	ADC 精度	86
表 73.	温度传感器特性	89
表 74.	V_{BAT} 监控特性	89
表 75.	V_{BAT} 充电特性	89
表 76.	DAC 特性	89
表 77.	DAC 精度	91
表 78.	VREFBUF 特性	93
表 79.	COMP 特性	94
表 80.	OPAMP 特性	95
表 81.	LCD 控制器特性	97
表 82.	TIMx 特性	98
表 83.	32 kHz (LSI) 频率条件下 IWDG 最小/最大超时周期	98
表 84.	56 MHz (PCLK) 时的 WWDG 最小/最大超时值	98
表 85.	I2C 模拟滤波器特性	99
表 86.	USART 特性	99
表 87.	SPI 特性	101
表 88.	USB 电气特性	103
表 89.	UFQFPN32 - 机械数据	106
表 90.	形状和位置公差	106
表 91.	形状和位置公差符号定义	107
表 92.	WLCSP42 - 机械数据	108
表 93.	WLCSP42 - PCB 设计规则示例	110
表 94.	LQFP48 - 机械数据	111
表 95.	UFQFPN48 - 机械数据	115
表 96.	LQFP64 - 机械数据	116
表 97.	UFBGA64 - 机械数据	119
表 98.	UFBGA64 - 建议的 PCB 设计规则 (0.50 mm 间距 BGA)	121
表 99.	LQFP80 - 机械数据	122
表 100.	UFBGA81 - 机械数据	125
表 101.	UFBGA81 - PCB 设计规则示例 (0.50 mm 间距 BGA)	127
表 102.	封装热特性	127
表 103.	文档版本历史	130

图一览

图 1.	框图	6
图 2.	电源概述	10
图 3.	UFQFPN32引脚排列	25
图 4.	WLCSP42 焊球布局	25
图 5.	LQFP48 引脚排列	26
图 6.	UFQFPN48引脚排列	26
图 7.	LQFP64 引脚排列	27
图 8.	UFBGA64焊球布局	27
图 9.	LQFP80 引脚排列	28
图 10.	UFBGA81 焊球布局	28
图 11.	引脚负载条件	39
图 12.	引脚输入电压	39
图 13.	供电方案	40
图 14.	电流消耗测量方案	41
图 15.	V _{REFINT} 与温度	45
图 16.	高速外部时钟源的 AC 时序图	67
图 17.	低速外部时钟源的 AC 时序图	67
图 18.	采用 8 MHz 晶振的典型应用	68
图 19.	采用 32.768 kHz 晶振的典型应用	69
图 20.	HSI16 频率与温度的关系	70
图 21.	典型电流消耗与 MSI 频率的关系	73
图 22.	HSI48 频率与温度的关系	74
图 23.	I/O 输入特性	79
图 24.	I/O 交流特性定义	81
图 25.	推荐的 NRST 引脚保护	82
图 26.	ADC 精度特性	88
图 27.	ADC 与具有模拟开关功能的 FT/TT 引脚搭配使用时的典型连接图	88
图 28.	12 位缓冲/非缓冲 DAC	91
图 29.	SPI 主模式下的 USART 时序图	100
图 30.	SPI 从模式下的 USART 时序图	100
图 31.	SPI 时序图-从模式且 CPHA = 0	102
图 32.	SPI 时序图-从模式且 CPHA = 1	102
图 33.	SPI 时序图-主模式	103
图 34.	UFQFPN32 - 封装轮廓图	105
图 35.	UFQFPN32 - 封装尺寸示例	107
图 36.	WLCSP42 - 封装轮廓图	108
图 37.	WLCSP42 - 封装尺寸示例	109
图 38.	WLCSP42 标记示例	110
图 39.	LQFP48- 封装轮廓图 ^(15.)	111
图 40.	LQFP48 - 封装尺寸示例	113
图 41.	UFQFPN48 - 封装轮廓图	114
图 42.	UFQFPN48 - 封装尺寸示例	115
图 43.	LQFP64 - 封装轮廓图 ^(15.)	116
图 44.	LQFP64 - 封装尺寸示例	118
图 45.	UFBGA64 - 封装轮廓图 ^(13.)	119
图 46.	UFBGA64 - 封装尺寸示例	121
图 47.	LQFP80 - 封装轮廓图 ^(15.)	122
图 48.	LQFP80 - 封装尺寸示例	124
图 49.	UFBGA81 - 封装轮廓图 ^(13.)	125
图 50.	UFBGA81 - 封装尺寸示例	126

重要通知 - 仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对 ST 产品和/或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于意法半导体产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对意法半导体产品的选择和使用，意法半导体概不承担与应用协助或买方产品设计相关的任何责任。

意法半导体不对任何知识产权进行任何明示或默示的授权或许可。

转售的意法半导体产品如有不同于此处提供的信息的规定，将导致意法半导体针对该产品授予的任何保证失效。

ST 和 ST 标志是意法半导体的商标。关于意法半导体商标的其他信息，访问 www.st.com/trademarks。其他所有产品或服务名称是其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2024 STMicroelectronics - 保留所有权利