

STM32MP13x MPU 产品线分立电源硬件集成

简介

本应用笔记适用于 STM32MP13x MPU 系列器件（为了方便阅读本文档，以下简称为 STM32MP13x）。它通常由 STPMIC1 电源管理 IC 辅助芯片供电，该芯片功能齐全，可提供完整的应用

该应用笔记描述了一个为带分立稳压器的 STM32MP13x MPU 供电的替代解决方案。仅涵盖支持核心芯片组的应用程序（STM32MP13x、DDR 和 Flash 存储器）。

本文档面向需要硬件集成和设置相关信息的产品架构师和设计人员，主要内容如下：

- 参考设计框图
- 分立电源拓扑
- 上电和下电管理
- 低功耗模式和复位管理（故障恢复）
- 用于为 STM32MP13x 电源轨供电的稳压器模块（VRM）电气规范。

1 概述

本文档适用于基于 STM32MP13x 单核 Arm® 的微处理器。

提示

Arm 是 *Arm Limited*（或其子公司）在美国和/或其他地区的注册商标。



2 概述

本应用笔记适用于所有具有较大功能集和严格电源要求的 STM32MP13x 器件。

本文档主要讲述核心芯片组的供电（STM32MP13x、DDR 和 Flash 存储器），并作如下假设：

- 来自主电源的直流输入电源：5.2 V 典型值（4 V - 5.5 V）。
- DDR3L 或 lpDDR2/3 不带总线端接电阻。
- 启动设备可以是 3.3 V 或 1.8 V 供电的 eMMC，或者 3.3 V 供电的 NAND、NOR 或 SD 卡
- 1 x USB-A Hs 主机端口和 1x USB-C HS 端口，支持 USB 电力传输。

本文档中提供的稳压器电气规范仅适用于严格遵循 STM32MP13x 解耦方案（参见[1]）和布局建议的情况。

本应用笔记中提供的功耗数值只是举例说明，不应用作参考。如需了解关于功耗的信息，请参阅[7]和相关产品数据手册[5]。

本应用笔记中提供的 STM32MP13x 电气和定时数据只是举例说明，不应用作参考。请参阅相关 STM32MP13x 产品数据手册。

2.1 参考文档

表 1. 参考文档

文档编号	标题
意法半导体文档。	
[1]	STM32MP13 系列硬件开发入门 (AN5474)
[2]	STPMIC1: 高度集成的电源管理 IC, 用于微处理器单元 (DS12792)
[3]	使用低功耗模式的 STM32MP13x 产品线 (AN5565)
[4]	STM32MP13xx 参考手册 (RM0475)
[5]	STM32MP135C/F: Arm® Cortex®-A7 (最高 1 GHz)、LCD-TFT、相机接口、2×ETH、2×CAN FD、2×ADC、24 个定时器、音频、密码和广播安全 (DS13483)
[6]	STM32MP1 系列寿命估计 (AN5438)
[7]	STM32MP13x 产品线系统功耗 (AN5787)
[8]	STM32MP13x 产品线的 DDR 存储器路由指南 (AN5692)

1. 参见 www.st.com

3 术语表

表 2. 术语表

术语	定义
FSBL	第一阶段启动程序
HSI	高速内部振荡器
IC	集成电路
LDO	低压降。本文档中的线性稳压器。
MPU	微处理器单元。指本文档中的 STM32MP13x 器件
PD	供电
POR	通电复位
RC	离散阻容网络
RCC	STM32MP13x 复位和时钟控制
SMPS	开关模式电源。
UHS-I	SD 卡超高速 I 模式
VRM	稳压器模块。在本文档中，VRM 既可以是降压 SMPS，也可以是 LDO，包括它们的相关分立元件。

4 分立电源拓扑

4.1 STM32MP13xD/F 运行过载模式（带 DDR3L、启动 Flash、SD-card UHS-I、USB-A 主机，以及 USB-C PD）

图 1 中所示的参考设计目标应用程序由主电源适配器供电，该适配器由通过 DDR3L 支持运行过载模式的 STM32MP13x、启动 Flash、兼容 UHS-I 模式的 SD 卡接口、USB2.0 HS Type-A 主机端口，以及 USB2.0 HS Type-C 电力传输端口组成。启动 Flash 可以是 eMMC、NAND、NOR 或 SD 卡。其中还包括其他外设（如以太网、音频和显示设备），以实例说明其应用。主外设接口的 I/O 电压为 3.3 V

[illegible]

4.1.1 输入电压

这些应用示例由一个 5.2 V（典型值）直流电压源（VIN）供电。

此电压兼容 USB 主机端口供电范围（USB 插座电压 4.75V - 5.5V）。如果不需要 USB 主机端口，则 VIN 典型电压可以扩展到更大的范围（如 4.0 V - 5.5 V），以便与应用稳压器兼容：

- 线性稳压器（LDO）
- 非隔离降压 SMPS

或者，该应用可以由更高的输入电压（比如 12V）供电。在这种情况下，使用具有正确额定输入电压的分立稳压器。对于高于 12 V 的输入电压（典型的工业应用），推荐使用预调节拓扑。例如，使用 24 - 5 V 降压 SMPS 进行预调节以生成 VIN，然后使用该示例中定义的拓扑。建议进行预调节，避免降压 SMPS 在占空比极低的情况下工作。

最小 VIN 电压应高于应用中使用的最高电压。在此应用中，3.3 V 为无 USB 主机端口的应用所需的最高电压（用于为 VDD、V3V3 和 VDD_USB 供电），而带 USB 主机端口的应用则需要 5.2 V 电压。如果考虑的是理想稳压器（无压降）和理想电源，最小 VIN 可以是 3.3 V。在实际情况下，3.3 V 稳压器的合理压降为 400 mV（在满载情况下工作），再加上 VIN 路径上的 300 mV 压降（包括直流和交流压降+裕量），需要的最低 VIN 电压大约为 4 V。

由具有最低最大额定输入电压的 VIN 供电的稳压器限制最高 VIN 电压。在该应用中，该电压假设为 5.5 V。

4.1.2 配电和稳压器拓扑建议

选择 LDO 或 SMPS 稳压器拓扑是在简单集成与高效性能之间进行权衡的结果：

- LDO：易于集成、噪声低，但功率效率（热熔性）低
- SMPS 功率效率高（热熔性比 LDO 低）；集成难度高，噪声比 LDO（开关动作）高。

对于由直流电源供电的应用（通常是由 AC-DC 墙上适配器供电），功率效率没有电池应用那么重要。然而，热熔性仍然是一个重要标准，应尽可能减少。尤其当应用程序运行最耗电的用例时。

相反，处于待机模式的应用程序应该有低静止电流使稳压器保持‘打开’，而低泄漏电流使稳压器‘关闭’。

应相应地选择稳压器拓扑：

VDD 电源域（3.3 V）：

VDD 是 MPU 和外设使用的参考设计主 I/O 电压域。

对于 VDD 电源域，LDO 拓扑是在权衡功率损失、电压噪声，以及成本之后的最佳选择：

- VDD / VIN 电压比是 0.66（3.3 V / 5 V）LDO 功率效率约为 66%，准常数。
- 平均电流消耗很低，即使复杂的用例也是如此。它通常低于最坏情况下的平均电流 100 mA（假定 50 mA），从来没有超过 200 mA（假设在非常坏的情况下峰值为 300 mA，留有一些余量）。
- 停止和待机模式下的电流消耗非常低：分别约为 10 mA 和 3.65 μ A（参见[5]了解有关详情及条件）

在 LDO 拓扑中，功率效率为：大约 66%（约等于 VDD / VIN 比率）；使用 SMPSSMPS 降压转换器时，约为 90%。采用 LDO 时的功率损耗为 85 mW，采用 SMPS 转换器时的功率损耗为 18 mW（假设电流消耗为 50 mA）。对于这两种情况，相比其他电源域，热熔性可以忽略不计。

在停止模式下，LDO 和降压 SMPS 的功率损耗是相等的，因为在轻负载情况下，普通降压 SMPS 转换器的功率效率会降低。

在待机模式下，SMPS 的功率损耗要比 LDO 高。SMPS 的静态电流通常比 LDO 高，而且 LDO 没有开关损耗。

VDDA 和 VREF 电源域（3.3 V）：

VDDA 引脚为 ADC 和参考电压缓冲器（VREFBUF）供电，以便为 ADC 生成 VREF+ 参考电压。

ADC 的性能不仅受 VREF+ 电源噪声电平的影响，还受到 VDDA 电源噪声电平的影响（由于 VDDA 电源抑制比）。

如果 VDDA 由 VDD 电源供电，根据需要的 ADC 能，可以在 VDD 电源和 VDDA 之间插入一个带低直流阻抗的低通滤波器。

如果期望有限的 ADC 性能，VREF+ 应仅连接到 VDD 电源。

VDDCORE 电源域（0.9 V - 1.25 V）：

VDDCORE 是主要的 MPU 数字电源域。

对于 VDDCORE 电源域，为了功率效率，建议使用降压 SMPS 拓扑，因为这是应用中电流消耗最高的域之一。

对于 V_{DDCORE} ，由于 V_{DDCORE} 和 V_{IN} 之间的比率约为 0.25 (1.25 V / 5 V)，所以不建议使用 LDO 拓扑。对于 LDO，功率效率可以低至 25%，这意味着 LDO 转换器消耗的能量远远大于 MPU 本身消耗的能量。

V_{DDCORE} 稳压器需要管理两个电压设置（以支持 LPLV-Stop2 和运行模式），分别为 0.9 和 1.25 V。

V_{DDCPU} 电源域（1.25 V – 1.35 V）：

V_{DDCPU} 是 MPU Arm® Cortex®-A7 CPU 数字电源域。

对于 V_{DDCPU} 电源域，建议使用降压 SMPS 拓扑，原因与 V_{DDCORE} 相同。

STM32MP13xD 和 STM32MP13xF 器件具有增强的用户任务概述（参见[6]）。该配置文件允许 Arm® Cortex®-A7 CPU 时钟频率最高达到 1 GHz（参见[5]了解详细信息和限制）。

当 CPU 频率（ F_{mpuss_ck} ）高于 650 MHz 时， V_{DDCPU} 电源电压必须提高到运行过载模式值（参见[5]）。如果在运行模式下的频率等于或小于 650 MHz， V_{DDCPU} 电源电压必须设置回到运行模式的标称值。参见第 5.3 节 STM32MP15xD 和 STM32MP15xF 运行过载模式管理获取关于“如何在运行模式和运行过载模式之间切换”的详细流程。

因此， V_{DDCPU} 稳压器模块需要管理两个电压设置（分别为 1.25 V 和 1.35 V），用于在运行模式和运行过载模式之间切换。

V_{DD_DDR} (1.35 V)、 V_{REF_DDR} (0.675 V) 电源域：

V_{DD_DDR} 专用于 DDR3L 易失性存储器 IC 电源（VDD 和 VDDQ）和 MPU DDR 接口电压域（VDDQ_DDR）

对于 V_{DD_DDR} 电源域，建议使用降压 SMPS 拓扑，原因与 V_{DDCORE} 相同。

V_{REF_DDR} 专用于 DDR3L 易失性存储器 IC 参考电压（VREFQ/VREFCA）和 MPU DDR 参考电压（DDR_VREF），电压值为 $V_{DD_DDR}/2$ 。

对于 V_{REF_DDR} 电源域，推荐采用分压器拓扑。它包含两个具有相同阻值的电阻器（例如：1 kΩ +/- 1%）（参考 V_{DD_DDR} ）以生成 V_{REF_DDR} （电压值为 $V_{DD_DDR}/2$ ）。

为 DDR3L 易失性存储器 IC 电源（VREFQ/VREFCA）配有一个分压器，为 MPU DDR 接口电压域（DDR_VREF）配有一个分压器。

提示

在图 1 的参考设计中，没有 VTT_DDR（Fly-by 拓扑终止），因为通常 16 位 DDR3 配置只需要一个内存芯片。

V_{DD_USB} 电源域（3.3 V）：

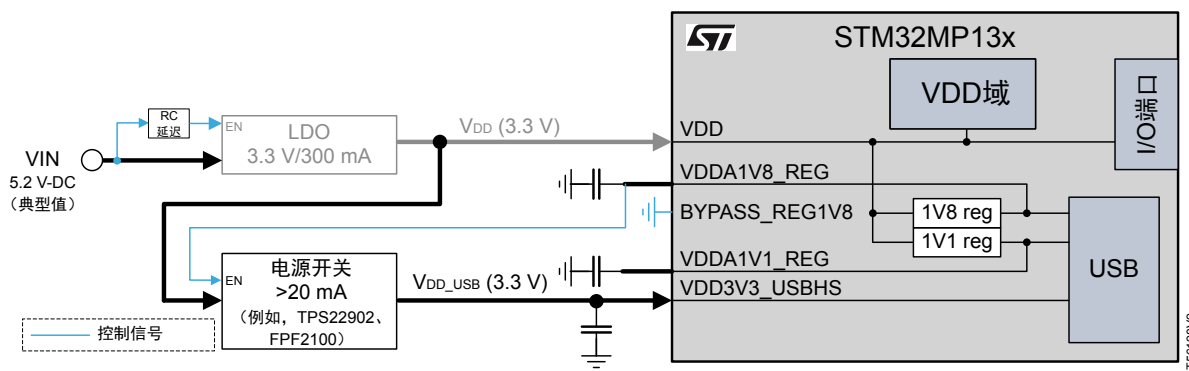
V_{DD_USB} 专用于为 MPU USB PHY 供电（VDD3V3_USBHS）。VDD3V3_USBHS 功耗小于 11.5 mA 典型值（假设 20 mA，留有一些余量）。

当 VDDA1V8_REG 不存在时，VDD3V3_USBHS 不得存在，不然会使 MPU 永久损坏（参见[5]获取详细信息）。VDD3V3_USBHS 不能直接连接到 VDD，因为 VDD 总是出现在 VDDA1V8_REG 之前。

为了适应该约束，应该由 VDDA1V8_REG 启用 VDD3V3_USBHS。 V_{DD_USB} 是在启用 VDD1V8_REG 时启用的，因此默认情况下是在上电时启用的。可以有不同的电源选项：

- 专用 LDO（推荐）：参见 图 1
- 集成式电源开关 / 负载开关：参见 图 2
- 分立电源开关：参见 图 3

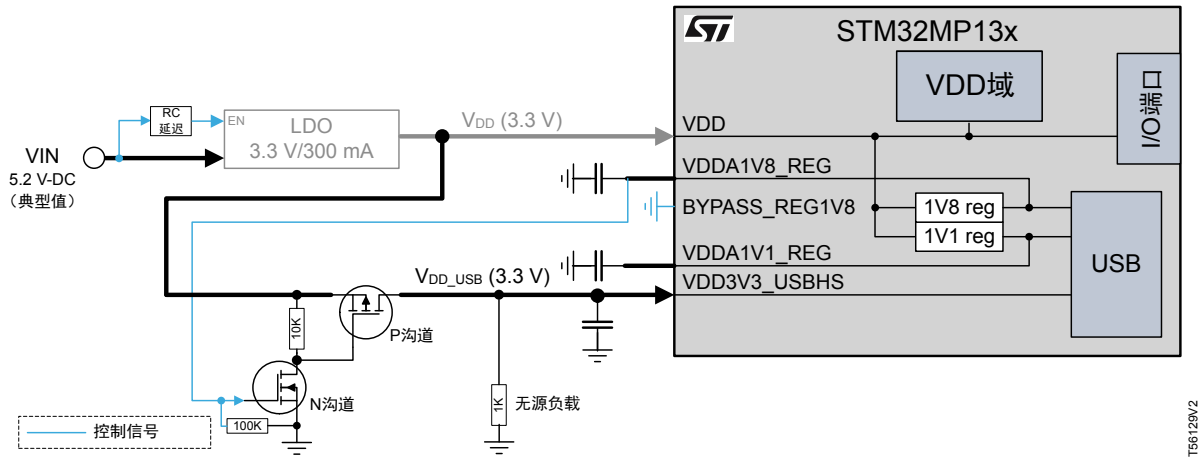
图 2. VDD3V3_USBHS 电源配集成电源开关



电源开关（负载开关）的主要电气标准有：

- 导通电阻应该足够低，以确保 V_{DD_USB} 永远不会低于 3.07 V。如果 VDD 有 +/-5% 的容差，通常低于 3.25 Ω ：
 $R_{on} < ((3.3\text{ V} - 5\%) - 3.07\text{ V}) / 20\text{ mA} = 3.25\text{ }\Omega$
- EN_V_{IH} 最小阈值（高电平有效）应低于 1.65 V（最小 V_{DDA1V8_REG} ），以确保电源开关在任何情况下都能接通。
- 当电源开关被禁用时，建议使用集成输出放电电阻器为 V_{DD_USB} 解耦电容放电

图 3. 通过分立电源开关为 VDD3V3_USBHS 供电



该分立电源开关由一个 P 沟道功率 MOSFET 和一个 N 沟道 MOSFET 组成。P 沟道作为电源开关，将电流从 V_{DD} 吸取到 V_{DD_USB} ，提供给 $V_{DD3V3_USBHS/FS}$ 。P 沟道栅极由 N 沟道 MOSFET 驱动，它作为漏极开路用于反转 P 沟道的极性。N 沟道栅极由 V_{DDA1V8_REG} 电压驱动。增加了 1 k Ω 无源负载为 V_{DD3V3_USBHS} 上的解耦电容放电；在启用 V_{DD_USB} 后，持续消耗 3.3 mA 电流。

分立电源开关主要电气特性：

- P 沟道 MOSFET:
 - V_{DSS} 和 $V_{GSS} > -3.3\text{ V}$
 - I_D 最小: -20 mA
 - I_D 峰值 $\gg -20\text{ mA}$ （为 V_{DD3V3_USBHS} 解耦电容充电时的峰值电流）
 - $V_{GS} = -3.3\text{ V}$ 时, $R_{DS(ON)} < 3.25\text{ }\Omega$
- N 沟道 MOSFET:
 - $V_{DSS} > 3.3\text{ V}$
 - $V_{GSS} > 1.8\text{ V}$
 - I_D 最小: 10 mA
 - $V_{GS} = 1.8\text{ V}$ 时, $R_{DS(ON)} < 100\text{ }\Omega$

V3V3 和 V1V8 电源:

对于 V_{D3V3} 和 V_{1V8} 电源域，电压和稳压器拓扑取决于最终应用。在图 1 中所示的应用中，假设所有外设都可以由 3.3 V 电压源供电。 V_{1V8} 是一个可选的电源，用于为特定外设（如模拟音频编解码器）供电。在图 1 所示的应用中， V_{1V8} 专门用于为 SD-card MPU GPIO（ V_{DDSD1} ）供电（当 SD 卡设备运行于 UHS-I 模式时）。

Sd 卡电源域（ V_{DD_SD} 和 $V_{DD_SD_IO}$ ）:

在图 1 所示的应用中，SD 卡接口支持 UHS-I 模式。

SD 卡设备由 V_{DD_SD} 低压（来自 V_{3V3} 电源域）通过电源开关供电，允许在运行时打开/关闭 SD 卡设备。需要电源开关对 SD 卡设备执行一个断电重启，以便将 SD 卡设备从 UHS-I 模式复位为默认速度模式。当 MPU 的 SD 卡软件驱动需要重新启动 SD 卡（通过将 PWR_SD_EN 信号从低置位到高）或在系统复位期间（当 $NRST$ 被置位时），通常需要这样。

$V_{DD_SD_IO}$ 电源域专门用于为 MPU $VDDSD1$ I/O 域供电。 $V_{DD_SD_IO}$ 由一个电源多路复用器供电，允许 $V_{DD_SD_IO}$ 从 V_{DD_SD} 电压（3.3 V）动态切换到 V_{1V8} （1.8 V）。

- 当 SD 卡运行于默认速度模式时（复位状态）， $V_{DD_SD_IO} = 3.3\text{ V}$
- 当 SD 卡运行于 UHS-I 模式时， $V_{DD_SD_IO} = 1.8\text{ V}$

图 1 中所示的信号 SD_VSEL 由 MPUGPIO 上的 MPU SD 卡软件驱动程序控制，当 SD 卡从默认速度模式切换到 UHS-I 模式时，控制电源多路复用器将 $V_{DD_SD_IO}$ 从 3.3 V 切换到 1.8 V：

当请求 UHS-I 模式时，软件向 SD 卡设备发送一条命令，在内部将 GPIO 改为 1.8 V。然后软件将 $V_{DD_SD_IO}$ 电压从 3.3 V 切换为 1.8 V（方法是将 V_SEL 信号设为 HIGH）。然后，软件可以将 SDMMC1 GPIO 改为高驱动 HSLV 模式（方法是将 $SYSCFG_HSLVENxR$ 寄存器设为 0x1018）。在 $SYSCFG_HSLVENxR$ 中，如果使用 SDMMC1，这 $x=4$ （如果使用 SDMMC2，则 $x=5$ ）。

Caution: 在 $V_{DD_SD_IO}$ 电压设为 1.8 V 之前， $SYSCFG_HSLVENxR$ 不能设为 HSLV，否则器件可能会损坏。

提示

建议对 SD_VSEL 信号使用下拉电阻，以确保 $V_{DD_SD_IO} = 3.3\text{ V}$ （复位状态下）

如果 SD 卡被软件关闭（ $PWR_SD_EN = '0'$ ），软件必须在将 $V_{DD_SD_IO}$ 设为 3.3 V（ V_SEL LOW）之前首先复位 $SYSCFG_HSLVENxR$ 。然后，软件可以打开 V_{DD_SD} 供电电压（ $PWR_SD_EN = '1'$ ）

如果发生系统复位（ $NRST$ 断言）， $SYSCFG_HSLVENxR$ HSLV 内容自动复位，且 SD_VSEL 和 $PWR_SD_ENGPIIO$ 进入高阻抗。 $NRST$ 释放后，SD 卡自动上电（SD 卡电源开关的 EN 信号变为 HIGH）， $V_{DD_SD_IO}$ 自动设为 3.3 V（ SD_VSEL 由分立下拉电阻下拉）。

因此，图 1 中所示的应用程序允许 MPU 通过 SD 卡接口启动或在系统复位（ $NRST$ 置位）后安全重启

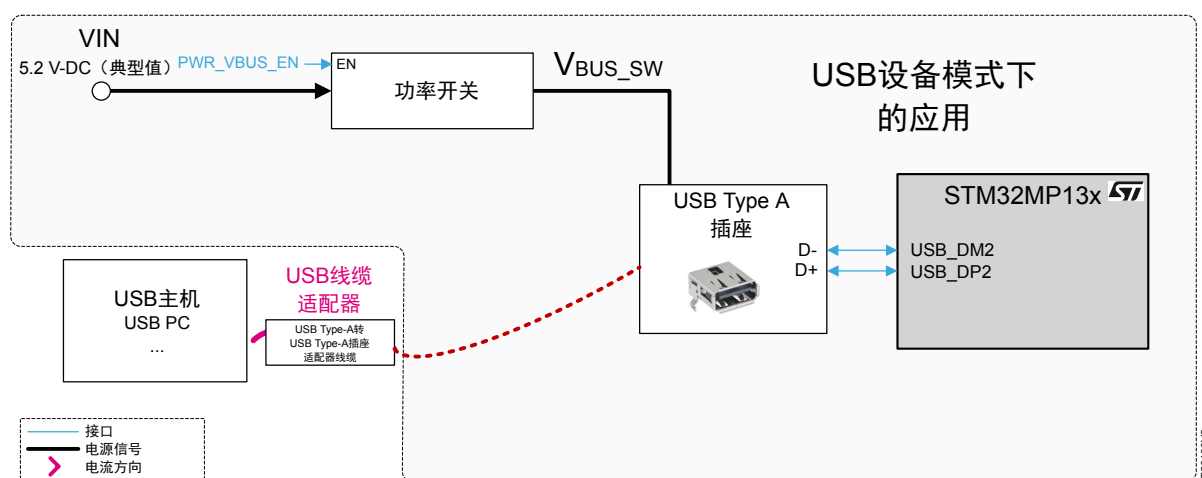
V_{BUS_SW1} 和 V_{BUS_SW2} 电源：

在图 1 所示的应用中， V_{BUS_SW1} 将电源域专门用于为 Type-A USB 高速主机端口供电，而 V_{BUS_SW2} 将电源域专门用于为 USB Type-C®高速双角色数据端口和双重功能电源端口供电。

V_{BUS_SW1} 和 V_{BUS_SW2} 均由 VIN 通过独立电源开关以 5.2 V 电压供电。5.2 V 电压被定义为在满载时符合 USB V_{BUS} 规格范围（USB 连接器上的电压从 4.75 V 到 5.5 V），包括电源开关造成的损耗。

通过 Type-A 连接器从 USB 进行刷写

图 4. 通过 Type-A 连接器从 USB 进行刷写



对于仅有一个 Type-A 插座 USB 端口的应用，仍然可以通过 MPU 应用上的 USB 执行串行启动。这可以在 USB 设备模式下完成。

这种特定的启动模式不同于使用 USB Type-C 或 USB Type-B 插座的经典启动模式。为了支持这种特定的启动模式，有两个要求：

- USB Type-A 插座用于 USB 设备模式
- 需要使用专用的非 USB 兼容的 Type-A 转 Type-A 插头电缆。

主机 PC 的 USB Type-A 插座必须一端连接到专用线缆，而另一端连接到 MPU 设备的 USB Type-A 插座。

提示

如果 V_{BUS} 在非 USB 兼容的 Type-A 转 Type-A 插头电缆内部互连，则 V_{BUS_SW} 从 USB 主机 PC 端口供电。由于大多数电源开关没有反向电压保护功能，电流反向通过电源开关，使得 V_{IN} 从 V_{BUS_SW} 供电。

STM32CubeProgrammer 用于在主机 PC 上对目标 MPU 上的 Linux 发行版进行 flash 操作。

MPU 必须随时可用于 USB/UART 启动：

- 或者 Flash 存储器为空：因此，MPU 在 USB/UART 启动模式下自动切换
- 或者对启动引脚进行设置，以强制执行 USB/UART 启动模式（ $BOOT[2:0]='000'$ or $'110'$ ）

在上述用例中， V_{BUS_SW} 信号不需要连接到 MPU，因此启动 ROM 不探查 V_{BUS} 以检测主机 PC 连接。

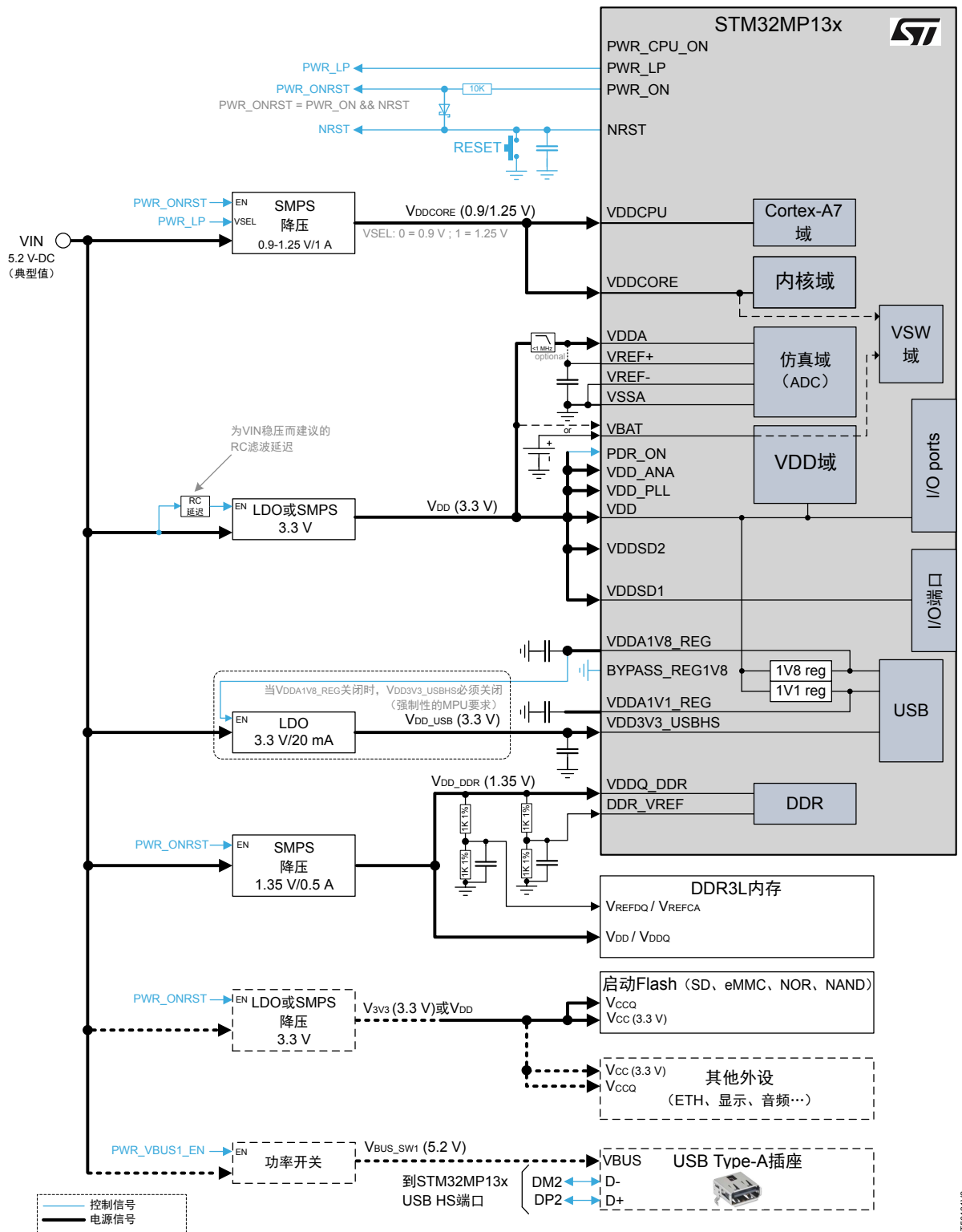
刷写操作：

1. 初始条件：
 - PC 准备枚举 USB DFU
 - 如果 flash 不为空，启动引脚设置为 USB/UART 模式
 - 板件电源关闭
 - USB 电缆连接 PC 主机和 MPU 板
2. 电源开启（或者 STM32MP13x MPU 的复位生效）
3. PC 枚举 USB DFU
4. 通过 STM32Cube Programmer 开始刷写

刷写完成后，必须断开主机 PC 与 MPU 器件之间的 USB 线缆。这必须在应用程序模式下从 Flash 启动系统之前完成，因为应用程序可能通过设置 PWR_VBUS_EN 信号的方式来启用 USB 主机端口电压（ V_{BUS_SW} ）。

4.2 低成本的 STM32MP13x 配 DDR3L、启动 Flash，以及 USB-A 主机

图 5 中所示的参考设计所适用的低成本应用由主电源适配器供电，该适配器包含一块 STM32MP13x（其 V_{DDCORE} 和 V_{DDCPU} 已合并）、一个 DDR3L、一个启动 Flash、一个 SD 卡，以及一个 USB2.0 HS 主机端口。启动 Flash 可以是 eMMC、NAND、NOR 或 SD 卡。其中还包括其他外设（如以太网、音频和显示设备），以实例说明其应用。主外设接口的 I/O 电压为 3.3 V。

图 5. 低成本版本的 V_{DDCPU} 与 V_{DDCORE} 合并，使用单一降压 SMPS


提示 以下内容不在图中显示：

- MPU 解耦方案显示（参见[1]）。
- 未显示 SMPS 和 LDO 稳压器产品编号，以及分立元件，但第 6 节 稳压器模块规范详细介绍了其电气规范。
- VIN 源和相关保护（如 ESD、EMI 滤波，以及过压）措施未显示。

提示 在这种配置（V_{DDCPU} 和 V_{DDCORE} 合并）下，LPLV-Stop2 模式和运行过载模式不可用

提示 供电选项：

- 如果不需要 USB 端口，则可移除 V_{DD_USB} LDO
- 如果不需要待机模式，则 V_{3V3} 电源域（外设电源）可以与 V_{DD} 电源域合并，以允许移除 V_{3V3} 的 VRM。因此，由合并的 V_{DD} / V_{3V3} 电源域供电的启动 Flash 和外设必须通过硬件信号（NRST）复位，因为 VDD 电源域是始终通电的电源。

4.2.1 输入电压

请参见第 4.1.1 节 输入电压。

4.2.2 配电和稳压器拓扑建议

类似于第 4.1.2 节 配电和稳压器拓扑建议，不同之处如下：

V_{DDCORE} 电源域（0.9 V - 1.25 V）：

在图 5 所示的应用中，V_{DDCORE} 电源域为 MPU V_{DDCORE} 和 V_{DDCPU} 供电。它们被合并以节约降压 SMPS（相比图 1 中所示的应用）。

在该应用中：

- V_{DDCPU} 电源被限定为运行模式标称电压，因此，CPU 频率被限定为 650 MHz
- 不支持 LPLV-Stop2
- 支持 LPLV-Stop

对于 V_{DDCORE} 电源域，为了功率效率，建议使用降压 SMPS 拓扑，因为这是应用中电流消耗最高的域之一。

对于 V_{DDCORE}，由于 V_{DDCORE} 和 VIN 之间的比率约为 0.25 (1.25 V / 5 V)，所以不建议使用 LDO 拓扑。对于 LDO，功率效率可以低至 25%，这意味着 LDO 转换器消耗的能量远远大于 MPU 本身消耗的能量。

V_{DDCORE} 稳压器需要管理两个电压设置（以支持 LPLV-Stop 和标称运行模式），分别为 0.9 和 1.25 V。

VDD_SD 电源域（3.3 V）：

在图 5 所示的应用中，SD 卡直接由 V_{3V3} 电源域供电（热插拔）（相比图 1 中所示的应用）。因此，SD 卡只能在默认速度模式下运行。

VDD 和 V3V3 电源域（3.3 V）：

如果应用中未请求超低功耗模式（通常是待机模式），则 V_{DD} 和 V_{3V3} 可以合并以节约一个稳压器。在这种情况下，建议使用降压 SMPS 为 V_{DD} 和 V_{3V3} 电源域供电，使所有外设（包括启动 Flash）始终通电。

在这种情况下，要求在系统复位（NRST 置为有效）发生后，所有由此电源始终供电的外设都可以重新启动。因此，需要特别关注启动 Flash 外设。

4.3 STM32MP13xD/F（支持运行过载模式）带 IpDDR2/3、启动 Flash、USB-A 主机，以及 I/O 电压（1.8 V）

图 6 中的参考设计所适用的应用由主电源适配器供电，该适配器包含支持运行过载模式的 STM32MP13x、IpDDR2/3，一个启动 Flash，以及一个 USB2.0 HS Type-A 主机端口。启动 Flash 可以是 eMMC、NAND、NOR 或 SD 卡。其中还包括其他外设（如以太网、音频和显示设备），以实例说明其应用。主外设接口的 I/O 电压为 1.8 V。

图 6. STM32MP13x 带 IpDDR2/3、启动 Flash，以及 I/O 电压 (1.8 V)



以下内容不在图中显示:

- page 14/48

4.3.1 输入电压

请参见第 4.1.1 节 输入电压。

4.3.2 LDO 或 SMPS 的稳压器拓扑建议

类似于第 4.1.2 节 配电和稳压器拓扑建议，不同之处如下：

VDD 电源域：

对于 VDD 电源域，为了功率效率，建议使用降压 SMPS 拓扑。

然而，因为该电源域上的低电流消耗，LDO 拓扑也可以接受：采用 LDO 拓扑时，功率效率约为 36%（约等于 V_{DD} / V_{IN} 比率）；使用 SMPS 降压转换器时，约为 90%。采用 LDO 时的功率损耗为 160 mW，采用 SMPS 转换器时的功率损耗为 18 mW（假设电流消耗为 50 mA）。如果 60mw 的损耗可以接受，那么就可以使用 LDO，具体取决于应用的散热能力。

VDD_USB 电源域：

VDD_USB 专用于为 MPU USB PHY 供电（VDD3V3_USBHS）。它的供电电压必须位于 3.07 - 3.6 V 范围内。

VDD3V3_USBHS 功耗小于 11.5 mA 典型值（假设 20 mA，留有一些余量）。

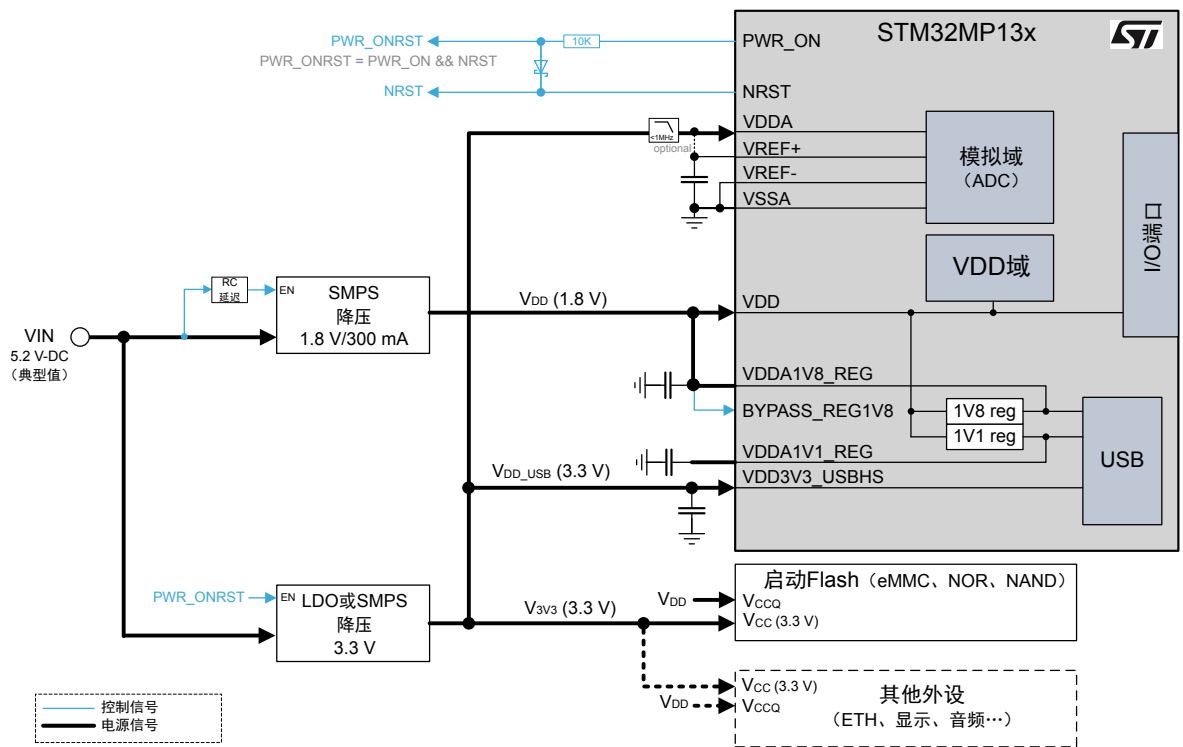
当 VDDA1V8_REG 不存在时，VDD3V3_USBHS 不得存在，不然会使 MPU 永久损坏（参见[5]获取详细信息）。

VDD3V3_USBHS 不能直接连接到 VDD，因为 VDD 总是出现在 VDDA1V8_REG 之前。

为了适应这一约束，VDD3V3_USBHS 必须与 PWR_ON 或 PWR_ONRST 信号同步，因为 VDD 连接到 VDDA1V8_REG，并在应用中首先上升（参见图 6）。有两个电源选项：

- 专用 LDO（推荐）：参见图 6
- 重用为外设供电（V_{D3V3}）的稳压器：参见图 7。

图 7. 从 V_{3V3} 为 VDD3V3_USBHS 供电



V_{3V3} 电源可用于为 VDD3V3_USBHS 供电，但需满足以下条件：

- V_{3V3} 电压必须在 VDD3V3_USBHS 电压公差（3.07 V 至 3.6 V）范围内。
- 除非 VDD（VDDA1V8_REG）存在，否则 V_{3V3}（VDD3V3_USBHS）不得存在。

如果 V_{3V3} 稳压器具有相同的电压并且通过 PWR_ONRST 进行控制 (如图 7 中所示), 则满足两个约束条件。

VDDA 和 VREF 电源域:

V_{DDA} 引脚为 ADC 和参考电压缓冲器 (VREFBUF) 供电, 以便为 ADC 生成 V_{REF+} 参考电压。

ADC 的性能不仅受 V_{REF+} 电源噪声电平的影响, 还受到 V_{DDA} 电源噪声电平的影响 (由于 V_{DDA} 电源抑制比)。

如果应用中使用的 ADC 的参考电压 V_{REF+} 高于 2 V, 则可以使用 V_{3V3} 电源为 V_{DDA} 供电。根据需要的 ADC 性能, 可以在 V_{3V3} 电源和 V_{DDA} 之间插入一个带低直流阻抗的低通滤波器。

如果能够接受有限的 ADC 性能, 则 V_{REF+} 可以连接到 V_{3V3} 电源。

VDD1_DDR (1.8 V)、VDD2_DDR (1.2 V) 电源域:

V_{DD1_DDR} 专门为 IpDDR2 或 IpDDR3 易失性存储器 IC 供电 (V_{DD1})。

V_{DD2_DDR} 专门为 IpDDR2 或 IpDDR3 易失性存储器 IC 供电 (V_{DD2} 、 V_{DDQ} , 以及 V_{DDCA}), 也用于 MPU DDR 接口电压域 (V_{DDQ_DDR})。

V_{REF_DDR} 专门用于 IpDDR2 或 IpDDR3 易失性存储器 IC 参考电压 (V_{REFQ}/V_{REFCA}), 以及 MPU DDR 参考电压 (DDR_VREF , 电压值为 $V_{DD2_DDR}/2$)。

对于 V_{DD1_DDR} 电源域, 推荐采用 SMPS 拓扑。然而, 因为该电源域上的低电流消耗 (平均值低于 5 mA, 最高 ~30 mA), LDO 拓扑也可以接受: 采用 LDO 拓扑时, 功率效率约为 36% (约等于 V_{DD1_DDR}/V_{IN} 比率); 使用 SMPS 降压转换器时, 约为 90%。采用 LDO 时的功率损耗为 16 mW, 采用 SMPS 转换器时的功率损耗为 1 mW (假设电流消耗为 5 mA)。如果 16 mW 的损耗可以接受, 那么就可以使用 LDO, 具体取决于应用。

对于 V_{DD2_DDR} 电源域, 建议使用降压 SMPS 拓扑; 如果采用 LDO 拓扑, 功率效率大约为 24% ($\sim V_{DD2_DDR}/V_{IN}$ 比率)。

对于 V_{REF_DDR} 电源域, 可以采用分压器拓扑。它包含两个具有相同阻值的电阻器 (例如: 2 K Ω 或 2.2 K Ω $\pm 1\%$) (参考 V_{DD2_DDR}) 以生成 V_{REF_DDR} (电压值为 $V_{DD2_DDR}/2$)。为 IpDDR2/3 易失性存储器 IC 电源 (V_{REFQ}/V_{REFCA}) 配有一个分压器, 为 MPU DDR 接口电压域 (DDR_VREF) 配有一个分压器。

Caution:

IpDDR2 和 IpDDR3 拥有必须遵守的上电和下电序列。JEDEC 标准 JESD209-2B 和 JESD209-3C 对 IpDDR2 和 IpDDR3 分别进行了定义。

根据图 6:

- $V_{DD1_DDR} = V_{DD1}$
- $V_{DD2_DDR} = V_{DD2} = V_{DDQ} = V_{DDCA}$
- $V_{REFQ} = V_{REFCA} = V_{DD2_DDR}/2$

JEDEC 标准中定义的 IpDDR2/3 上电约束可以简化为:

- 一旦 V_{DD1_DDR} 或 $V_{DD2_DDR} > 300$ mV
- V_{DD1_DDR} 必须高于 $V_{DD2_DDR} - 200$ mV

JEDEC 标准中定义的 IpDDR2/3 下电约束可以简化为:

- 一旦 $V_{DDx_min} > V_{DD1_DDR}$ 或 $V_{DD2_DDR} > 300$ mV
- V_{DD1_DDR} 必须高于 $V_{DD2_DDR} - 200$ mV

提示

V_{DDx_min} 是 JEDEC 中指定的 V_{DD1} 最小值或 V_{DD2} 最小值。

图 6 提出的电路允许对 V_{DD1_DDR} 和 V_{DD2_DDR} 稳压器进行控制, 以满足上述电气约束:

IpDDR2/3 上电时序:

- 当 NRST 信号有效后, V_{DD1_DDR} 和 V_{DD2_DDR} 稳压器关闭
- 一旦 NRST 信号被释放, V_{DD1_DDR} 稳压器启动 (V_{DD2_DDR} 稳压器保持禁用状态)
- 一旦 V_{DD1_DDR} 稳压器达到定义的输出电压 (例如 1.6 V, 该电压值被认为是 V_{DD2_DDR} 稳压器 EN 引脚的使能阈值), V_{DD2_DDR} 稳压器启动
- 当 $V_{REFQ} = V_{DD2_DDR}/2$ 时, V_{DD2_DDR} 稳压器输出电压上升

IpDDR2/3 下电时序:

- 当 NRST 信号被释放后, V_{DD1_DDR} 和 V_{DD2_DDR} 稳压器均开启

- 一旦 NRST 信号有效或 VIN 下降， V_{DD1_DDR} 稳压器停止工作，而 V_{DD1_DDR} 输出电压放电或 V_{DD1_DDR} 输出电压跟随 VIN（减去稳压器压降）
- 一旦 V_{DD1_DDR} 稳压器电压降至定义的输出电压（例如 1.4 V，考虑到 V_{DD2_DDR} 稳压器 EN 引脚上的 200 mV 迟滞）之下， V_{DD2_DDR} 稳压器停止工作
- 当 $V_{REFQ} = V_{DD2_DDR} / 2$ 时， V_{DD2_DDR} 稳压器输出电压下降

提示

V_{DD1_DDR} 稳压器和 V_{DD2_DDR} 稳压器必须内置放电电路。要求 V_{DD2_DDR} 稳压器具有比 V_{DD1_DDR} 稳压器更快的放电电路，以满足下电电气约束。

5 电源管理

下面的章节将介绍以下电源模式：

- 工作模式
- 应用上电和下电模式
- 低功耗管理模式
- 用户复位和崩溃恢复管理
- 软件管理示例

5.1 工作模式

应用程序可以根据系统的活动切换到不同的工作模式。工作模式由 **MPU** 管理。工作模式控制电源管理和时钟分配（参照[3]中的详细信息）。

三个 **MPU** 输出引脚 **PWR_ON**、**PWR_CPU_ON** 和 **PWR_LP** 可根据工作模式自动控制。它们用于控制应用稳压器：

- **PWR_ON** 上电请求信号（高电平有效）：启用 **VDDCORE** 和应用外设电源。它在运行、停止、**LPLV-Stop**，以及 **LPLV-Stop2** 模式下活跃。它在待机模式下不活跃（当 **VDD** 不存在时，在 **VBAT** 和关机模式下为隐式）。
- **PWR_CPU_ON** 上电请求信号（高电平有效）：启用 **VDDCPU**。它在运行、停止，以及 **LPLV-Stop** 模式下活跃。它在 **LPLV-Stop2** 和待机模式下不活跃。
- **PWR_LP** 低功耗请求信号（低电平有效）：它用于请求稳压器或外设进入低功耗状态。它在 **LPLV-Stop**、**LPLV-Stop2**，以及待机模式下活跃。它在运行和停止模式下不活跃。

提示

有了分立稳压器应用，**LPCFG**（**PWR_CR1** 寄存器中的 **PWR_ON** 引脚配置）必须始终设置为 0。

表 3 总结了图 1 中阐述的应用工作模式的供电状态。

其中不包括 **LP-Stop** 模式，因为 **LPLV-Stop** 或 **LPLV-Stop2** 在此应用笔记的上下文中更合适。

表 3. 系统工作模式

工作模式	PWR_ON	PWR_CPU_ON	PWR_LP	说明	注释
运行	1	1	1	V _{DD} 上电 V _{DDCORE} 、V _{DDCPU} 、电源打开、系统时钟打开 V _{3V3} 电源打开、V _{DD_SD} 电源打开/关闭 DDR 活跃/自动刷新	(1)(2)
停机	1	1	1	V _{DD} ，V _{DDCPU} 电源打开 V _{DDCORE} 电源打开，系统时钟关闭 V _{3V3} 电源打开、V _{DD_SD} 电源打开/关闭 DDR 活跃/自动刷新	(1)(2)
LPLV-Stop	1	1	0	V _{DD} 上电 V _{DDCORE} & V _{DDCPU} （合并）以低电压上电，系统时钟关闭 V _{3V3} 电源打开、V _{DD_SD} 电源打开/关闭 DDR 自刷新	(1)(3)
LPLV-Stop2	1	0	0	V _{DD} 上电 V _{DDCPU} 断电 V _{DDCORE} 以更低电压上电，系统时钟关闭 V _{3V3} 电源打开、V _{DD_SD} 电源打开/关闭 DDR 自刷新	(1)(4)
待机	0	0	0	V _{DD} 上电	(1)(5)

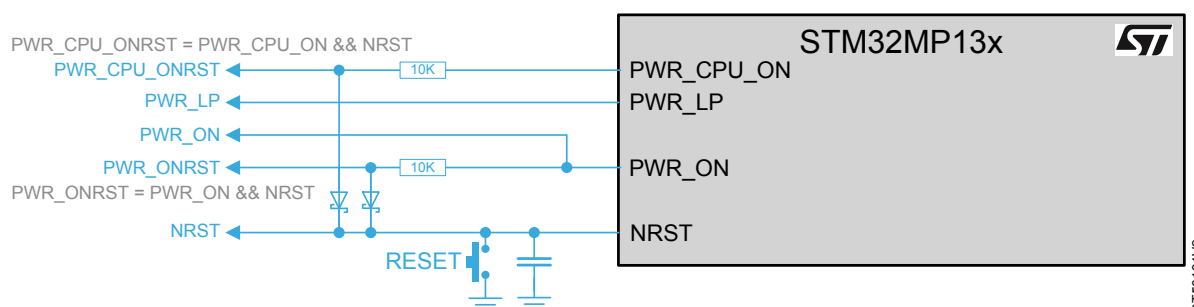
工作模式	PWR_ON	PWR_CPU_ON	PWR_LP	说明	注释
				VDDCORE、VDDCPU 下电，系统时钟关闭 V3V3 下电、VDD_SD 下电 DDR 关闭或自刷新	
关闭或 Coin-cell-VBAT	-	-	-	所有电源关闭；如果存在 Coin-cell-VBAT，则 MPU VSW 域除外	(6)

1. 根据应用的不同，DDR 易失性存储器可以是 DDR3、DDR3L、lpDDR2 或 lpDDR3。
2. 运行和停止模式之间的区别仅基于 STM32MP1 系列微处理器时钟管理。至于电源管理，运行模式和停止模式之间没有差别。
3. LPLV-Stop 只有在 VDDCORE 和 VDDCPU 合并后才相关，就像处于图 5 中（不支持 LPLV-Stop2）的应用程序一样。
4. 仅当 VDDCORE 和 VDDCPU 独立时，才支持 LPLV-Stop2，就像处于图 1 和图 6 中的应用程序那样。
5. 根据应用程序的不同，DDR 可以在待机模式下关闭，就像处于图 1 中的应用程序那样；或者 DDR 可以进入自刷新状态，就像处于图 6 中的应用程序那样。
6. 为了在 VDD 关闭后，还能保留 STM32MP1 系列微处理器 VSW 域（RTC、备份寄存器、备份 RAM，以及保留 RAM）的内容，可将 STM32MP1 系列微处理器的 VBAT 引脚连接到可选的纽扣电池。

5.1.1 复位和崩溃恢复管理电路

PWR_ONRST 和 PWR_CPU_ONRST 是专门用于管理应用级系统复位和崩溃恢复的附加信号。如图 8 中所示，PWR_ONRST 和 PWR_CPU_ONRST 信号由 PWR_ON 和 PWR_CPU_ON 与 NRST 信号通过离散逻辑“与”电路生成。

图 8. PWR_ONRST 和 PWR_CPU_ONRST 崩溃恢复管理信号



AND 逻辑电路由一个 10 kΩ 电阻和一个二极管组成。建议使用肖特基二极管，如 BAT54 或 BAT60。10 kΩ 电阻的阻值可以根据稳压器使能（EN）输入引脚的综合阻抗进行调整；如在部分或所有稳压器使能（EN）引脚内置有下拉电阻器的情况下，尤其如此。

TPWR_ONRST 信号和 PWR_CPU_ONRST 信号分别相当于 PWR_ON 信号和 PWR_CPU_ON 信号。然而，如果发生复位（NRST 信号低脉冲），PWR_ONRST 和 PWR_CPU_ONRST 信号变成低电平，这意味着由该信号控制的稳压器在 NRST 低脉冲持续时间内关闭，然后复位释放到高电平状态后再打开。

这使得电源循环可以在外设上进行。建议在应用复位（NRST）发生后进行电源循环，以确保外设的正确重启和复位，特别是对于没有复位输入信号的外设。对于 eMMC、NAND、NOR 和 SD-Card 等外设启动器件/Flash 存储器，特别建议进行电源循环。

MPU 器件具有双向焊盘复位（NRST），允许复位外部器件。如果发生崩溃（iwdg1_out_rst 或 iwdg2_out_rst watchdog 超时），NRST 信号上会产生一个复位脉冲。PWR_ONRST 信号上会产生一个相同的脉冲来控制 STM32MP13x 内核域电源和外设电源的电源循环。PWR_CPU_ONRST 信号上会产生一个相同的脉冲来控制 STM32MP13x Arm® Cortex®-A7 CPU 数字电源域的电源循环。第 5.5 节 故障恢复管理中提供了一个时序图示例。

Important:

MPU 的 RPCTL（复位脉冲控制）允许控制 NRST 引脚的最小脉冲持续时间。启动时必须由软件启用，并设置适当的持续时间；例如，通过在 RCC_RDLISICR 寄存器中设置位字段 MRD[4:0] = 0x1F，将脉冲持续时间设为 31 ms。

这就确保分立稳压器输出电压有足够的时间在脉冲结束（过渡到‘1’）之前下降，并重新启用稳压器。在图 9 到图 16 中，与管理有关的 VDDA1V8_REG 电平和信号波形以浅蓝色显示，从而提高清晰度。

5.2 上电 / 下电时序和复位管理

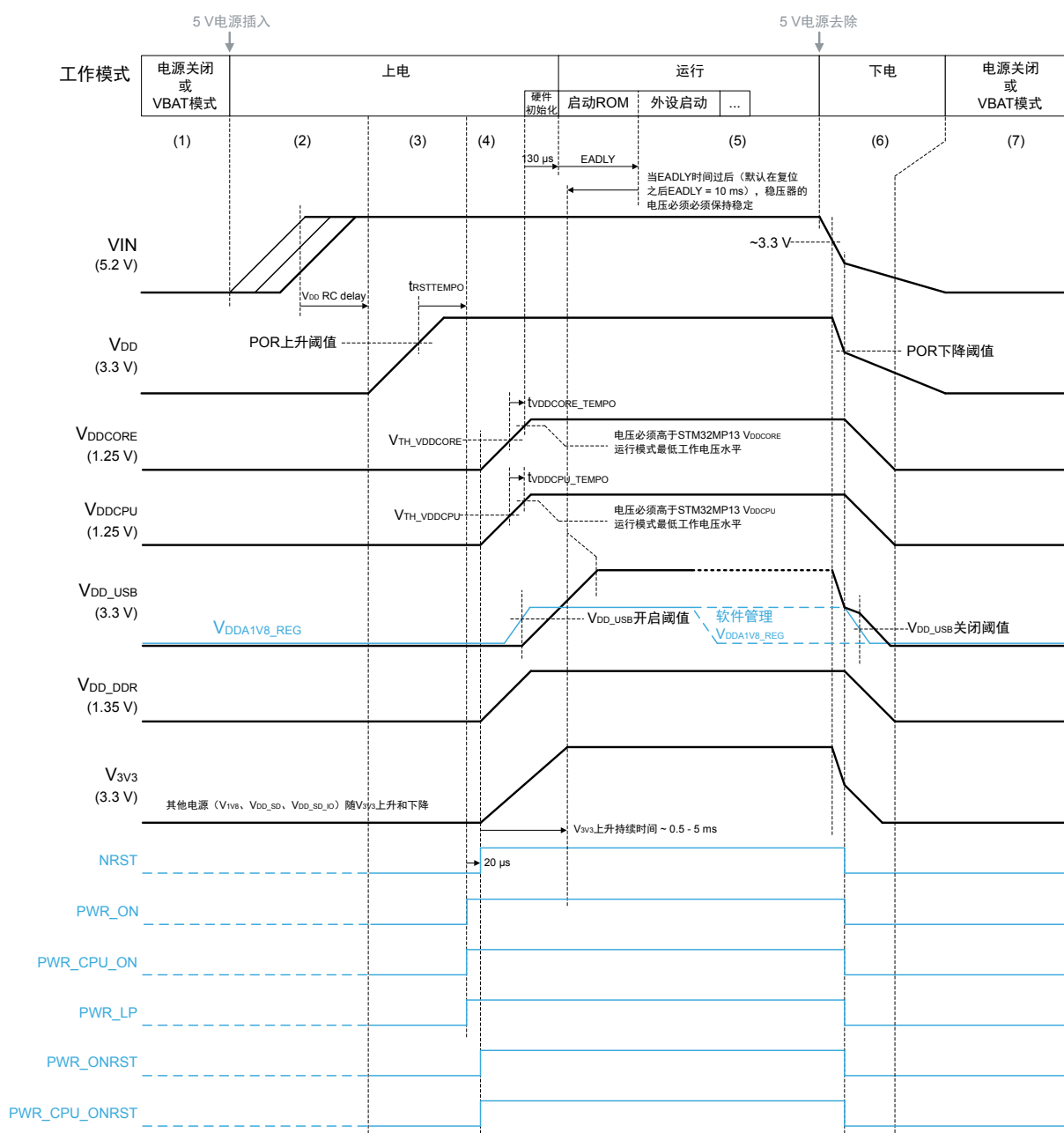
5.2.1 通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 实现上电/下电（图 1）

本小节中描述的上电时序仅适用于通过 DDR3L 易失性存储器为 V_{DDCORE} 和 V_{DDCPU} 提供独立电源的图 1。

1. 应用没有上电，或者 MPU 处于 VBAT 模式（由 VBAT 向 V_{SW} 电源域供电）。
2. 一个有效的电源连接到该应用。 V_{IN} 电压上升。经历一段时延（由无源 R-C 网络定义），以允许 V_{IN} 电压稳定， V_{DD} 稳压器已启用。
3. V_{DD} 电压开始上升：
 - a. MPU 将 NRST、PWR_ON、PWR_CPU_ON，以及 PWR_LP 信号设为低电平，强制 PWR_ONRST 和 PWR_CPU_ONRST 信号变为低电平。
 - b. 一旦 V_{DD} 电压高于 POR 上升阈值⁽¹⁾，便会启动一个 $t_{RSTTEMPO}$ ⁽²⁾ 延迟。
4. $t_{RSTTEMPO}$ 时延过后，MPU 将 PWR_ON、PWR_CPU_ON 和 PWR_LP 信号设为高电平：
 - a. $t_{RSTTEMPO}$ 时延过后，MPU 先等待 20 μs ⁽³⁾，然后释放 NRST 信号，使 PWR_ONRST 和 PWR_CPU_ONRST 变为高电平。 V_{DD_DDR} 、 V_{3V3} 、 V_{1V8} 、 V_{DD_SD} 和 $V_{DD_SD_IO}$ 由 PWR_ONRST 信号启用，而 V_{DD_DDR} 、 V_{3V3} 、 V_{1V8} 、 V_{DD_SD} 和 $V_{DD_SD_IO}$ 电压开始上升。
 - b. V_{DDCORE} 稳压器由 PWR_ONRST 信号启用， V_{DDCORE} 电压开始上升。
 - c. V_{DDCPU} 稳压器由 PWR_CPU_ONRST 信号启用， V_{DDCPU} 电压开始上升。
 - d. 一旦 V_{DDCORE} 电压高于 $V_{TH_VDDCORE}$ ⁽⁴⁾（上升阈值），会开始一个 $t_{VDDCORE_TEMPO}$ ⁽⁵⁾。只要时延 $t_{VDDCORE_TEMPO}$ 没有过去，MPU 保持内部复位状态。
 - e. 一旦 V_{DDCPU} 电压高于 V_{TH_VDDCPU} ⁽⁶⁾（上升阈值），会开始一个 t_{VDDCPU_TEMPO} ⁽⁷⁾。只要时延 t_{VDDCPU_TEMPO} 没有过去，CPU Cortex A7 保持内部复位状态。
5. $t_{VDDCORE_TEMPO}$ 时延过后，MPU 内核域退出内部复位状态（ V_{DDCORE_OK} ）：
 - a. V_{DDCORE} 电压必须高于 V_{DDCORE} ⁽⁸⁾（运行模式最低工作电压水平）。这必须由 V_{DDCORE} 稳压器电压转换率来保证。
 - b. V_{DDA1V8_REG} 内部稳压器已启用。如果 V_{DDA1V8_REG} 电压达到 V_{DD_USB} 稳压器启用阈值， V_{DD_USB} 稳压器将启用。
 - c. MPU 执行内部硬件初始化（允许在约 130 μs 的时间内加载 HSI 和选项字节）。EADLY⁽⁹⁾ 开始一个定时器（10 ms）延迟。
 - d. 在 EADLY 和 t_{VDDCPU_TEMPO} 时间过后，CPU Cortex A7 脱离内部复位（ V_{DDCPU_OK} ），然后 MPU 进入运行模式。启动 ROM 开始访问外部外设，以加载和执行启动软件。
 - e. 应用初始化之后，软件可能启用 USB 接口（ V_{BUS_SW1} 、 V_{BUS_SW2} ）。
6. 从应用移除电源：
 - a. V_{IN} 电压下降。
 - b. 当 V_{IN} 电压接近 V_{DD} 、 V_{DD_USB} 和 V_{3V3} （3.3 V）时，它们开始和 V_{IN} 并行下降。
 - c. 一旦 V_{DD} 电压低于 POR 下降阈值⁽¹⁰⁾，MPU 内部复位并禁用 V_{DDA1V8_REG} 。NRST、PWR_ON、PWR_CPU_ON，以及 PWR_LP 信号为 MPU 设为低电平。PWR_ONRST 和 PWR_CPU_ONRST 信号被 NRST、PWR_ON 和 PWR_CPU_ON 信号强制设为低电平。 V_{DDCORE} 、 V_{DDCPU} 、 V_{DD_DDR} 和 V_{3V3} 稳压器被禁用。 V_{DD_SD} 、 $V_{DD_SD_IO}$ 、 V_{BUS_SW1} 和 V_{BUS_SW2} 被禁用并下降，而 V_{BUS} 也是如此。 V_{IN} 上的电流消耗降低，使 V_{IN} 缓慢下降。如果 V_{DDA1V8_REG} 达到 V_{DD_USB} 稳压器禁用阈值， V_{DD_USB} 稳压器将禁用。
7. 应用没有上电，或者 MPU 处于 VBAT 模式（由 VBAT 向 V_{SW} 电源域供电）。
 1. POR 上升阈值 = V_{BOR0} 上升沿 = 1.67 V 典型值
 2. $t_{RSTTEMPO}$ = 377 μs （典型值）
 3. 内部 RCC 延迟
 4. $V_{TH_VDDCORE}$ 上升沿 = 0.95 V 最低
 5. $t_{VDDCORE_TEMPO}$ = 200 μs 最小值
 6. V_{TH_VDDCPU} 上升沿 = 0.95 V 最低
 7. t_{VDDCPU_TEMPO} = 200 μs 最小值
 8. V_{DDCORE} 工作电压 = 1.21 V 最小值

9. 当从待机模式恢复时，EADLY 定时器防止启动 ROM 在准备就绪之前对启动外设执行任何访问。通常，它等待 Flash 存储器上的稳定电压（由启动 ROM 读取）来获取启动软件。在该应用中，保持默认值（10 ms），以等待 V_{3V3} 和 V_{DD_USB} 电压稳定下来（参见 RM0475 [4] 获取更多详细详细信息）。
10. POR 下降阈值 = V_{BOR0} 下降沿 = 1.63V 典型值（或 = V_{BOR3} 下降沿 = 2.6 V 最大值），如果选项字节 SELINBORH[0:1] = 11 (BOR = 2.7V)。

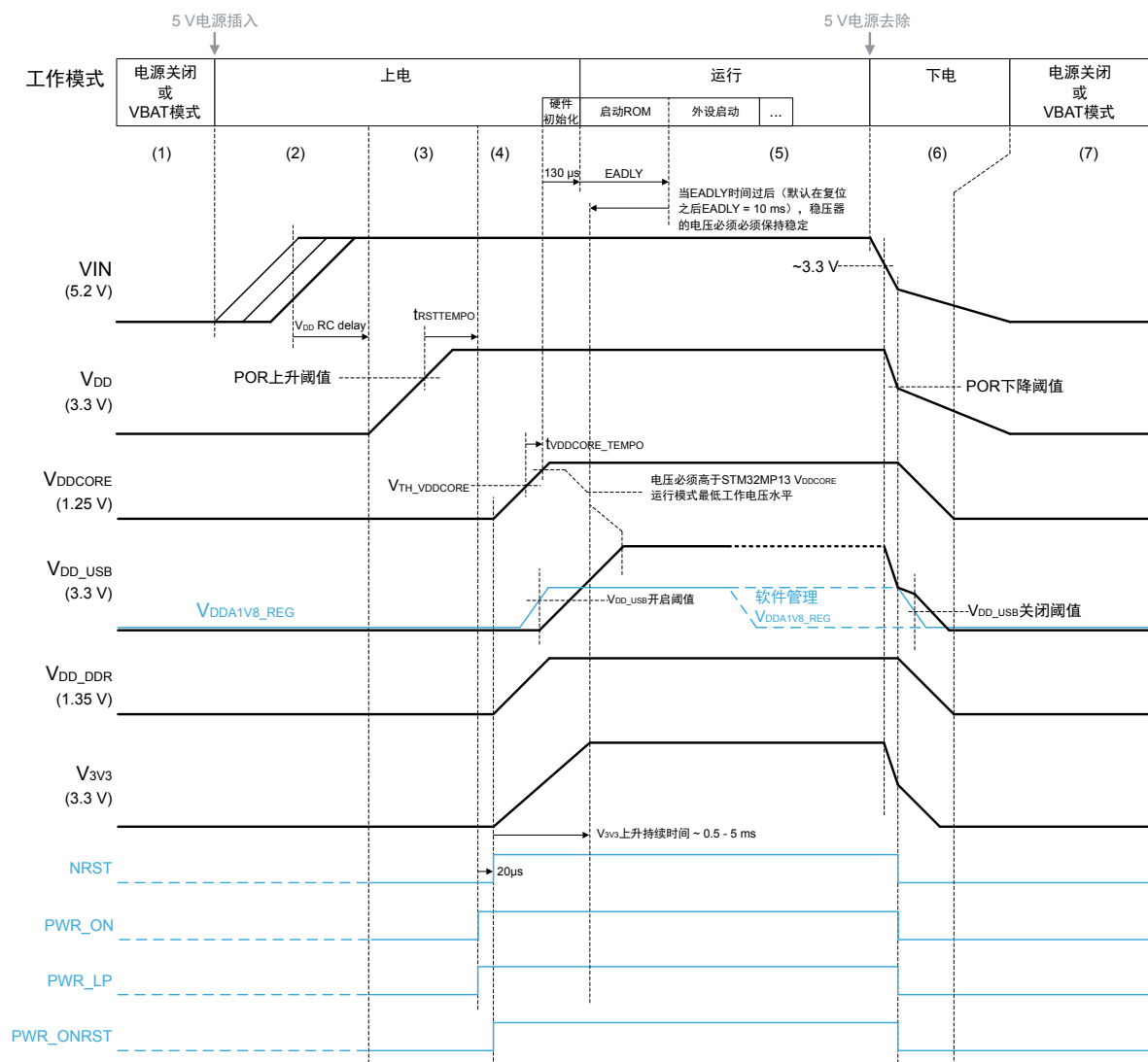
图 9. 通过独立 V_{DDCORE} 和 V_{DDCPU} , 以及 DDR3L 实现上电/下电



5.2.2 通过合并的 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 实现上电/下电（图 5）

本小节中描述的上电时序仅适用于拥有合并的 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 易失性存储器的图 5。不提供图 10 的描述，因为它与第 5.2.1 节 通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 实现上电/下电（图 1）很相似。

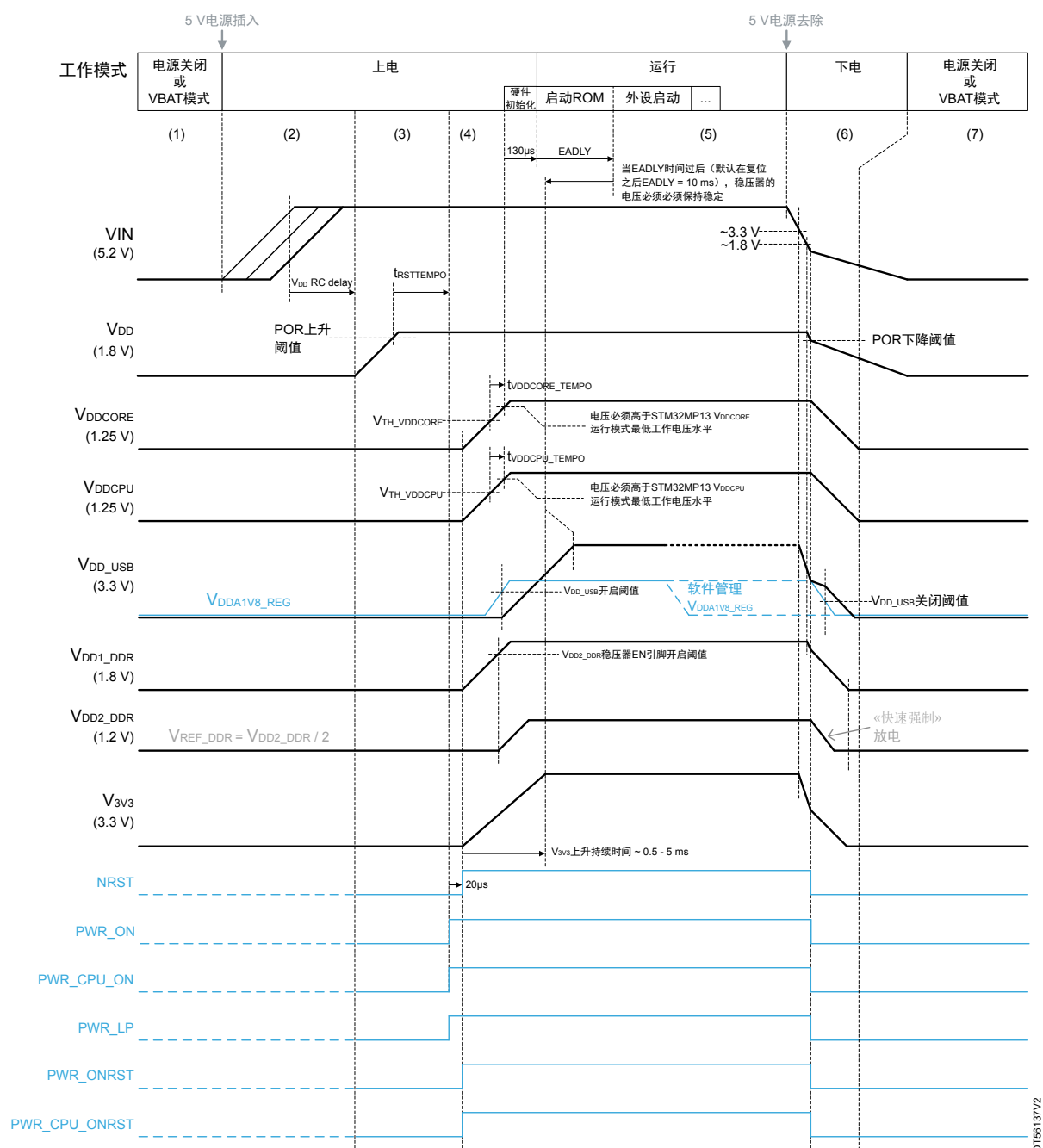
图 10. 通过合并的 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 实现上电/下电



5.2.3 通过独立的 V_{PDCORE} 和 V_{PDCPU}，以及 IpDDR2/3 实现上电/下电（图 6）

本小节中描述的上电时序仅适用于拥有独立 V_{DDCORE} 和 V_{DDCPU} ，以及 $lpDDR2/3$ 易失性存储器的图 6。没有提供图 11 的描述，因为它与第 5.2.1 节通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 $DDR3L$ 实现上电/下电（图 1）非常相似，除了 V_{DD} 电压（1.8 V）和 $lpDDR2/3$ （而不是 $DDR3L$ ）

图 11. 通过独立 V_{DDCORE} 和 V_{DDCPU} , 以及 IpDDR2/3 实现上电/下电



5.3 STM32MP15xD 和 STM32MP15xF 运行过载模式管理

STM32MP13xD 和 STM32MP13xF 器件具有增强的用户任务概述（参见[6]），允许 Arm® Cortex®-A7 CPU 在更高的时钟频率下运行（参见[5]了解详细信息和有关限制）。

相应地，当 CPU 的工作频率（Fmpuss_ck）为 650 MHz 以上时，V_{DDCCPU} 电压必须提高。请参见数据手册[5]获取 V_{DDCCPU} 运行过载最低电压值。当其不在 650 MHz 以上的运行模式下运行时，V_{DDCCPU} 电压必须设置回其标称电压。

将 PWR_OVRDRV 信号设为高电平，该信号控制 V_{DDCCPU} VRM 的 VSEL 信号，使其输出电压设为运行过载模式电压，从而提高 V_{DDCCPU} 电压。反之，将 PWR_OVRDRV 信号复位为“0”，使 V_{DDCCPU} VRM 输出电压设为运行模式电压，从而降低 V_{DDCCPU} 电压。

当从运行模式切换到运行过载模式（超过 650 MHz）时，必须先提高 V_{DDCCPU}，然后再提高频率。

当从运行过载模式回到运行模式时，必须先降低频率，然后再降电压。

当需要运行过载模式时，除了 V_{DDCCPU} 电压变化，MPU PWR_CR1 寄存器中的 MPU_RAM_LOWSPEED 位必须由软件管理。

如果符合以下两个条件，MPU_RAM_LOWSPEED 位必须复位（这是软件必须管理的动作）：

- 在 V_{DDCCPU} 电压达到运行过载模式电压范围后
- 在将 STM32MP13xD/F 频率提高到过载频率范围之前。

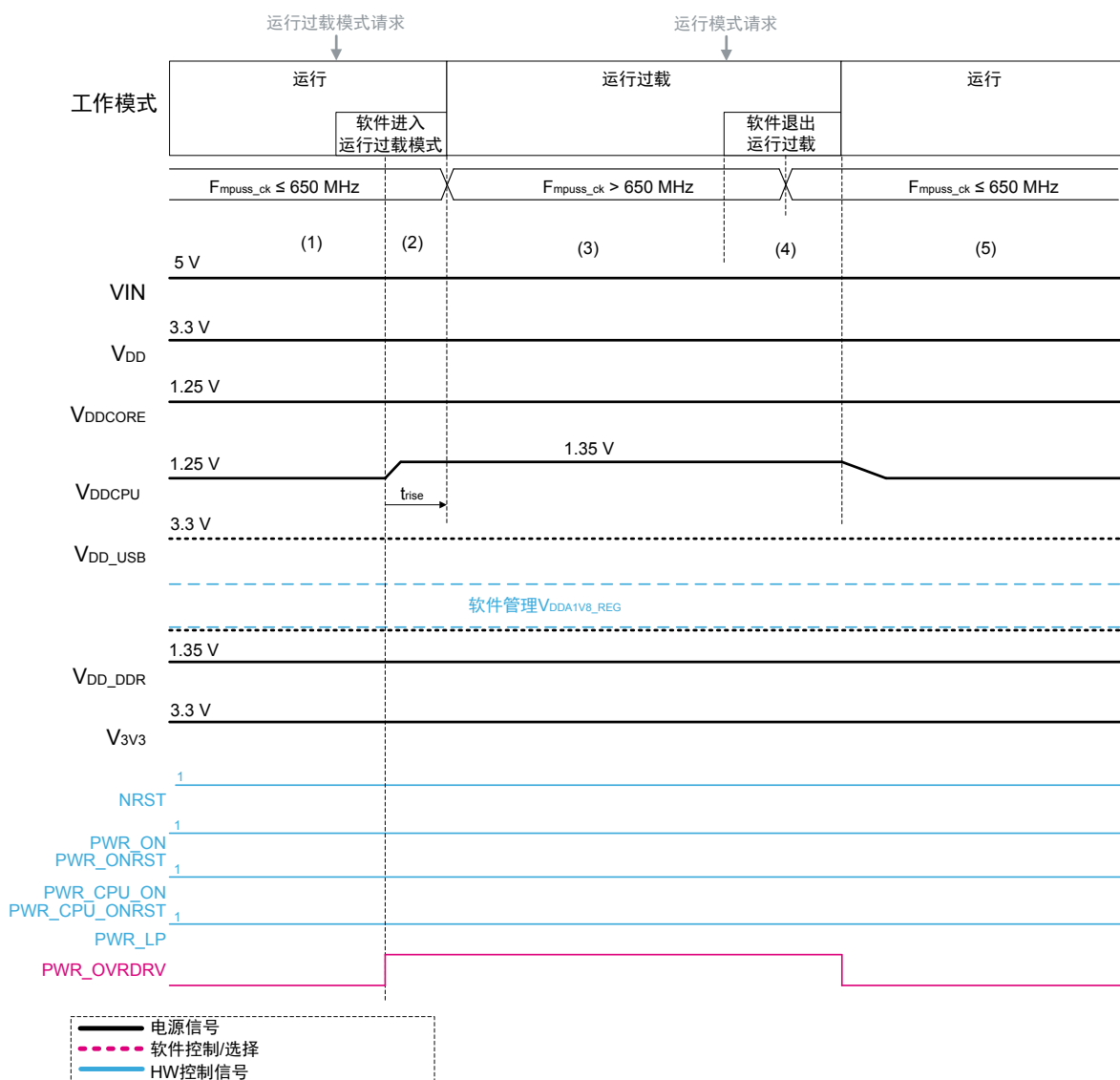
如果符合以下两个条件，MPU_RAM_LOWSPEED 位必须复位：

- 在 MPU 频率降低到标准频率范围后
- 在将 MPU 电压降低到低于运行过载模式电压范围之前。

图 12 中显示应用运行覆盖模式顺序，详情请参见图 1 中的实现步骤。

1. 应用程序在运行模式下运行，CPU 频率低于 650 MHz
 2. 请求运行过载模式时：
 - a. 软件准备进入运行过载模式：将 PWR_OVRDRV 信号设为“1”，从而改变 V_{DDCCPU} 电压水平。
 - b. V_{DDCCPU} 电压开始上升。
 - c. 软件将等待 t_{rise}⁽¹⁾。
 3. 一旦 V_{DDCCPU} 达到运行过载电压（t_{rise} 时间过后）：
 - a. 软件复位 MPU_RAM_LOWSPEED 位。
 - b. 然后，软件将 CPU 频率提高到 650 MHz 以上。系统现在处于运行过载模式（高于 650 MHz）。
 4. 请求运行模式时：
 - a. 软件准备恢复运行模式：将 CPU 频率调整为低于或等于 650 MHz
 - b. 然后，软件设置 MPU_RAM_LOWSPEED 位。
 5. 一旦设置了 MPU_RAM_LOWSPEED 位：
 - a. 软件将 PWR_OVRDRV 信号设为低电平，从而降低 V_{DDCCPU} 电压水平。
 - b. 系统现在处于运行模式（低于 650 MHz）。
1. 持续时间，这是 V_{DDCCPU} 稳压器从运行模式电压上升到运行过载模式电压所需的时间。例如，假设稳压器的值为 1 mV/μs，软件需要等待 t_{rise} = 100μs（最小值）才能从 1.25 V 上升到 1.35 V。

图 12. 运行模式和运行过载模式序列



DT56138V3

5.3.1

运行过载模式的低成本替代方案

VDDCPU 可以始终设置为 1.35 V，允许 CPU 在运行模式（CPU 频率低于 650 MHz）和运行过载模式（CPU 频率高于 650 MHz）下工作。

这就简化了 VDDCPU VRM 设计，便于管理单一输出电压（1.35 V）和释放 PWR_OVRDRVGPI0。

但是，一直使用 1.35 V 的 VDDCPU 不能确保使用寿命（参见[6]），且增加了运行模式（CPU 频率<650 Mhz）下的 CPU 功耗

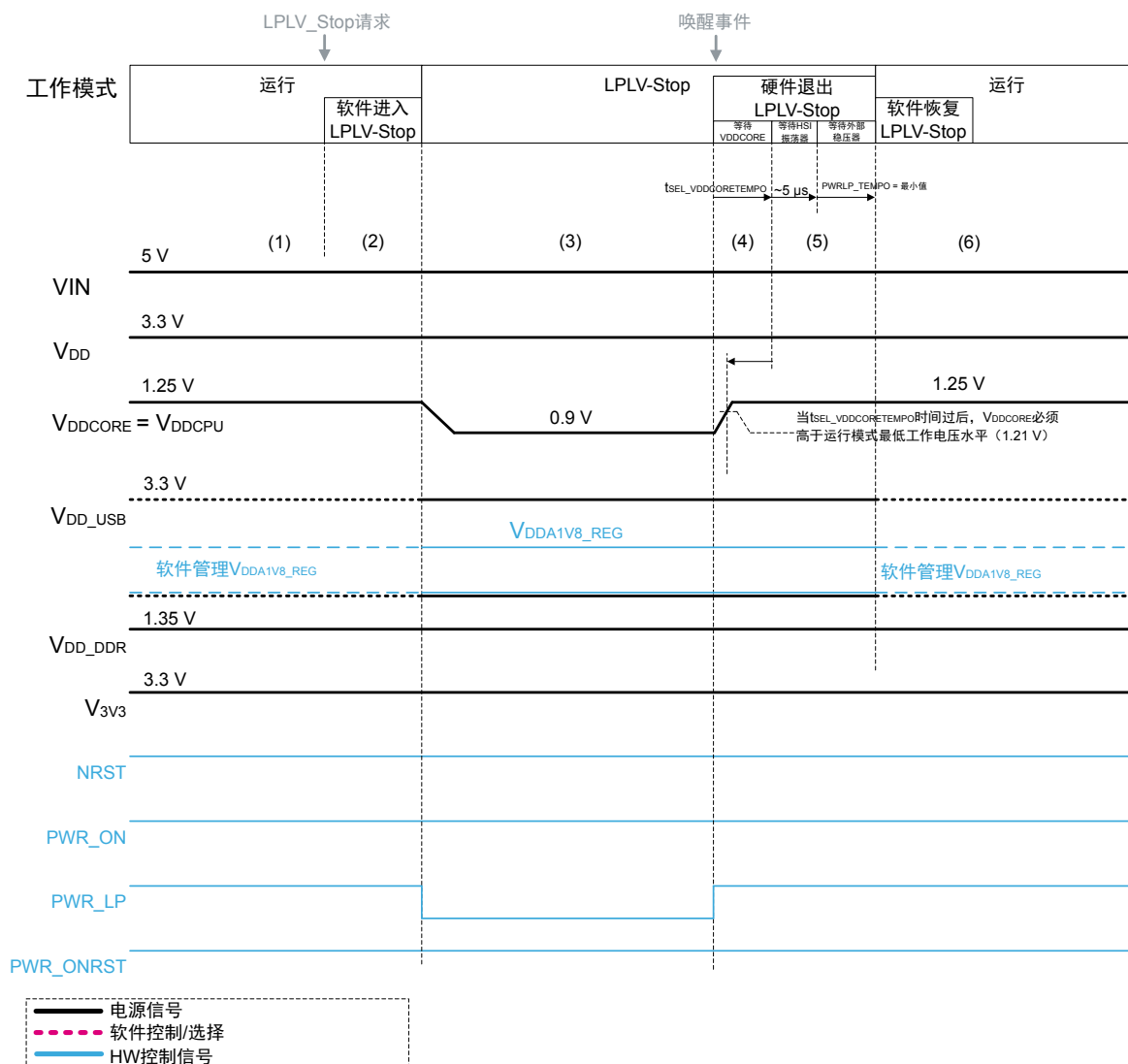
5.4 低功耗模式管理

提示 停止模式只涉及 MPU 内部时钟管理，不涉及外部电源管理。所以，本节不介绍停止模式。

5.4.1 LPLV-Stop 模式

如表 3 中所提及，只有 V_{DDCORE} 和 V_{DDCPU} 合并之后，LPLV-Stop 模式才可用。相应地，图 13 中所示的序列仅适用于图 5 中所示的应用。

1. 应用已上电并在运行工作模式下工作。
 2. 当请求 LPLV_Stop 工作模式时，软件准备进入 LPLV-Stop 模式（如停止一些时钟，将 DDR 设置为自刷新，设置 PWRLP_TEMPO 等）⁽¹⁾
 3. MPU 设置 PWR_CR1 寄存器的 LPDS 和 LVDS 位，准备进入 LPLV-Stop 模式：
 - a. MPU 进入 LPLV-Stop 模式后，PWR_LP 信号被置为无效。
 - b. 一旦 PWR_LP 信号被置为无效， V_{DDCORE} 稳压器 VSEL 输入变为低电平，使 V_{DDCORE} 电压下降以达到 LPLV-Stop 模式工作电压水平（0.9 V）
 4. 遇到唤醒事件时，MPU 退出 LPLV-Stop 模式，并使 PWR_LP 信号有效：
 - a. MPU 定时器 $t_{SEL_VDDCORETEMPO}$ ⁽²⁾ 将开始，以允许 V_{DDCORE} 电压达到运行模式工作电压水平。
 - b. V_{DDCORE} 稳压器 VSEL 输入会变为高电平，使 V_{DDCORE} 电压上升。
 5. 一旦 $t_{SEL_VDDCORETEMPO}$ 时间过去：
 - a. V_{DDCORE} 必须高于运行模式最低工作电压水平 ⁽³⁾（参见[4]和[5]）。
 - b. 在 MPU 中执行时钟恢复过程。
 6. 一旦 MPU HSI 时钟振荡器稳定下来（~5 μ s），应用进入运行模式（PWRLP_TEMPO 定时器设为最小值），软件恢复正常运行（如恢复时钟，DDR 从自刷新状态恢复）。
1. PWRLP_TEMPO 是 STM32MP13x 专用定时器，设计目的是在应用从低功耗模式变为运行模式时，等待稳压器恢复。在本应用中，PWRLP_TEMPO 延迟可以设为最小值或绕过（在 RCC_PWRLPDLYCR 中的位字段 PWRLP_DLY[21:16]），因为在 $t_{SEL_VDDCORETEMPO}$ 时间过后， V_{DDCORE} 电压必须高于运行模式最低工作电压水平。
 2. $t_{SEL_VDDCORETEMPO}$ 234 μ s 最小值（参见[4]）。
 3. 该约束必须通过 V_{DDCORE} 稳压器设计加以保证。

图 13. LPLV-Stop 模式顺序


DT56139V2

5.4.2

LPLV-Stop2 模式

如表 3 中所提及, 只有 V_{DDCORE} 和 V_{DDCPU} 独立时, LPLV-Stop2 才可用。相应地, 图 14 中所示的序列仅适用于图 1 和图 6 中所示的应用。本小节只描述图 1 中所示的应用的 LPLV - Stop2 模式序列, 因为 LPLV - Stop2 模式序列等同于...中所示的应用 图 6

- 应用已上电并在运行工作模式下工作。
- 当请求 LPLV-Stop2 工作模式时, 软件准备进入 LPLV-Stop2 模式 (如停止一些时钟, 将 DDR 设置为自刷新, 设置 PWR_LP_TEMPO 等)。
- MPU 设置 PWR_CR1 寄存器的 LPDS、LVDS 和 STOP2 位, 准备进入 LPLV-Stop2 模式:
 - 进入 LPLV-Stop2 模式之后, PWR_LP 信号和 PWR_CPU_ON 信号被置为无效。
 - 一旦 PWR_LP 信号被置为无效, V_{DDCORE} 稳压器 VSEL 输入变为低电平, 使 V_{DDCORE} 电压下降以达到 LPLV-Stop2 模式工作电压水平 (0.9 V)。
 - 一旦 PWR_CPU_ON 信号被置为无效, PWR_CPU_ONRST 也会被置为无效, 而 V_{DDCPU} 的稳压器将关闭, 使 V_{DDCPU} 电压下降以达到 0 V。

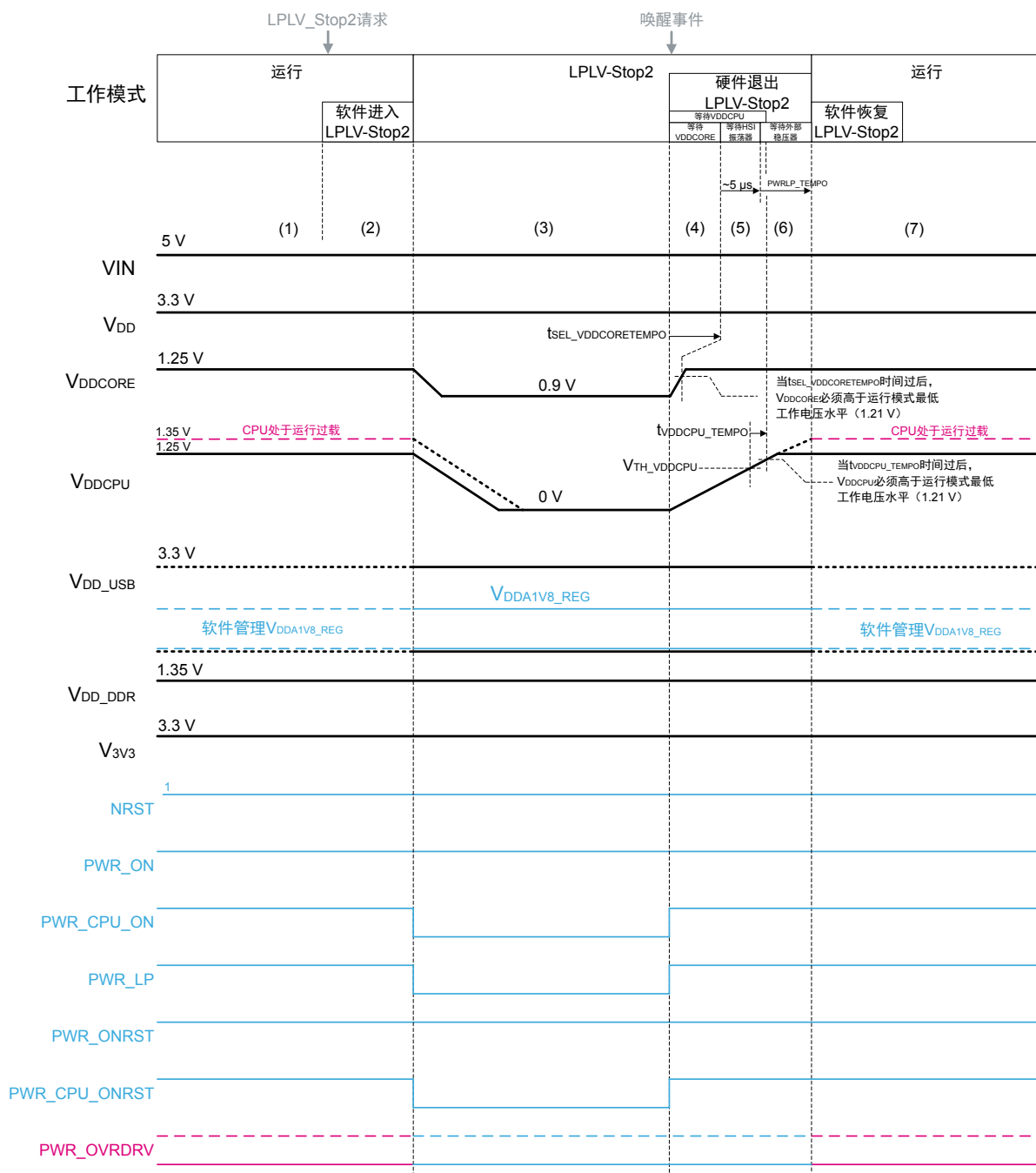
4. 遇到唤醒事件时，MPU 退出 LPLV-Stop 模式，并将 PWR_LP 信号和 PWR_CPU_ON 信号置为有效：
 - a. MPU 定时器 $t_{SEL_VDDCORETEMPO}$ ⁽¹⁾ 将开始，以允许 V_{DDCORE} 电压达到运行模式工作电压水平。
 - b. 一旦 PWR_LP 信号变为高电平， V_{DDCORE} 稳压器 VSEL 输入会变为高电平，使 V_{DDCORE} 电压上升。
 - c. 一旦 PWR_CPU_ON 信号变为高电平，PWR_CPU_ONRST 同时变为高电平，且 V_{DDCPU} 稳压器开启，使 V_{DDCPU} 电压上升。
 5. 一旦 $t_{SEL_VDDCORETEMPO}$ 时间过去：
 - a. V_{DDCORE} 必须高于运行模式最低工作电压水平⁽²⁾（参见[4]和[5]）。
 - b. 在 MPU 中执行时钟恢复过程
 - c. 一旦 MPU HSI 时钟振荡器稳定了（~5 μs ），PWRLP_TEMPO 定时器将启动。
 6. 一旦 V_{DDCPU} 电压高于 V_{TH_VDDCPU} ⁽³⁾ 上升阈值），会开始一个 t_{VDDCPU_TEMPO} ⁽⁴⁾）。
 7. 一旦 t_{VDDCPU_TEMPO} 和 PWRLP_TEMPO 时间过去，应用程序会进入运行模式：
 - a. 软件恢复正常运行（如恢复时钟，从自刷新恢复 DDR）。
 - b. 软件可能会将 CPU 切换到运行过载模式（将 PWR_OVRDRV 信号设为高电平，复位 MPU 的 PWR_CR1 寄存器的 MPU_RAM_LOW 位，然后增加 CPU 频率）。
1. $t_{SEL_VDDCORETEMPO}$ 234 μs 最小值（参见[4]）。
 2. 该约束必须通过 V_{DDCORE} 稳压器设计加以保证。
 3. V_{TH_VDDCPU} 上升沿 = 0.95 V 最低
 4. t_{VDDCPU_TEMPO} = 200 μs 最小值

提示

如果 MPU 进入 LPLV-Stop2 模式且在 CPU 过载状态下运行（步骤 2）（ $V_{DDCPU} = 1.35 V$ ， $PWR_OVRDRV = 1$ ），然后 V_{DDCPU} 回到 CPU 过载电压且离开 LPLV-Stop2 模式（步骤 4），而在软件从 LPLV-Stop2 恢复过程中，CPU 过载频率下调（步骤 7）。

Warning:

为了管理 LPLV-Stop2 持续时间非常短的场景，通常需要将 PWRLP_TEMPO 延迟 (PWRLP_DLY in RCC_PWRLPDLYCR register) 设为等于或高于 VDDCPU 稳压器软启动延迟 (对于常见的分立降压 SMPS，通常约为 1 - 2 ms)：如果 LPLV-Stop2 持续时间很短，PWR_CPU_ON 信号 (控制 VDDCPU 稳压器 EN 引脚) 脉冲为低且持续时间很短。根据应用中使用的 VDDCPU 稳压器型号，一旦其 EN 引脚变为低电平，其内部软启动延迟通常会重新启用。因此，当出现 LPLV-Stop2 持续时间非常短的情况时，VDDCPU 稳压器关闭，然后立即重新开启。在这种情况下，VDDCPU 电压略有下降，但仍然高于 V_{TH-VDDCPU} 阈值，但直到其内部参考电压 (软启动延迟之后) 超过稳压器输出电压，才会进行调节。如果 PWRLP_TEMPO 延迟设为最低值，一旦 t_{SEL_VDDCORETEMPO} 和时钟恢复过程结束且 VDDCPU 已就绪 (高于 V_{TH-VDDCPU})，MPU 进入运行模式。一旦 CPU 运行，在 VDDCPU 上产生负载电流，VDDCPU 电压降至 VDDCPU 最低工作电压之下，会使 CPU 崩溃 (由于 VDDCPU 稳压器未就绪，软启动持续)。

图 14. LPLV-Stop2 模式序列


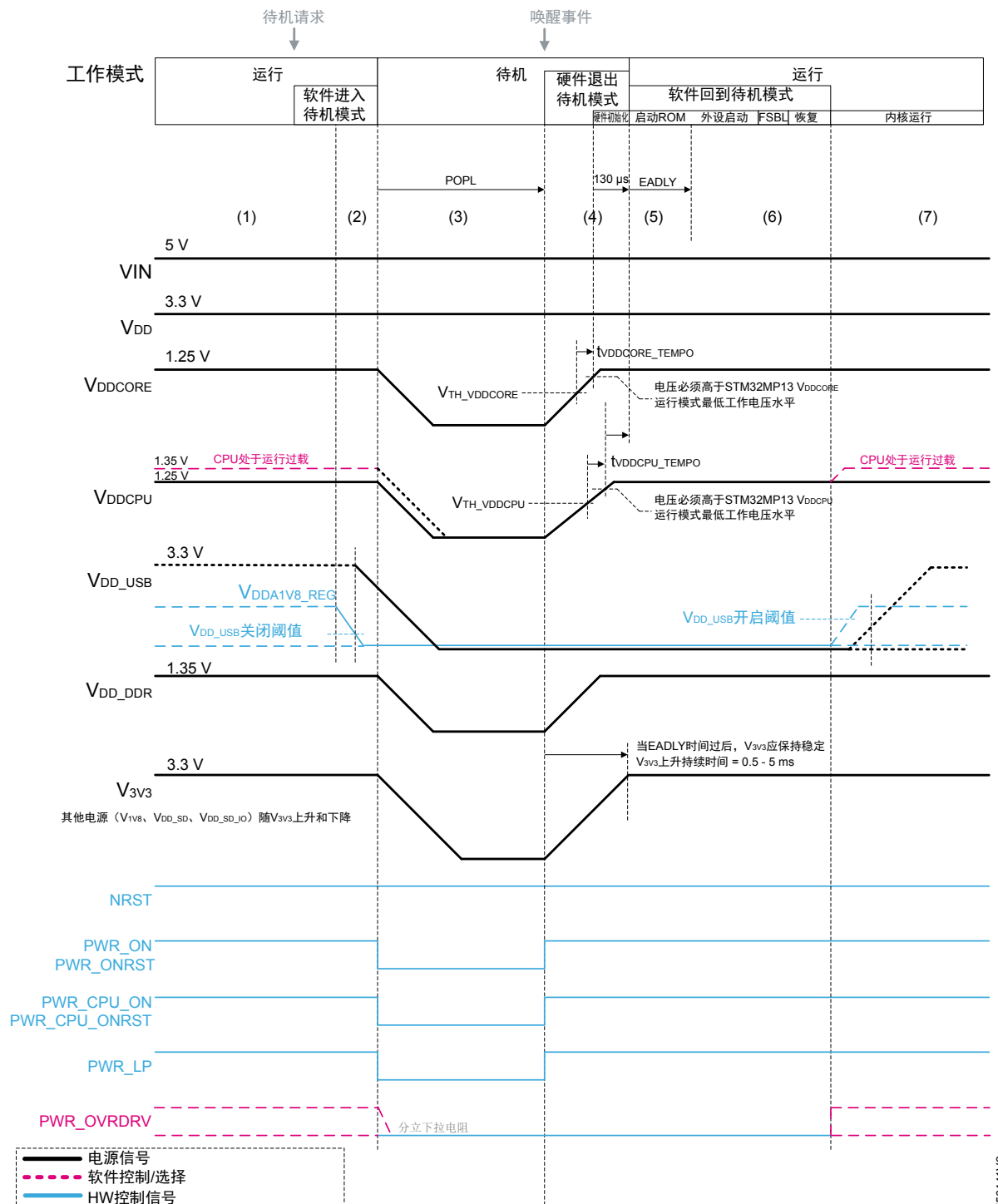
5.4.3 带独立 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 的待机模式（图 1）

根据图 1. STM32MP13x 带 DDR3L、启动 Flash、SD card UHS-I、USB-A 主机，以及 USB-C PD 中所示的实现（通过 DDR3L 易失性存储器为 V_{DDCORE} 和 V_{DDCPU} 提供独立电源），应用待机模式顺序如图 15. 待机模式顺序所示。

在本应用中，被启动 ROM 用于读取引导软件（例如 FSBL）的启动 Flash 存储器由 V_{3V3} 域供电，而 DDR3L 存储器在待机模式下关闭。

1. 应用已上电并运行。当请求待机模式时，软件准备进入待机模式（停止一些时钟，设置 POPL⁽¹⁾和 EADLY⁽²⁾定时器等）
 2. 该软件可以通过关闭 V_{DDA1V8_REG} 的方式使 V_{DD_USB} 稳压器断电，从而关闭 USB 电源域在⁽³⁾软件就绪后，MPU 进入待机模式，POPL 定时器自动启动。
 3. PWR_ON、PWR_CPU_ON 和 PWR_LP 信号均被置为无效：
 - a. PWR_ONRST 信号、PWR_CPU_ONRST 被强制为低电平。
 - b. V_{DDCORE} 稳压器被 PWR_ONRST 信号关闭
 - c. V_{DDCPU} 稳压器被 PWR_CPU_ONRST 信号关闭
 - d. V_{DD_DDR} 和 V_{3V3} 稳压器被 PWR_ONRST 信号关闭
 4. 遇到唤醒事件时，MPU 退出待机模式⁽⁵⁾，确认 PWR_ON、PWR_CPU_ON 和 PWR_LP 信号有效：
 - a. 当 NRST 为高时，PWR_ONRST 和 PWR_CPU_ONRST 信号上升。 V_{DD_DDR} 和 V_{3V3} 由 PWR_ONRST 信号启用，而 V_{DD_DDR} 和 V_{3V3} 电压开始上升
 - b. V_{DDCORE} 稳压器由 PWR_ONRST 信号启用， V_{DDCORE} 电压开始上升。
 - c. V_{DDCPU} 稳压器由 PWR_CPU_ONRST 信号启用， V_{DDCPU} 电压开始上升。
 - d. 一旦 V_{DDCORE} 电压高于 $V_{TH_VDDCORE}$ 上升最低阈值，开始一个 $t_{VDDCORE_TEMPO}$ 延迟，以允许 V_{DDCORE} 电压达到运行模式工作电压水平。
 - e. 在 $t_{VDDCORE_TEMPO}$ 时间过后，⁽⁶⁾，MPU 执行内部硬件初始化（启用 HSI 和选项字节加载，持续时间为 130 μ s）
 - f. 一旦 V_{DDCPU} 电压高于 V_{TH_VDDCPU} 上升最低阈值，开始一个 t_{VDDCPU_TEMPO} 延迟，以允许 V_{DDCPU} 电压达到运行模式工作电压水平。
 5. 一旦内部硬件初始化结束且 t_{VDDCPU_TEMPO} 时间过去，MPU 脱离内部复位（ V_{DDCORE_OK} 和 V_{DDCPU_OK} ）：
 - a. EADLY 延时定时器将启动。
 6. 当 EADLY 时间过后，启动 ROM 开始访问外部外设（Flash 存储器），以加载和执行启动软件。默认情况下，当 EADLY 延时过后，所有稳压器电压必须是稳定的； V_{3V3} （为 Flash 存储器供电的电源域）更应该稳定：
 - a. 启动 ROM 读取（外设启动）、验证和执行 FSBL。
 - b. 该软件检测到“退出待机模式”，并相应地恢复内核软件。
 7. 软件恢复运行之后：
 - a. 它可能接通 USB 电源域，方法是接通 V_{DDA1V8_REG} ，使 V_{DD_USB} 稳压器开启，具体取决于 USB 器件是否存在。
 - b. 软件可能会将 CPU 切换到运行过载模式（将 PWR_OVRDRV 信号设为高，复位 MPU 的 PWR_CR1 寄存器的 MPU_RAM_LOW 位，然后增加 CPU 频率）。
1. STM32MP13x POPL 定时器允许 STM32MP13x 保持待机状态，并在最短持续时间内将 PWR_ON 信号确认为低电平。该操作允许外设稳压器、 V_{DDCPU} 稳压器，以及 V_{DDCORE} 稳压器在重新启动之前释放各自的输出电压。这是为了确保在应用程序进入待机状态后发生唤醒事件时，外设能够正确重启。POPL 定时器应该根据具有最慢下降电压的稳压器进行设置（例如，在此应用（其稳压器内嵌输出放电功能）中，建议设为 10 ms）。
 2. 当从待机模式恢复时，STM32MP13x EADLY 定时器专门用于防止启动 ROM 在准备就绪之前对启动外设执行任何访问。它等待 Flash 存储器上的电压稳定下来，确保启动软件被启动 ROM 可靠地读取。Flash 存储器可以是 eMMC 或 SD 卡。在该应用中， V_{3V3} 上升时间取决于 V_{3V3} 稳压器特性和控制，所以必须相应地设置最小 EADLY（例如：如果应用中的 V_{3V3} 稳压器能够在 5 ms 内上升电压，则建议设为 5 ms）
 3. 或者，如果软件没有在进入待机模式之前关闭 V_{DDA1V8_REG} ，会在那时候被硬件自动禁用，方法是将 V_{DD_USB} 关闭。
 4. 本例中， V_{DDA1V8_REG} 由硬件在退出待机模式时自动打开，打开 V_{DD_USB} 。
 5. STM32MP13x 等待 POPL 定时器时间过去，然后退出待机模式；即使之前发生了唤醒事件。
 6. V_{DDCORE} 电压必须高于运行模式工作电压最低水平（参见[4] and [5]）该约束必须通过 V_{DDCORE} 稳压器设计来确保。

图 15. 待机模式顺序



DT56141V2

5.4.4 通过合并的 VDDCORE 和 VDDCPU，以及 DDR3L 实现待机模式 (图 5)

图 5 中所示的应用程序待机模式顺序拥有合并的 VDDCORE 和 VDDCPU 电源，而 DDR3L 的序列与第 5.4.3 节 带独立 VDDCORE 和 VDDCPU，以及 DDR3L 的待机模式 (图 1) 中的序列等效，区别如下：

- VDDCPU 与 VDDCORE 合并。所以 VDDCPU 和 VDDCORE 同时上升和下降
- 不支持 CPU 运行过载模式

5.4.5 通过独立的 V_{DDCORE} 和 V_{DDCPU} ，以及 $lpDDR2/3$ 实现待机模式（图 6）

图 6. STM32MP13x 带 $lpDDR2/3$ 、启动 Flash，以及 I/O 电压（1.8 V）中所示的应用程序待机模式顺序拥有独立的 V_{DDCORE} 和 V_{DDCPU} ，而 $lpDDR2/3$ 易失性存储器的序列与第 5.4.3 节 带独立 V_{DDCORE} 和 V_{DDCPU} ，以及 $DDR3L$ 的待机模式（图 1）中的序列等效，区别如下：

- 在待机模式下， $lpDDR2/3$ 保持自刷新状态。所以，在待机模式下， V_{DD1_DDR} 和 V_{DD2_DDR} 保持启用状态。

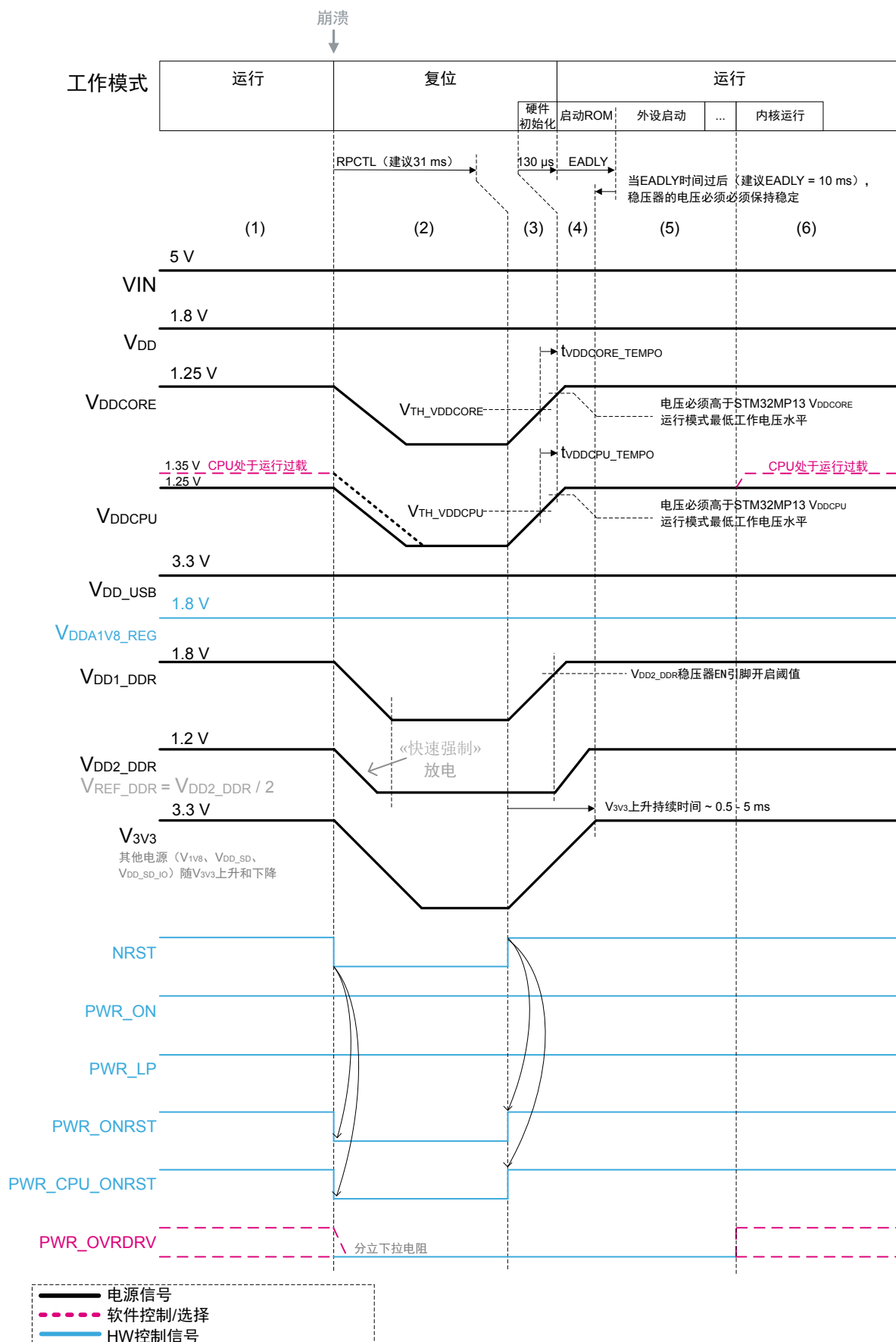
5.5 故障恢复管理

5.5.1 通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 $lpDDR2/3$ 实现崩溃恢复管理（图 6）

如第 5.1.1 节 复位和崩溃恢复管理电路，必须在设计中添加一个分立电路（参见图 8），用于执行电源循环。这样就允许 MPU 和外设在崩溃后正确地重启。这特别适合 Flash 存储器，它在崩溃之后没有复位输入以正确重启（例如：在 UHS-I 模式下工作的 SD 卡必须通过电源循环才能回到传统模式，允许它从 MPU 的 bootROM 启动）。

图 16 中显示的顺序说明了故障恢复顺序，详情请见图 6 中的实现步骤。图 6 的实现显示了最复杂的崩溃恢复序列（突出了 $lpDDR2/3$ 的上电时序约束）。

- 应用已上电并运行。在应用初始化过程中，RPCTL 定时器（参见第 5.1.1 节 复位和崩溃恢复管理电路）设为 31 ms，EADLY 设为 10 ms。发生崩溃（`iwdg1_out_rst` 或 `iwdg2_out_rst watchdog` 超时），或者从用户复位按钮执行 NRST 脉冲。
- MPU 确认 NRST 信号有效，RPCTL 定时器启动：
 - PWR_ONRST 和 PWR_CPU_ONRST 信号被 NRST 信号强制变为低电平
 - V_{DD_CPU} 稳压器被 PWR_ON 信号关闭
 - V_{DD_CORE} 稳压器被 PWR_ONRST 信号关闭
 - V_{DD1_DDR} 、 V_{DD2_DDR} 、⁽¹⁾和 V_{3V3} 稳压器由 PWR_ONRST 信号关闭
 - V_{DD_CPU} 、 V_{DD_CORE} 、 V_{DD1_DDR} 、 V_{DD2_DDR} 和 V_{3V3} 电压下降
- RPCTL 定时器时间间隔过后（31 ms 后）：
 - MPU 释放 NRST 信号
 - PWR_ONRST 信号和 PWR_CPU_ONRST 信号上升。
 - V_{DD_CPU} 稳压器由 PWR_CPU_ONRST 启用， V_{DD_CPU} 电压开始上升。
 - V_{DD_CORE} 稳压器由 PWR_ONRST 信号开启， V_{DD_CORE} 电压开始上升。
 - V_{DD1_DDR} 和 V_{3V3} 稳压器由 PWR_ONRST 信号开启，而 V_{DD1_DDR} 和 V_{3V3} 电压开始上升
 - 一旦 V_{DD1_DDR} 电压高于 V_{DD2_DDR} EN 引脚开启阈值， V_{DD2_DDR} 稳压器上电， V_{DD2_DDR} 电压开始上升。
 - 一旦 V_{DDCPU} 电压高于 V_{TH_VDDCPU} 上升阈值水平，将开始 t_{VDDCPU_TEMPO} 。
 - 一旦 V_{DDCORE} 电压高于 $V_{TH_VDDCORE}$ 上升阈值水平，将开始 $t_{VDDCORE_TEMPO}$ 。
- 一旦 $t_{VDDCORE_TEMPO}$ 时间过去：
 - MPU 执行内部硬件初始化（允许在约 130 μs 的时间内加载 HSI 和选项字节）
 - 一旦内部硬件初始化结束且 t_{VDDCPU_TEMPO} 时间过去，MPU 脱离内部复位状态并进入运行模式，EADLY 延迟定时器启动。
- 当 EADLY 时间过后，启动 ROM 开始访问外部外设（Flash 存储器），以加载和执行启动软件。默认情况下，当 EADLY 延时过后，所有稳压器电压必须是稳定的； V_{3V3} （为 Flash 存储器供电的电源域）更应该稳定：
 - 启动 ROM 读取（外设启动）、验证和执行 FSBL、启动负载，以及内核软件
- 内核软件可能会将 CPU 切换到运行过载模式（将 PWR_OVRDRV 信号设为高电平，复位 STM32MP13x 的 PWR_CR1 寄存器的 MPU_RAM_LOW 位，然后增加 CPU 频率）。
- 通过设计， V_{DD2_DDR} 拥有比 V_{DD1_DDR} 更强的放电电路。因此， V_{DD2_DDR} 电压下降速度快于 V_{DD1_DDR} 。

图 16. 故障恢复顺序


5.5.2 通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 实现崩溃恢复管理（图 1）

图 1 中所示实现的崩溃恢复顺序与第 5.5.1 节 通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 $lpDDR2/3$ 实现崩溃恢复管理（图 6）中所示的实现相似，但有以下区别：

- DDR3L 有一个由 PWR_ONRST 控制的单一电源。该图类似于图 16 上的 $VDD1_DDR$ ，其中 DDR3L（1.35 V）代替了 $lpDDR2/3$ （1.8 V）。
- 在图 1 所示的实现中，VDD 节点为 3.3 V（图 6 所示的实现中，VDD 节点为 1.8 V）。

5.5.3 崩溃恢复管理（ V_{DDCORE} 和 V_{DDCPU} 合并，DDR3L）（图 5）

图 5 中所示实现的崩溃恢复顺序与第 5.5.1 节 通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 $lpDDR2/3$ 实现崩溃恢复管理（图 6）中所示的实现相似，但有以下区别：

- 在图 5 中所示的实现中，一旦发生崩溃情况， V_{DDCORE} 节点（ V_{DDCORE} 和 V_{DDCPU} 合并）进行电源循环。这是图 16 中一个类似的图形，其中 V_{DDCPU} 重命名为 V_{DDCORE} 。
- DDR3L 有一个由 PWR_ONRST 控制的单一电源。该图类似于图 16 中的 $VDD1_DDR$ ，其中 DDR3L（1.35 V）代替了 $lpDDR2/3$ （1.8 V）。
- 在图 5 所示的实现中，VDD 节点为 3.3 V（图 6 所示的实现中，VDD 节点为 1.8 V）。

6 稳压器模块规范

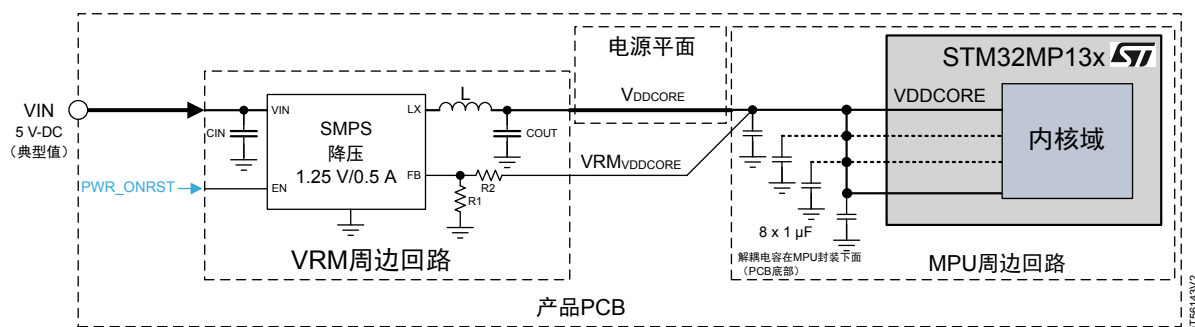
本节提供为 MPU 电源域供电的稳压器模块 (VRM) 的电气规范。

产品设计者在设计 VRM 时, 必须根据这些电气规范选择稳压器 IC 和相关的分立元件。

本节仅适用于严格遵循 MPU 解耦方案 (参见[1]) 和布局建议, 以最小化电力传输网络 (PDN) 阻抗的应用场景。

图 17 以实例介绍为 MPU V_{DDCORE} 电源域供电的 VRM。在本例中, 在 LPLV-Stop 模式下, V_{DDCORE} VRM 没有 VSEL 输入将 V_{DDCORE} 切换到低电压。

图 17. 稳压器模块周边回路示例



6.1 V_{DD} (V_{DD_ANA} 、 V_{DD_PLL}) 电源域的 VRM 规范

V_{DD} 是 I/O 电压接口的主电源, 在待机模式期间, 内部部件保持供电。 V_{DD_ANA} 和 V_{DD_PLL} 必须连接到 V_{DD} 。 V_{DD} 通常为 1.8 V 或 3.3 V, 可以设为 1.71 - 2 V 或 2.7 - 3.6 V 范围内的值。

V_{DDSD1} 和 V_{DDSD2} 可以由 V_{DD} 供电, 具体取决于 V_{DDSD1}/V_{DDSD2} I/O 的预期使用。

只要 VIN 电压存在, 此电源总是启用。不需要选择带 EN 引脚的稳压器。然而, 为了稳定输入电压, 一个 EN 引脚可能需要添加一个分立 RC 滤波器来延迟稳压器启动。

表 4. V_{DD} 电源域的 VRM 规范

符号	参数	工作条件	最小值	典型值	最大值	单位
VRM_{VDD}	输出电压范围	包括 VRM_{VDD-N}	2.7 1.71	3.3 1.8	3.6 2.0	V
$VRM_{VDD-ACC}$	输出电压精度	包括线性调节、负载调节和温度变化	-5	-	+5	%
VRM_{VDD-N}	输出噪声电压	$I_{OUT} = 5 \text{ mA}$ 至 200 mA $f = 1 \text{ Hz}$ 至 5 MHz	-	-	30	mVp-p
VRM_{IDD}	额定输出电流		200 ⁽¹⁾	-	-	mA
$VRM_{VDD-TRANS}$	负载瞬态调节	$I_{OUT} = 5 - 50 \text{ mA}$ 或 50 - 5 mA in 1 μs	-	-	+/-30	mV

1. VRM 输出电流仅适用于 MPU 功率预算 V_{DD} 电源域, 包括 V_{DD_ANA} 和 V_{DD_PLL} 。如果 V_{DD} VRM 还用于为应用外设供电, 则必须增加相关的额外电流消耗 (参见第 4.1.2 节 配电和稳压器拓扑建议)。

6.2 V_{DDCORE} 电源域的 VRM 规范

V_{DDCORE} 是主要的 MPU 数字电源域。因此, V_{DDCORE} 电源会出现明显的电流负载瞬态。因此, 应特别注意 MPU 解耦电容的放置位置和布局, 以便最小化电力传输网络阻抗 (参见[1])。

本节举例说明第 4.1 节 STM32MP13xD/F 运行过载模式 (带 DDR3L、启动 Flash、SD-card UHS-I、USB-A 主机, 以及 USB-C PD) 和第 4.3 节 STM32MP13xD/F (支持运行过载模式) 带 IpDDR2/3、启动 Flash、USB-A 主机, 以及 I/O 电压 (1.8 V) 应用。

表 5. V_{DDCORE} 电源域的 VRM 规范

符号	参数	工作条件	最小值	典型值	最大值	单位
VRM _{VDDCORE}	运行模式下的输出电压	包括线性调节、负载调节和温度变化	1.21	1.25	1.29	V
VRM _{VDDCORE-LPLV-STOP}	LPLV-Stop 或 LPLV-Stop2 模式下的输出电压	VRM 的 VSEL 输入 = 0	0.85	0.9	VRM _{VDDCORE}	V
VRM _{VDDCORE-RIPPLE}	输出噪声/波纹电压	I _{OUT} = 1 mA 至 500 mA f = 10 Hz 至 5 MHz	-	-	30	mVp-p
VRM _I CORE	额定输出电流		500	-	-	mA
VRM _{VDDCORE-TRANS}	负载瞬态调节	I _{OUT} = 1 mA - 160 mA 或 160 mA - 1 mA/1 μs	-	-	+/-30 ⁽¹⁾	mV
VRM _{VDDCORE-SR-PU}	上电时的输出电压转换速率	VRM _{VDDCORE} 从 V _{TH_VDDCORE-Min} 到 V _{DDCORE-Min}	1.3 ⁽²⁾	-	-	V/ms
VRM _{VDDCORE-SR-LPLV-Stop}	退出 LPLV-Stop 时的输出电压转换速率	VRM _{VDDCORE} 从 VRM 的 VSEL 输入的上升沿到 V _{DDCORE-Min}	1.55 ⁽³⁾	-	-	V/ms
VRM _{VDDCORE-AD}	主动输出放电	VRM _{VDDCORE} 从 VRM 的 EN 输入的下降沿到 VRM _{VDDCORE} 的 10%		10 ⁽⁴⁾	31	ms

1. 当瞬态电流为负时，由负载瞬态引起的电压过冲/下冲不得高于 $VRM_{VDDCORE} + VRM_{VDDCORE-TRANS}$ ；当瞬态电流为正时，不得低于 $VRM_{VDDCORE} - VRM_{VDDCORE-TRANS}$ 。输出电压噪声/纹波 ($VRM_{VDDCORE-RIPPLE}$) 默认包含在 $VRM_{VDDCORE-TRANS}$ 预算中。
2. 上电时，一旦 VRM 输出电压超过 0.95 V ($STM32MP13$ 的 $V_{TH_VDDCORE\ min}$)， VRM 输出电压必须在 $200\ \mu\text{s}$ ($STM32MP13$ 的 $t_{VDDCORE_TEMPO}$ 最小值) 内高于 $VRM_{VDDCORE}$ 最低值。
3. 退出 LPLV-Stop 时， $STM32MP13$ 的 PWR_LP 信号从低电平转为高电平。 VRM 输出电压必须在 $234\ \mu\text{s}$ ($STM32MP13$ 的 $t_{SEL_VDDCORETEMPO}$ 最小值) 内从 $VRM_{VDDCORE-LPLV-STOP\ min}$ 上升到 $VRM_{VDDCORE\ min}$ 。
4. 由于 V_{DDCORE} 在待机模式下是关闭的，需要一个带 EN 引脚的稳压器来支持待机模式。此外，建议选择带有主动输出放电功能的稳压器，以便在稳压器被禁用时允许电压快速下降。因此，MPU 的 $POPL$ 定时器必须设置一个高于 $VRM_{VDDCORE-AD}$ 的值。

提示 如果未请求 LPLV-Stop 模式，VRM_{VDDCORE-LPLV-STOP} 和 VRM_{VDDCORE-SR-LPLV-STOP} 参数必须忽略。

6.2.1 支持 LPLV-Stop2 模式的 VRM_{VDDCORE} 电路图

图 18 中的 VRM 在 SMPS IC 的反馈回路中插入额外电路，允许控制两个输出电压。该可选电路允许 V_{DDCORE} 电压在运行模式下的 1.25 V 和 LPLV-Stop2 模式下的 0.9 V 之间切换。

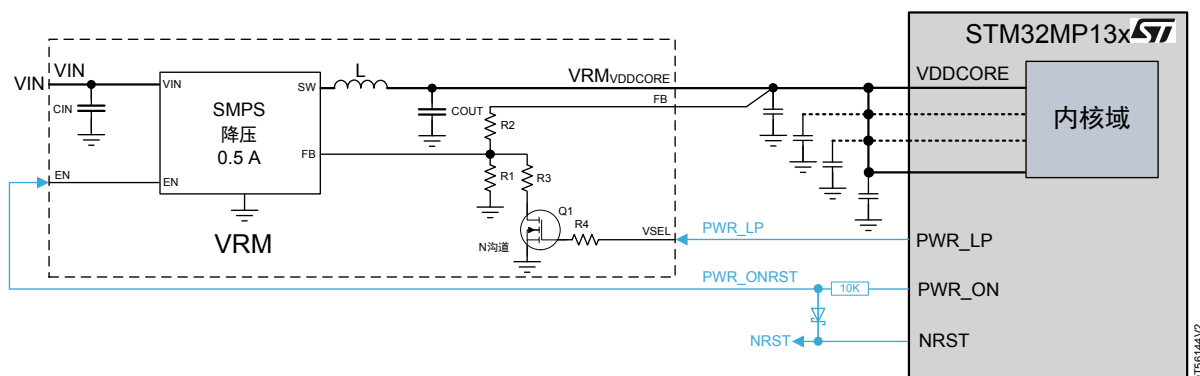
图 18. VRM_{VDDCORE} 配可扩展的 1.25 / 0.9 V 电路

表 6. 1.25 / 0.9 V 的 VRM 真值表

EN	VSEL	VRM _{VDDCORE}
0	-	0 V (关闭)
1	0	0.9 V
1	1	1.25 V

Vout (R1、R2、R3、R4) 计算实例:

假设: 图 18 中阐述的降压 SMPS 有一个反馈电压等于 $V_{FB} = 0.6 \text{ V}$

1. 当 $VSEL = 0$ (LPLV-Stop 模式) 时, MOSFET Q1 断开, Q1 漏极节点是浮动的。输出电压 $VRM_{VDDCORE}$ 是最低值, 等于:

$$VOUT_0 = (R1 + R2) / R1 \times V_{FB} = 0.9 \text{ V}$$

2. 当 $VSEL = 1$ (运行模式) 时, MOSFET Q1 闭合, Q1 漏极节点接地 (相比 R3 的值, Q1 $R_{DS(on)}$ 可以忽略)。输出电压 $VRM_{VDDCORE}$ 是最高值, 等于:

$$VOUT_1 = (R1 // R3 + R2) / R1 // R3 \times V_{FB} = 1.25 \text{ V}$$

R1 和 R2 需要首先选择, 以达到输出电压 $VOUT_0 = 0.9 \text{ V}$ 。在第一步中, 为 R1 或 R2 选择一个任意值。

在第二步中, 应选择 R3, 以达到 $VOUT_1 = 1.25 \text{ V}$

R4 具有高阻值, 可延长米勒效应持续时间, 以增加 Q1 晶体管的关闭持续时间。然而, 必须调整 R4 值以满足 $VRM_{VDDCORE-SR-LPLV-Stop}$ 转换速率限制要求。

Q1 MOSFET 选择的电气参数:

- N 沟道
 - $I_{DSS} \ll 2 \mu\text{A}$ (条件: $V_{ds} = 0.8 \text{ V}$, $V_{gs} = 0 \text{ V}$)
 - $V_{GS(threshold)} < 1.8 \text{ V}$ (必须低于 PWR_LP I/O 电压; 所以低于 VDD 电压)
 - $I_D \min > 2 \mu\text{A}$
 - $V_{DS} > 0.8 \text{ V}$
 - 建议 Cr_{ss} 小于 $20 \text{ pF}^{(1)}$
1. 这是为了避免在 PWR_LP 信号跃迁过程中能量从 PWR_LP 信号传输到 Q1 栅极-漏极 (通过 Cr_{ss}), 然后再传输到 IC 的反馈节点。在 PWR_LP 信号跃迁过程中, 这种能量传输会对 IC 的反馈节点产生干扰, 造成小的过冲和下冲现象, 持续时间几微秒)。

6.3 V_{VDDCPU} 电源域（支持运行过载模式）的 VRM 规范

V_{VDDCPU} 是 STM32MP13x Arm® Cortex®-A7 CPU 数字电源域。因此，V_{VDDCPU} 电源会出现明显的电流负载瞬态。因此，应特别注意 MPU 解耦电容的放置位置和布局，以便最小化电力传输网络阻抗（参见[1]）。

本节介绍集成了具有增强型用户任务概述的 STM32MP13xD 或 STM32MP13xF 器件的第 4.1 节 STM32MP13xD/F 运行过载模式（带 DDR3L、启动 Flash、SD-card UHS-I、USB-A 主机，以及 USB-C PD）和第 4.3 节 STM32MP13xD/F（支持运行过载模式）带 lpDDR2/3、启动 Flash、USB-A 主机，以及 I/O 电压（1.8 V）应用（参见[6]）。该配置文件允许 Arm® Cortex®-A7 CPU 时钟频率最高达到 1 Ghz（参见[5]了解详细信息和限制）。

表 7. V_{VDDCPU} 电源域的 VRM 规范

符号	参数	工作条件	最小值	典型值	最大值	单位
VRM _{VDDCPU}	运行模式下的输出电压	包括线性调节、负载调节和温度变化	1.21	1.25	1.29 ⁽¹⁾	V
VRM _{VDDCPU-OVRDRV}	运行过载模式下的输出电压	包括线性调节、负载调节和温度变化	1.32	1.35	1.38	V
VRM _{VDDCPU-RIPPLE}	输出噪声/波纹电压	I _{OUT} = 1 mA 至 500 mA f = 10 Hz 至 5 MHz	-	-	30	mVp-p
VRM _{ICPU}	额定输出电流		500	-	-	mA
VRM _{VDDCPU-TRANS}	负载瞬态调节	I _{OUT} = 1 mA - 230 mA 或 230 mA - 1 mA/1 μs	-	-	+/-30 ⁽²⁾	mV
VRM _{VDDCPU-SR-PU}	上电时的输出电压转换速率	VRM _{VDDCPU} 从 V _{TH_VDDCPU-Min} 到 V _{VDDCPU-Min}	1.3 ⁽³⁾	-	-	V/ms
VRM _{VDDCPU-SR-OVRDRV}	运行/运行过载转换时的输出电压转换速率	VRM _{VDDCPU} 从 VRM 的 VSEL 输入的上升沿到 V _{VDDCPUOVRDRV-Min}	1 ⁽⁴⁾	-	-	V/ms
VRM _{VDDCPU-AD}	主动输出放电	VRM _{VDDCPU} 从 VRM 的 EN 输入的下降沿到 VRM _{VDDCPU} 的 10%	-	-	31 ⁽⁵⁾	ms

1. 器件的工作电压最高可达 1.38 V，虽然当 V_{VDDCPU} > 1.29 V 时不能确保使用寿命（参见[6]），却简化了 VRM 设计，可以管理 VRM_{VDDCPU-OVRDRV} 下的单一 V_{VDDCPU} 电压（参见第 5.3.1 节 运行过载模式的低成本替代方案）。
2. 当瞬态电流为负时，由负载瞬态引起的电压过冲/下冲不得高于 VRM_{VDDCPU} + VRM_{VDDCPU-TRANS}；当瞬态电流为正时，不得低于 VRM_{VDDCPU} - VRM_{VDDCPU-TRANS}。输出电压噪声/纹波（VRM_{VDDCPU-RIPPLE}）默认包含在 VRM_{VDDCPU-TRANS} 预算中。
3. 上电时，一旦 VRM 输出电压超过 0.95 V（STM32MP13 的 V_{TH_VDDCPU min}），VRM 输出电压必须在 200 μs（STM32MP13 的 t_{VDDCPU_TEMPO} 最小值）内高于 VRM_{VDDCPU} 最低值。必须了解 VRM 软启动持续时间，以便通过设置 MPU 的 PWRLP_TEMPO 延迟来管理非常短的 LPLV-Stop2 用例（参见第 5.4.2 节 LPLV-Stop2 模式中的警告提示）。
4. 对于从运行模式过渡到运行过载模式时的电压转换速率没有具体限制。然而，必须知道上升持续时间（t_{rise}），并将其设置到软件中，以实现第 5.3 节 STM32MP15xD 和 STM32MP15xF 运行过载模式管理中描述的序列。
5. 在 LPLV-STOP2 模式下关闭 V_{VDDCPU}，以防崩溃。因此，需要一个带 EN 引脚的稳压器来支持这两种情况。为了支持崩溃恢复管理，必须使能 MPU 的复位脉冲控制功能，方法是将 MRD 定时器设为高于 VRM_{VDDCPU-AD} 的值（参见第 5.5 节 故障恢复管理）。

6.3.1 支持运行过载模式的 VRM_{VDDCPU} 电路图（具有可扩展的 1.25 / 1.35 V）

图 19 中的 VRM 在 SMPS IC 的反馈回路中插入额外电路，允许控制两个输出电压。该可选电路允许 V_{VDDCPU} 电压在运行模式下的 1.25 V 和运行过载模式下的 1.35 V 之间切换。

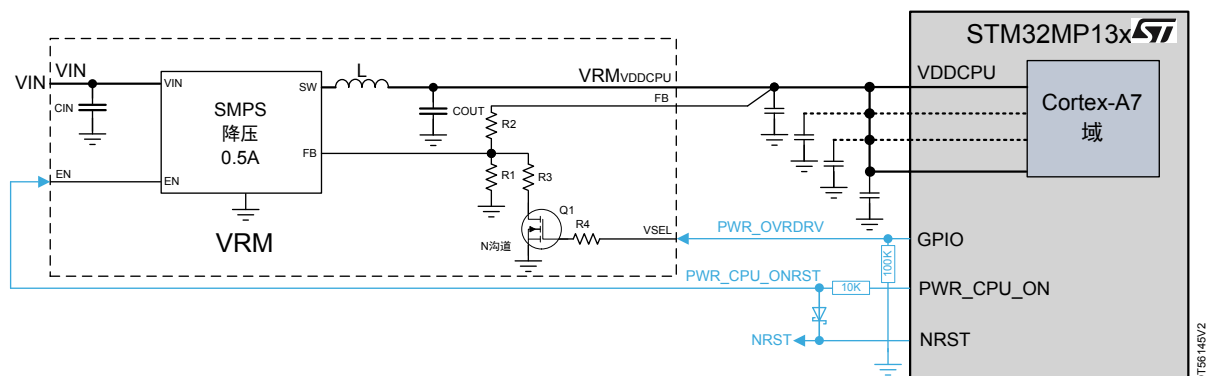
图 19. VRM_{VDDCPU} 配可扩展的 1.25 / 1.35 V 电路


表 8. 1.25 / 1.35 V 的 VRM 真值表

EN	VSEL	VRM _{VDDCPU}
0	-	0 V（关闭）
1	0	1.25 V
1	1	1.35 V

V_{out}（R₁、R₂、R₃、R₄）计算实例：

假设：图 19 中阐述的降压 SMPS 有一个反馈电压等于 $V_{FB} = 0.6 \text{ V}$

- 当 $VSEL = 0$ （运行模式）时，MOSFET Q1 断开，Q1 漏极节点是浮动的。输出电压 VRM_{VDDCPU} 是最低值，等于：

$$VOUT_0 = (R1 + R2) / R1 \times V_{FB} = 1.25 \text{ V}$$

- 当 $VSEL = 1$ （运行覆盖模式）时，MOSFET Q1 闭合，Q1 漏极节点接地（相比 R₃ 的值，Q1 $R_{DS(on)}$ 可以忽略）。输出电压 VRM_{VDDCPU} 是最高值，等于：

$$VOUT_1 = (R1 // R3 + R2) / R1 // R3 \times V_{FB} = 1.35 \text{ V}$$

R₁ 和 R₂ 需要首先选择，以达到输出电压 $VOUT_0 = 1.25 \text{ V}$ 。在第一步中，为 R₁ 或 R₂ 选择一个任意值。

在第二步中，应选择 R₃，以达到 $VOUT_1 = 1.35 \text{ V}$

R₄ 具有高阻值，可延长米勒效应持续时间，以增加 Q1 晶体管的关闭持续时间。然而，必须调整 R₄ 值以满足 VRM_{VDDCORE-SR-LPLV-Stop} 转换速率限制要求。

Q1 MOSFET 选择的电气参数：

与第 6.2.1 节支持 LPLV-Stop2 模式的 VRM_{VDDCORE} 电路图 相同。

6.4 VDDCORE 和 VDDCPU 合并后的 VRM 规范

VDDCORE 和 VDDCPU 分别是 MPU 数字电源域和 Arm® Cortex®-A7 CPU 数字电源域。因此，VDDCORE 和 VDDCPU 电源会同时会出现明显的电流负载瞬态。因此，应特别注意 MPU 解耦电容的放置位置和布局，以便最小化电力传输网络阻抗（参见[1]）。

本节举例说明第 4.2 节 低成本的 STM32MP13x 配 DDR3L、启动 Flash，以及 USB-A 主机应用，其中 VDDCORE 和 VDDCPU 在 PCB 层面合并，由同一个 VRM 供电。

在本节中，VDDCORE 和 VRMVDDCORE 指的是同时为 VDDCORE 和 VDDCPU 供电的 VRM

表 9. VDDCORE 和 VDDCPU 合并电源域的 VRM 规范

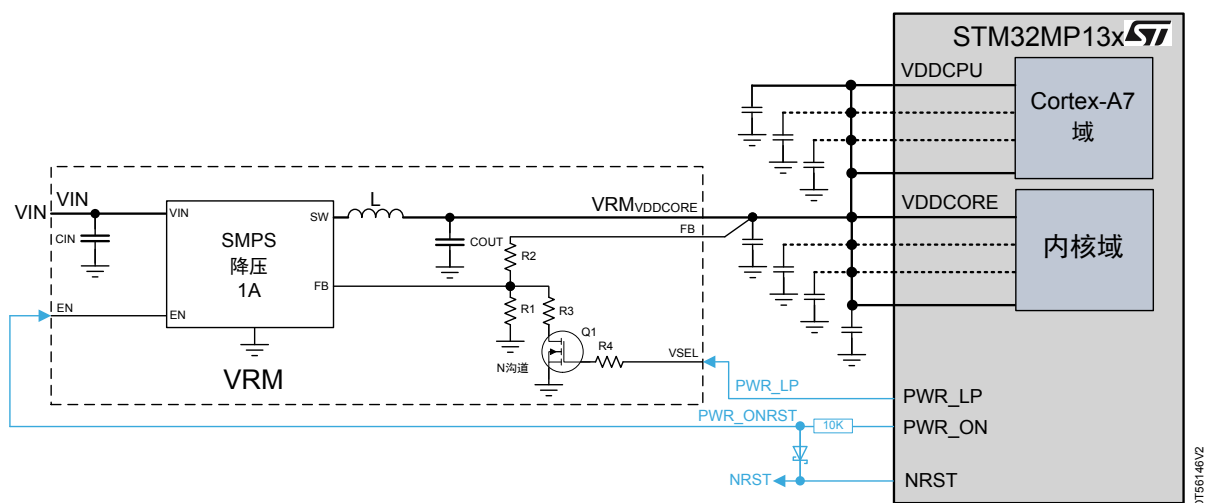
符号	参数	工作条件	最小值	典型值	最大值	单位
VRMVDDCORE	运行模式下的输出电压	包括线性调节、负载调节和温度变化	1.21	1.25	1.29	V
VRMVDDCORE-LPLV-STOP	LPLV-Stop 模式下的输出电压	VRM 的 VSEL 输入 = 0	0.85	0.9	VRMVDDCORE	V
VRMVDDCORE-RIPPLE	输出噪声/波纹电压	I _{OUT} = 1 mA 至 1 A f = 10 Hz 至 5 MHz	-	-	30	mVp-p
VRM _{ICORE}	额定输出电流		1000	-	-	mA
VRMVDDCORE-TRANS	负载瞬态调节	I _{OUT} = 2 mA - 350 mA 或 350 mA - 2 mA/1 μs	-	-	+/-30 ⁽¹⁾	mV
VRMVDDCORE-SR-PU	上电时的输出电压转换速率	VRMVDDCORE 从 V _{TH_VDDCORE-Min} 到 V _{DCCORE-Min}	1.3 内高于 VRMVDDCORE 最低值 ⁽²⁾	-	-	V/ms
VRMVDDCORE-SR-LPLV-Stop	退出 LPLV-Stop 时的输出电压转换速率	VRMVDDCORE 从 VRM 的 VSEL 输入的上升沿到 V _{DCCORE-Min}	1.55 ⁽³⁾	-	-	V/ms
VRMVDDCORE-AD	主动输出放电	VRMVDDCORE 从 VRM 的 EN 输入的下降沿到 VRMVDDCORE 的 10%	-	-	31 ⁽⁴⁾	ms

- 当瞬态电流为负时，由负载瞬态引起的电压过冲/下冲不得高于 VRMVDDCORE + VRMVDDCORE-TRANS；当瞬态电流为正时，不得低于 VRMVDDCORE - VRMVDDCORE-TRANS。输出电压噪声/纹波（VRMVDDCORE-RIPPLE）默认包含在 VRMVDDCORE-TRANS 预算中。
- 上电时，一旦 VRM 输出电压超过 0.95 V（STM32MP13 的 V_{TH_VDDCORE min}），VRM 输出电压必须在 200 μs（STM32MP13 的 t_{VDDCORE_TEMPO} 最小值）
- 退出 LPLV-Stop 时，STM32MP13 的 PWR_LP 信号从低电平转为高电平。VRM 输出电压必须在 234 μs（STM32MP13 的 T_{SEL_VDDCORETEMPO} 最小值）内从 VRMVDDCORE-LPLV-STOP_{min} 上升到 VRMVDDCORE_{min}。
- VDDCORE 和 VDDCPU 在待机模式下关闭，以防崩溃。因此，需要一个带 EN 引脚的稳压器来支持这两种情况。对于待机模式，MPU 的 POPL 定时器必须设置一个高于 VRMVDDCORE-AD 的值。对于崩溃恢复管理，MPU 的复位脉冲控制必须启用，方法是 MRD 定时器设置一个高于 VRMVDDCORE-AD 的值（参见第 5.5 节 故障恢复管理）。

提示 如果未请求 LPLV-Stop 模式，VRMVDDCORE-LPLV-STOP 和 VRMVDDCORE-SR-LPLV-Stop 参数必须忽略。

6.4.1 支持 LPLV-Stop 的 VRMVDDCORE 电路实例

图 20 中的 VRM 在 SMPS IC 的反馈回路中插入额外电路，允许控制两个输出电压。该可选电路允许 VDDCORE / VDDCPU 电压在运行模式下的 1.25 V 和 LPLV-Stop 模式下的 0.9 V 之间切换。

图 20. VRM_{VDDCORE} 具有可扩展的 1.25 / 0.9 V 电路 (V_{DDCORE} 和 V_{DDCPU} 合并)

表 10. VRM 1.25 / 0.9 V 真值表 (V_{DDCORE} 和 V_{DDCPU} 合并)

EN	VSEL	VRM _{VDDCORE}
0	-	0 V (关闭)
1	0	0.9 V
1	1	1.25 V

V_{out} (R1、R2、R3、R4) 计算实例与第 6.2.1 节 支持 LPLV-Stop2 模式的 VRM_{VDDCORE} 电路图相同。
Q1 MOSFET 选择的电气参数与第 6.2.1 节 支持 LPLV-Stop2 模式的 VRM_{VDDCORE} 电路图相同。

6.5 VDDQ_DDR 电源域的 VRM 规范

VDDQ_DDR 为 MPU DDR IO 电压接口供电。除了 VDDQ_DDR，VRM 也应为 DDR IC 供电。应特别注意解耦电容的放置位置和布局，以便最小化 MPU VDDQ_DDR 电源和 DDR3L IC 的电力传输网络阻抗。参见[1]和[8]获取详细信息。

本节举例说明第 4.1 节 STM32MP13xD/F 运行过载模式（带 DDR3L、启动 Flash、SD-card UHS-I、USB-A 主机，以及 USB-C PD）和第 4.2 节 低成本的 STM32MP13x 配 DDR3L、启动 Flash，以及 USB-A 主机应用。

假设：

- DDR3L 电压范围为 1.283 V 到 1.45 V（1.35 V 典型值）。（来自 JEDEC JESD79-3-1A）
- 1.425 V 最大 DC 值（来自 JEDEC JESD79-3-1A）= 1.35 V + 5.5%
- VDDR 最大 AC 值 = 25 mV（1.45 V – 1.425 V）
- 相同的值用于 VDDR 最小 AC
- 1.308 V 最小 DC 值（1.283 V + 0.025）= 1.35 V – 3.1%

表 11. VDDQ_DDR 和 DDR3L IC 电源域的 VRM 规范

符号	参数	工作条件	最小值	典型值	最大值	单位
VRM _{VDDR}	输出电压		-	1.35	-	V
VRM _{VDDR-ACC}	输出电压精度	包括线性调节、负载调节和温度变化	-3 (-3.1) ⁽¹⁾	-	+3 (+5.5) ⁽¹⁾	%
VRM _{VDDR-RIPPLE}	输出噪声/波纹电压	I _{OUT} = 1 mA 至 500 mA f = 10 Hz 至 5 MHz	-	-	25	mVp-p
VRM _{IDDR}	连续输出电流		500	-	-	mA
VRM _{VDDR-TRANS}	负载瞬态调节	I _{OUT} = 1 mA - 200 mA 或 200 mA - 1 mA/1 μs	-	-	+/-25 ⁽²⁾	mV
VRM _{VDDR-SS}	软启动持续时间	从 EN 引脚上升（VRM _{VDDR} ~ 0）到 95% 的 VRM _{VDDR} 的持续时间	-	-	10 ⁽³⁾	ms
VRM _{VDDR-AD}	主动输出放电	VRM _{VDDR} 从 VRM 的 EN 输入的下降沿到 VRM _{VDDR} 的 10%	-	-	31 ⁽⁴⁾	ms

1. 基于假设的值。两者都降低到 +/-3%
2. 当瞬态电流为负时，由负载瞬态引起的电压过冲/下冲不得高于 VRM_{VDDR} + VRM_{VDDR-TRANS}；当瞬态电流为正时，不得低于 VRM_{VDDR} - VRM_{VDDR-TRANS}。输出电压噪声/纹波（VRM_{VDDR-RIPPLE}）默认包含在 VRM_{VDDR-TRANS} 预算中。
3. 10 ms 是 MPU EADLY 定时器的复位值。EADLY 是一个定时器，由软件设置，等待稳压器电压准备就绪，然后进入运行模式，详情请参见第 5.2 节 上电 / 下电时序和复位管理和第 5.4 节 低功耗模式管理。
4. VDDQ_DDR 在待机模式下关闭，以防崩溃。因此，需要一个带 EN 引脚的稳压器来支持这两种情况。对于待机模式，MPU 的 POPL 定时器必须设置一个高于 VRM_{VDDR-AD} 的值。对于崩溃恢复管理，MPU 的复位脉冲控制必须启用，方法是为 MRD 定时器设置一个高于 VRM_{VDDR-AD} 的值（参见第 5.5 节 故障恢复管理）。

修订历史

表 12. 文档修订历史

日期	版本	变更
2023 年 1 月 31 日	1	初始版本。

目录

1	概述.....	2
2	概述.....	3
2.1	参考文档	3
3	术语表.....	4
4	分立电源拓扑	5
4.1	STM32MP13xD/F 运行过载模式（带 DDR3L、启动 Flash、SD-card UHS-I、USB-A 主机，以及 USB-C PD）	5
4.1.1	输入电压.....	7
4.1.2	配电和稳压器拓扑建议	7
4.2	低成本的 STM32MP13x 配 DDR3L、启动 Flash，以及 USB-A 主机.....	11
4.2.1	输入电压.....	13
4.2.2	配电和稳压器拓扑建议	13
4.3	STM32MP13xD/F（支持运行过载模式）带 IpDDR2/3、启动 Flash、USB-A 主机，以及 I/O 电压（1.8 V）	13
4.3.1	输入电压.....	15
4.3.2	LDO 或 SMPS 的稳压器拓扑建议	15
5	电源管理.....	18
5.1	工作模式	18
5.1.1	复位和崩溃恢复管理电路	19
5.2	上电 / 下电时序和复位管理	20
5.2.1	通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 实现上电/下电（图 1）	20
5.2.2	通过合并的 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 实现上电/下电（图 5）	22
5.2.3	通过独立的 V_{DDCORE} 和 V_{DDCPU} ，以及 IpDDR2/3 实现上电/下电（图 6）	23
5.3	STM32MP15xD 和 STM32MP15xF 运行过载模式管理	24
5.3.1	运行过载模式的低成本替代方案	25
5.4	低功耗模式管理	26
5.4.1	LPLV-Stop 模式.....	26
5.4.2	LPLV-Stop2 模式.....	27
5.4.3	带独立 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 的待机模式（图 1）	30
5.4.4	通过合并的 V_{DDCORE} 和 V_{DDCPU} ，以及 DDR3L 实现待机模式（图 5）	31

5.4.5	通过独立的 V_{DDCORE} 和 V_{DDCPU} ，以及 $IpDDR2/3$ 实现待机模式（图 6）	32
5.5	故障恢复管理	32
5.5.1	通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 $IpDDR2/3$ 实现崩溃恢复管理（图 6）	32
5.5.2	通过独立 V_{DDCORE} 和 V_{DDCPU} ，以及 $DDR3L$ 实现崩溃恢复管理（图 1）	34
5.5.3	崩溃恢复管理（ V_{DDCORE} 和 V_{DDCPU} 合并， $DDR3L$ ）（图 5）	34
6	稳压器模块规范	35
6.1	V_{DD} （ V_{DD_ANA} 、 V_{DD_PLL} ）电源域的 VRM 规范	35
6.2	V_{DDCORE} 电源域的 VRM 规范	35
6.2.1	支持 LPLV-Stop2 模式的 $VRM_{V_{DDCORE}}$ 电路图	36
6.3	V_{DDCPU} 电源域（支持运行过载模式）的 VRM 规范	38
6.3.1	支持运行过载模式的 $VRM_{V_{DDCPU}}$ 电路图（具有可扩展的 1.25 / 1.35 V）	38
6.4	V_{DDCORE} 和 V_{DDCPU} 合并后的 VRM 规范	40
6.4.1	支持 LPLV-Stop 的 $VRM_{V_{DDCORE}}$ 电路实例	40
6.5	V_{DDQ_DDR} 电源域的 VRM 规范	42
	修订历史	43

图一览

图 1.	STM32MP13x 带 DDR3L、启动 Flash、SD card UHS-I、USB-A 主机，以及 USB-C PD	6
图 2.	VDD3V3_USBHS 电源配集成电源开关	8
图 3.	通过分立电源开关为 VDD3V3_USBHS 供电	9
图 4.	通过 Type-A 连接器从 USB 进行刷写	10
图 5.	低成本版本的 VDDCPU 与 VDDCORE 合并，使用单一降压 SMPS	12
图 6.	STM32MP13x 带 IpDDR2/3、启动 Flash，以及 I/O 电压（1.8 V）	14
图 7.	从 V _{3V3} 为 VDD3V3_USBHS 供电	15
图 8.	PWR_ONRST 和 PWR_CPU_ONRST 崩溃恢复管理信号	19
图 9.	通过独立 VDDCORE 和 VDDCPU，以及 DDR3L 实现上电/下电	21
图 10.	通过合并的 VDDCORE 和 VDDCPU，以及 DDR3L 实现上电/下电	22
图 11.	通过独立 VDDCORE 和 VDDCPU，以及 IpDDR2/3 实现上电/下电	23
图 12.	运行模式和运行过载模式序列	25
图 13.	LPLV-Stop 模式顺序	27
图 14.	LPLV-Stop2 模式序列	29
图 15.	待机模式顺序	31
图 16.	故障恢复顺序	33
图 17.	稳压器模块周边回路示例	35
图 18.	VRM _{VDDCORE} 配可扩展的 1.25 / 0.9 V 电路	36
图 19.	VRM _{VDDCPU} 配可扩展的 1.25 / 1.35 V 电路	39
图 20.	VRM _{VDDCORE} 具有可扩展的 1.25 / 0.9 V 电路（VDDCORE 和 VDDCPU 合并）	41

表一览

表 1.	参考文档	3
表 2.	术语表	4
表 3.	系统工作模式	18
表 4.	VDD 电源域的 VRM 规范	35
表 5.	VDDCORE 电源域的 VRM 规范	36
表 6.	1.25 / 0.9 V 的 VRM 真值表	37
表 7.	VDDCPU 电源域的 VRM 规范	38
表 8.	1.25 / 1.35 V 的 VRM 真值表	39
表 9.	VDDCORE 和 VDDCPU 合并电源域的 VRM 规范	40
表 10.	VRM 1.25 / 0.9 V 真值表 (VDDCORE 和 VDDCPU 合并)	41
表 11.	VDDQ_DDR 和 DDR3L IC 电源域的 VRM 规范	42
表 12.	文档修订历史	43

重要通知 - 仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对 ST 产品和/或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于意法半导体产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对意法半导体产品的选择和使用，意法半导体概不承担与应用协助或买方产品设计相关的任何责任。

意法半导体不对任何知识产权进行任何明示或默示的授权或许可。

转售的意法半导体产品如有不同于此处提供的信息的规定，将导致意法半导体针对该产品授予的任何保证失效。

ST 和 ST 标志是意法半导体的商标。关于意法半导体商标的其他信息，访问 www.st.com/trademarks。其他所有产品或服务名称是其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2023 STMicroelectronics - 保留所有权利