

使用低功耗模式的 STM32MP13x 系列产品

引言

STM32MP13x 系列产品基于 Arm® Cortex®-A7（带一个单核 MPU 子系统）。

这些器件可配置多种低功耗模式，以便在必要时降低功耗。

本应用笔记介绍了 STM32MP13x 器件的各种低功耗模式，以及如何配置和退出这些模式。本文档还提供相关指导，用于在系统级别使用低功耗模式，以及使用外部 STPMIC1x 功率调节器组件。

有关 STM32MP13x 器件的更多信息，参阅可在 www.st.com 上获取的以下文件和可交付成果。

- STM32MP13x 系列产品参考手册
- STM32MP13x 系列产品数据手册
- STPMIC1x 数据手册
- STM32MP13 系列硬件开发入门 (AN5474)
- 在壁式适配器电源上集成 STM32MP13x MPU 系列产品和 STPMIC1D / STPMIC1A (AN5587)
- STM32MP13x 系列产品内嵌软件

1 概述

本文档适用于所有 STM32MP13x 系列产品。下表描述了当前 STM32MP13x 系列所有产品的主要特性。在本文档中，Cortex®-A7 称为 MPU。本文档假定是全功能器件（例如 STM32MP135 微控制器）。

表 1. STM32MP13x 系列产品配置

线路	参考手册	显示相机	CAN FD	以太网	ADC
STM32MP131	RM0475	无	无	x1	x1
STM32MP133		无	x2	x2	x2
STM32MP135		有	x2	x2	x2

在本文档中，MPU 子系统有时称为 MPU，以便于文档阅读。

提示

Arm 是 Arm Limited（或其子公司）在美国和/或其他地区的注册商标。



2 术语表

本文档所用术语不限于下表。

表 2. 术语表

术语	意义
AHB	高级高性能总线
AVD	模拟电压检测器
BKPSRAM	备用 SRAM
BOR	欠压复位
BUCK	降压开关电源转换器
CSS	时钟安全系统
DDR	双倍数据速率 (SRAM)
DDRCTRL	DDR 控制器
DDRPHYC	DDR 物理接口控制
ETH	以太网控制器
FDCAN	具有灵活数据速率的控制器局域网络。 还支持时间触发的 CAN (TT)
GPIO	通用输入/输出
HDP	硬件调试端口
IRQ	中断请求
IWDG	独立看门狗
LDO	低压降调节器
LpDDR	低功耗 DDR
LSE	低速外部石英振荡器
LSI	低速内部振荡器
MCU	微控制器
MLAHB	多层 AHB / 基于 AHB 的互连
MPU	微处理器
PLL	锁相环
PVD	可编程电压检测器
PWR	电源控制块
PSCI	电源状态和协调接口
QSPI	四路数据通道串行外设接口
RCC	复位和时钟控制
RTC	实时时钟
SDMMC	安全数字和多媒体卡接口。 支持 SD、MMC、eMMC 和 SDIO 协议
SRAM	静态随机存取存储器
STPMIC1x	电源管理集成电路。通过信号和串行接口提供具有很大可控性的各种平台电源的外部电路。 STPMIC1D (面向 3.3 V VDD 应用) 和 STPMIC1E (面向 1.8 V VDD 应用) 可在 STM32MP13x 产品线上使用。

术语	意义
SYSRAM	系统 SRAM
SW	软件
TEMP	温度传感器
TEMPH-L	温度传感器高-低监控
TF-A	可信固件面向 Cortex®-A
USART	通用同步异步收发器
USB OTG	通用串行总线（USB）on-the-go（OTG）。 一种标准 USB 接口，能够成为主机或设备
VBATH-L	VBAT 高-低监控
VTT	DDR 端接电阻电源
WFE	等待事件
WFI	等待中断

3 电源管理理念

本节描述 STM32MP13x 系列器件的高级电源管理理念。参见相应参考手册了解更多信息。

3.1 STM32MP13x 系列产品系统架构

STM32MP13x 系列产品的电源模式架构来自于 STM32MP15x 系列产品。STM32MP13x 和 STM32MP15x 器件在电源管理方面的主要差异在于：

- STM32MP13x 系列产品内嵌一个单一 Cortex®-A7 MPU，而 STM32MP15x 系列产品内嵌一个单/双 Cortex®-A7 MPU 和 Cortex®-M4 MCU。
- STM32MP13x 系列产品配有额外的 V_{DDCPU} 电源，专门用于 Cortex®-A7 MPU。这将允许新的 LPLV-Stop2 电源模式，且关闭了 V_{DDCPU} 和降低了 V_{DDCORE}。
- STM32MP13x 系列产品具有来自 LPLV-Stop/LPLV-Stop2 低功耗模式的额外唤醒源（U(S)ARTx、I²Cx、SPIx）。

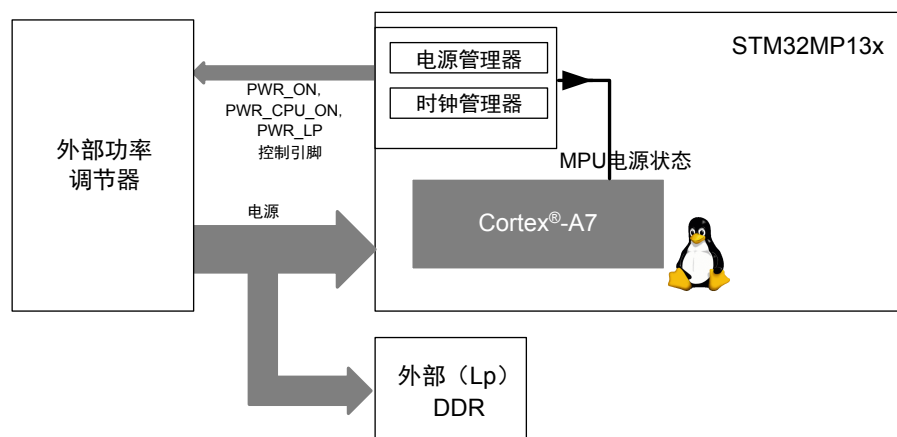
请参见使用低功耗模式的 STM32MP15x 系列产品应用笔记（AN5109）获取关于 STM32MP15x 器件的详细信息。大多数 STM32 MCU 具有内部 LDO（低压降调节器），为内部数字逻辑供电。在 STM32MP13x 系列产品中，内部数字逻辑由外部供电。该关键差异导致 STM32MP13x 系列产品的电源管理不同。这些器件需要使用外部信号和/或外部调节器编程来控制所需的电压供应。

电源管理特性分布在 STM32MP13x 产品系列器件的 RCC（复位和时钟控制）和 PWR（电源）块之间。

- RCC 块确保时钟树处理（PLL、mux、分频器、时钟门控）和复位（外设的本地复位、Cortex®-A7 复位、平台复位）。
- RCC 块允许根据 MPU 子系统的电源状态选择电源模式。
- PWR 块负责低功耗模式的进入/退出。它基于电源模式驱动到外部调节器的控制引脚（PWR_ON、PWR_CPU_ON、PWR_LP）。

图 1 下图显示了 STM32MP13x 系列产品的高级系统架构。

图 1. STM32MP13x 系列产品高级系统架构



3.1.1 系统电源 (V_{DD} 、 V_{DDCPU} 和 V_{DDCORE})

STM32MP13x 系列器件需要多种电源（详见相应的数据手册和参考手册）。在这些电源中， V_{DD} 、 V_{DDCPU} 和 V_{DDCORE} 在低功耗模式配置中起关键作用。

- V_{DD} 为 IO 和系统模拟（如复位、电源管理振荡器和 PLL）提供电源输入。
- V_{DDCPU} ：MPU 子系统数字电源
- V_{DDCORE} ：数字内核域电源。
- V_{DD} ：必须在 V_{DDCPU} 和 V_{DDCORE} 之前。

STM32MP13x 系列器件的各种电源引脚可以通过一些外部分立电源供电，或者使用 STPMIC1x 进行供电。面向该目的的 STPMIC1x 详细用法请参见应用笔记 *STM32MP13 系列硬件开发入门* (AN5474) 的参考设计部分。

STPMIC1x 有多个产品编号。适合 STM32MP13x 器件的产品编号如下所示：

- 当需要独立的 V_{DDCPU} 和 V_{DDCORE} 电源时（超载 OPP）
 - STPMIC1DPQR 面向使用 $V_{DD} = 3.3\text{ V}$ 的应用
 - STPMIC1EPQR 面向使用 $V_{DD} = 1.8\text{ V}$ 的应用
- 当需要相同的 V_{DDCPU} 和 V_{DDCORE} 电源（无超载 OPP）时，适用的 STPMIC1x 产品编号与 STM32MP15x 系列器件相同。
 - STPMIC1APQR 面向使用 $V_{DD} = 3.3\text{ V}$ 的应用
 - STPMIC1BPQR 面向使用 $V_{DD} = 1.8\text{ V}$ 的应用

本文档的其余部分使用通用产品编号“STPMIC1x”。关于特定的产品编号，请参照上面的段落。

3.1.2 工作模式描述

操作模式允许针对不同的系统部分控制时钟分布。它还允许控制系统的电源。

电源管理根据系统工作模式控制 V_{DDCORE} 供应。

下表给出了系统和 MPU 子系统可用的工作模式。

表 3. 工作模式

-	电源模式	MPU 状态	说明	注释
系统	运行	CRUN/CSleep	V _{DD} 、V _{DDCORE} 、V _{DDCPU} 上电, 时钟开启	-
	停机	CStop	V _{DD} 、V _{DDCORE} 、V _{DDCPU} 上电, 时钟关闭	-
	LP-Stop	CStop	V _{DD} 、V _{DDCORE} 、V _{DDCPU} 上电, 时钟关闭	(1)(2)
	LPLV-Stop	CStop	V _{DD} 上电。V _{DDCORE} 和 V _{DDCPU} 降低了功率电平, 电源负载, 时钟关闭	(1)
	LPLV-Stop2	CStandby	V _{DD} 上电, V _{DDCORE} , 降低了功率电平, 以及电源负载, V _{DDCPU} 断电, 时钟关闭	-
	待机	CStandby	V _{DD} 上电。V _{DDCORE} , V _{DDCPU} (断电, 时钟关闭)	-
	VBAT	CStandby	电池为 V _{SW} 供电。V _{DD} 、V _{DDCORE} , 以及 V _{DDCPU} 关闭, 由 LSE 晶振提供的 RTC 时钟仍然可用。	(3)
	关断	CStandby	所有电源关闭	-
MPU	CRUN	-	V _{DDCORE} 、V _{DDCPU} (电源打开, 时钟打开)	-
	CSleep	-	V _{DDCORE} 、V _{DDCPU} (电源打开, CPU 时钟关闭, 外部时钟打开/关闭)	(4)
	CStop	-	V _{DDCORE} 、V _{DDCPU} 电源打开, CPU 子系统时钟关闭	-
	CStandby	-	V _{DDCORE} 上电或断电, V _{DDCPU} 断电, 时钟关闭	-

1. LPLV-Stop、LPLV-Stop 和 LPLV-Stop2 的输出控制引脚 PWR_ON、PWR_CPU_ON 和 PWR_LP 没有区别。虽然在进入目标低功耗模式之前, 可以使用 STPMIC1x 通过对其内部寄存器进行编程来激活 LP-Stop、LPLV-Stop 和 LPLV-Stop2, 但使用其他外部稳压器时可能无法使用所有模式。
2. 与停止模式的主要区别在于: 当使用 STPMIC1x 外部稳压器时, PWR_ON 输出信号切换到 0, 从而可以采取断开 DDR 端接电阻电源等措施。
3. 为了在 V_{DD} 关闭后保留 V_{SW} 域 (RTC、备份寄存器、备份 RAM 和 retention RAM) 的内容, 可以将 VBAT 引脚连接到由电池或其它电源供电的可选备用电压。
4. MPU 子系统分配的外设时钟根据 RCC PERxLPEN 运行。当 MPU 进入带 WFE (等待事件) 功能的 CSleep 时, MPU 子系统分配的外部时钟的运行方式与在 MPUCRUN 模式下的运行方式相同, 而不考虑 RCC PERxLPEN。

重要的是要注意 VDDCORE=OFF 且 VDDCPU=ON 是严格禁止的, 且不支持。

为了达到节能目标, 请选择合适的低功耗模式。要使用的低功耗模式取决于唤醒中断和预期的唤醒持续时间。

所选的低功耗模式与可用的唤醒源一致。例如, 待机模式的唤醒源能力非常有限。此外, 如果所需的唤醒源不在待机模式可能的唤醒源列表中, 则不能使用此模式。参见下表。

如果通过降低 VDDCORE 或 VDDCPU 来降低或关闭电源电压, 则唤醒持续时间会变长。当 DDR 存储器自刷新而引起 DDR 电阻端接电源关闭、或整个 DDR 关闭时, 唤醒持续时间也更长。关闭整个 DDR 需要从 Flash 存储器加载固件。系统的低功耗模式唤醒能力如下表所示。

表 4. 系统的低功耗模式唤醒能力

系统功耗模式	唤醒源
Stop/LP-Stop	DBG, PVD, AVD, USBH, OTG, CEC, ETH, USARTx, I ² Cx, SPIx, DTS, LPTIMx, GPIO
LPLV-Stop, LPLV-Stop2	PVD, AVD, USARTx, I ² Cx, SPIx, DTS, LPTIMx, GPIO
待机	六个 GPIO 唤醒引脚
所有模式	BOR、VBATH/VBATL、TEMPH/TEMPL、LSE CSS、RTC/自动唤醒、tamper 引脚、IWDGx

运行模式

在运行模式下时, MPU 子系统可以拥有不同的 VDDCPU 值, 以启用不同的工作点 (OPP)。

默认情况下, PMIC1X BUCK1 VDDCPU 输出设为 1.2 V, 允许启动 ROM 执行, 然后软件必须根据需要的频率将 PMIC1X BUCK1 设置为所需的电源水平。

在运行模式下选择特定的 OPP 不会影响本文档其余部分关于低功耗模式控制特性的描述。

运行模式：超载 OPP

超载 OPP 需要 $1.32\text{ V} < V_{\text{DDCPU}} < 1.38\text{ V}$ 且单独为 V_{DDCPU} 和 V_{DDCORE} 各配一个调节器。

该工作点允许更高的 MPU 时钟频率，最高 1000 MHz。然而，任务概述会受影响：

- 超载 OPP 任务概述：
 - 1000 MHz：
 - 10 年使用寿命 @25%活动率（21915h）
 - $-40\text{ }^{\circ}\text{C} < T_j < 105\text{ }^{\circ}\text{C}$
 - $V_{\text{DDCPU_min}} = 1.32\text{ V}$
 - 800 MHz：
 - 10 年使用寿命 @100%活动率（87660h）
 - $-40\text{ }^{\circ}\text{C} < T_j < 105\text{ }^{\circ}\text{C}$
 - $V_{\text{DDCPU_min}} = 1.32\text{ V}$
- 非超载 OPP 任务概述：
 - 650 MHz：
 - 10 年使用寿命 @100%活动率（87660h）
 - $-40\text{ }^{\circ}\text{C} < T_j < 125\text{ }^{\circ}\text{C}$
 - $V_{\text{DDCPU_min}} = 1.21\text{ V}$

当需要超载模式时，必须先复位 PWR_CR1 寄存器中的 MPU_RAM_LOWSPEED 位，然后再将 MPU 频率增加到超载频率范围内。必须将 MPU 频率降低到标准频率范围后才能进行设置。

3.1.3 电源策略

可以使用不同的配置来达到预期的应用成本性能。可能的电源策略配置不限于下表。当使用分立电源调节器时，假设每个调节器仅有两个电压值可用。

1. 采用 STPMIC1x 的低成本应用
 - 在 STM32MP15x 上使用 STPMIC1A/B（通用 V_{DDCPU} 和 V_{DDCORE} 电源）
 - 高达 650 MHz CPU 频率。非过载 OPP（通用 V_{DDCPU} 和 V_{DDCORE} 电源）
 - 除 LPLV-Stop2 外，所有低功耗模式均具备可能性
2. 采用 STPMIC1x 的高速低功耗模式
 - 使用 STPMIC1D/E（单独的 V_{DDCPU} 和 V_{DDCORE} 电源）。
 - 高达 1000 MHz CPU 频率。过载 OPP（单独的 V_{DDCPU} 和 V_{DDCORE} 电源）。
 - 所有低功耗模式均具备可能性
3. 采用分立电源调节器的低成本应用
 - 使用优化的分立电源（通用 V_{DDCPU} 和 V_{DDCORE} 电源）
 - 高达 650 MHz CPU 频率。非过载 OPP（通用 V_{DDCPU} 和 V_{DDCORE} 电源）
 - 仅 Stop、LPLV-Stop、待机，以及 BAT 低功耗模式均具备可能性

V_{DDCORE} 电压	V_{DDCPU} 电压	模式
V1（LPLV-Stop, VALUE）		LPLV-Stop
V2（运行值）		运行模式，停止模式

4. 采用分立电源调节器的高速低功耗模式（运行模式下的两个 OPP，仅 LPLV-Stop2 模式）。
 - 面向 V_{DDCPU} 和 V_{DDCORE} 使用两个调节器
 - 高达 1000 MHz CPU 频率。过载 OPP（单独的 V_{DDCPU} 和 V_{DDCORE} 电源）
 - 仅 LPLV-Stop2、待机，以及 VBAT 低功耗模式都是可能的
 - 允许低功耗模式，但唤醒时间较长
 - DDR 在待机期间断开电源，提供比 LPLV-Stop2 更大的功率增益（因为内核需要从 Flash 存储器重新加载，所以唤醒时间更长）

V_{DDCORE} 电压	V_{DDCPU} 电压	模式
V1 (LPLV-Stop, VALUE)	0V	LPLV-Stop2
V2 (运行值)	V2 (运行值)	运行模式，停止模式
V2 (运行值)	V3 (运行过载值)	运行过载

5. 采用分立电源调节器的高速低功耗模式。在运行模式下，仅过载 OPP 是可能的，仅 LPLV-Stop 低功耗模式具备可能性。
 - 面向 V_{DDCPU} 和 V_{DDCORE} 使用两个调节器。
 - 高达 1000 MHz CPU 频率。过载 OPP。
 - 仅 LPLV-Stop 具备可能性。
 - DDR 在待机期间进行自刷新，提供比 LPLV-Stop 更高的功率增益；与 DDR 电源关闭相比，缩短了唤醒时间。

V_{DDCORE} 电压	V_{DDCPU} 电压	模式
V1 (LPLV-Stop, VALUE)	V1 (LPLV-Stop, VALUE)	LPLV-Stop
V2 (运行值)	V3 (运行过载值)	运行过载，停止

图 2. 采用 3.3 V I/O 和 DDR3L 的分立电源示例

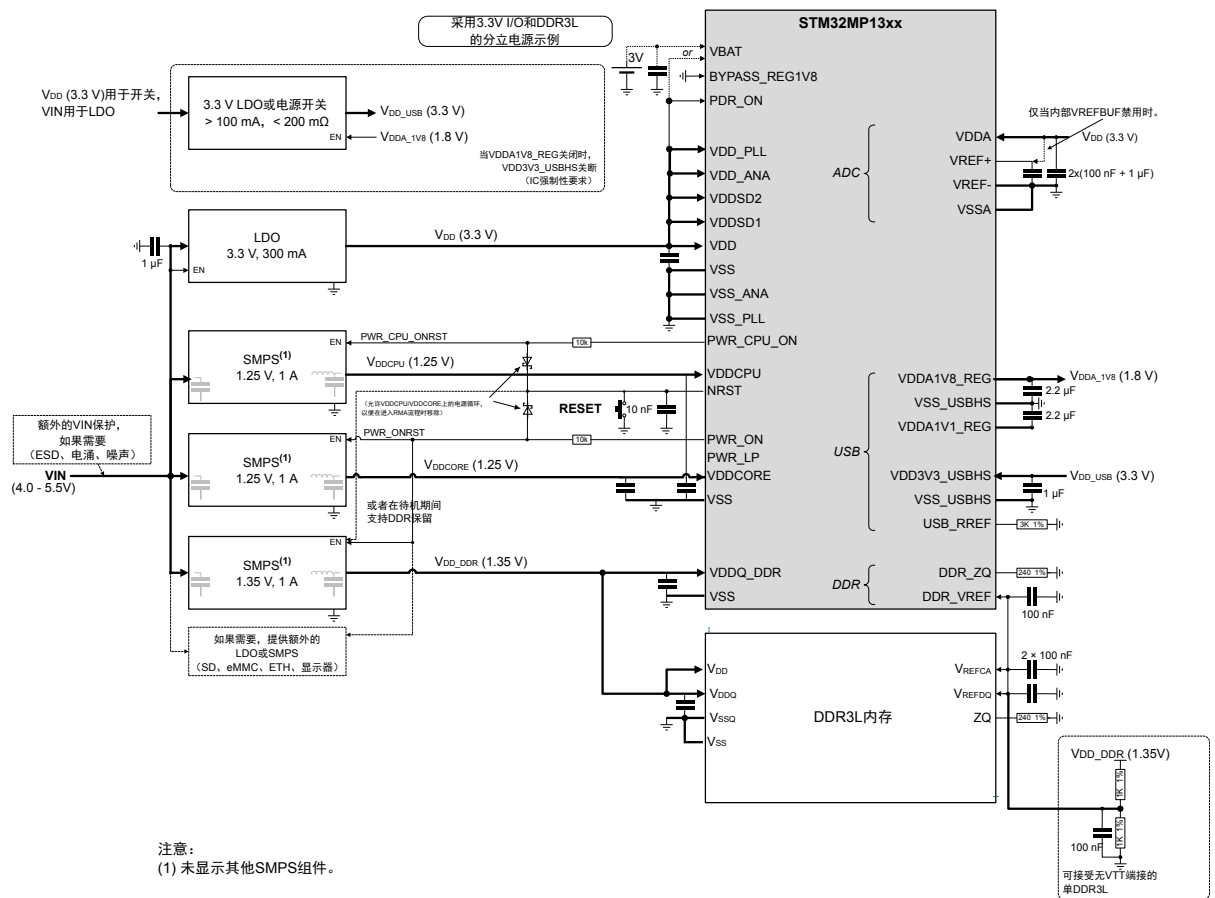
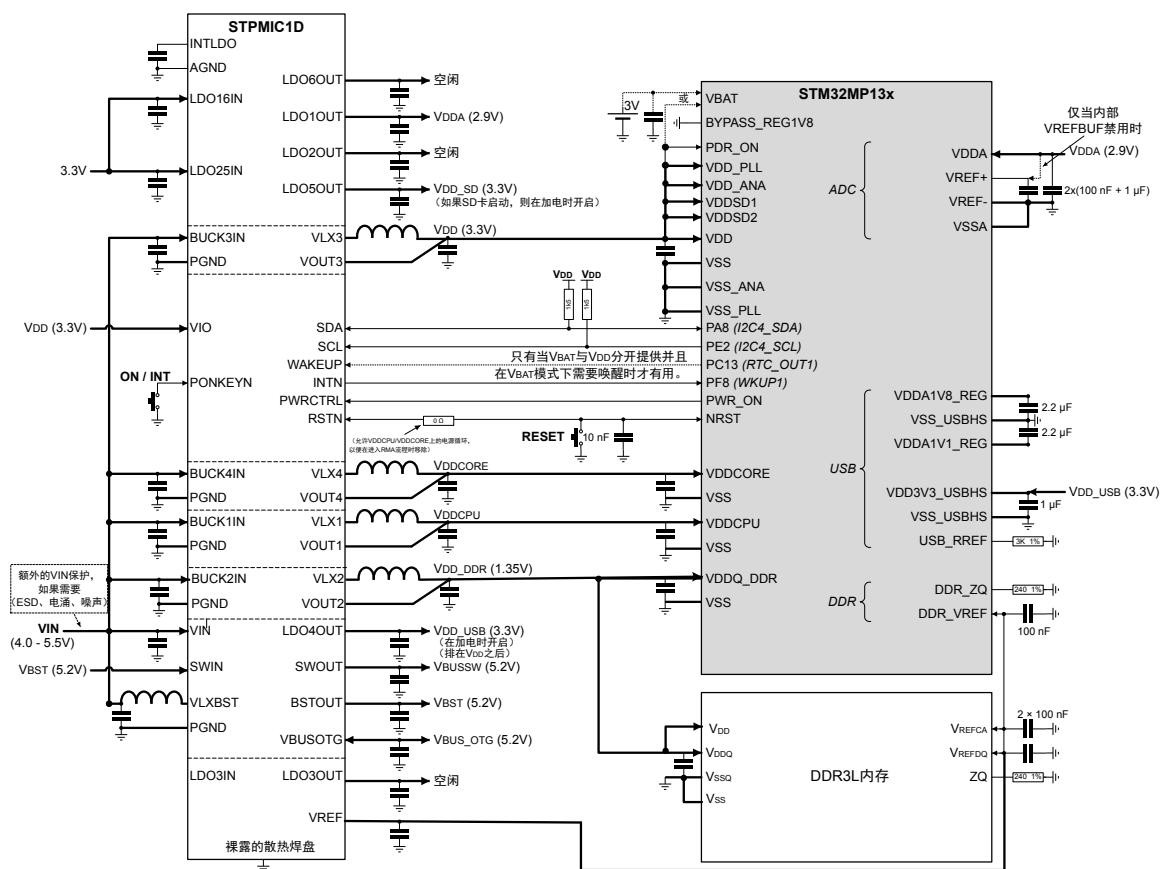


图 3. 采用 DDR3L 和 3.3 V I/O 的 STPMIC1 电源示例


STPMIC1x 提供配电功能。它由 I²C 和来自 STM32MP13x 器件的控制信号驱动。控制功能通过 Cortex[®]-A7 MPU 子系统内核完成。使用 STPMIC1x 供电相对于使用分立调节器供电的主要优点是拥有一种体积更小、价格更便宜的集成式解决方案。详细信息请参见应用笔记 *STM32MP13x MPU 系列产品和在壁式适配器电源上集成 STPMIC1D / STPMIC1A* (AN5587)。

在 STPMIC1x 上为 V_{DDCPU} 和 V_{DDCORE} 分别提供调节器，可能需要额外的外部降压转换器为电路板组件供电。

示例：在 STM32MP13x 探索板 (MB1635、STM32MP135F-DK) 上，外部 3V3 降压转换器用于为 USB 端口、以太网端口、Bluetooth/WiFi、扩展连接器、LCD，以及相机供电。

4 工作模式控制

本节介绍适合 STM32MP13x 系列器件的各种工作模式及激活方法。

4.1 低功耗模式控制

低功耗模式控制寄存器位如下所示。

- PWR MPU 控制寄存器 (PWR_MPUCR) 中的 PDDS 位
 - 0: 当 MPU 进入 CStop 模式时保持 Stop 模式, 当 MPU 进入 CStandby 模式时保持 LPLV-Stop2 模式
 - 1: 器件在 MPU 进入 CStandby 模式时进入待机模式
- 寄存器 PWR 控制寄存器 1 中的 STOP2 位 (PWR_CR1)
 - 0: 当 PDDS=0 且 MPU 进入 CStop 时将系统保持在 Stop 模式
 - 1: 当 PDDS = 0 时允许系统处于 LPLV-Stop2 模式
- RCC 停止请求设置寄存器中的 STPREQ_P0 位 (RCC_MP_SREQSETR)
 - 0: 写入“0”不起作用。读取 0 意味着 MPU 处理器不允许 MPU 域进入 CStop/CStandby 状态。然后, 如果 MPU 处于 WFI, 这保持 CSleep
 - 1: 写入 1 设置 STPREQ_P0 位。读取 1 意味着 MPU 处理器不允许 MPU 域进入 CStop 状态

下表总结了系统与 MPU 低功耗模式之间的关系。

表 5. 系统低功耗模式总结

系统	MPU	DDR ⁽¹⁾	系统振荡器 ⁽²⁾	hclk4	PWR_LP	PWR_ON		PWR_CPU_ON
						LPCFG = 0	LPCFG = 1	
运行	CRun 或 CSleep	主动 / 自动刷新	启动	启动	1		1	
⁽³⁾ Stop (LPDS = 0)	CStop (STPREQ_P0 = 1, STOP2 = 0, PDDS = 0)	自刷新	开/关 ⁽⁴⁾					
⁽³⁾ LP-Stop, LPLV-Stop (LPDS = 1)					1		1	
LPLV-Stop2 (LPDS = 1)	CStandby (STPREQ_P0 = 1, STOP2 = 1, PDDS = 0)	关闭/自刷新	关闭	0 ⁽⁵⁾				0 ⁽⁵⁾
待机 (LPDS = x)	CStandby (STPREQ_P0 = 1, STOP2 = x, PDDS = 1)				0 ⁽⁶⁾	0 ⁽⁶⁾	0 ⁽⁶⁾	

1. DDR 运行状态仅供参考。例如, 当 MPU 处于 CRUN 状态时, DDR 可以关闭。当从启动 ROM 执行时, 或者当系统处于任何操作模式时, 它可能处于自刷新状态。
2. 系统振荡器: 在 RCC 中将 HSI/HSE/CSI 振荡器配置为“打开”。
3. PDDS 位选择停止模式 (PDDS 位位于 PWR MPU 控制寄存器中 (PWR_MPUCR))。
4. 当使用系统振荡器 HSI、HSE 或 CSI 时, 状态由各自的 xxxKERON (HSIKERON、HSEKERON 或 CSIKERON 位) 控制。CC 振荡器时钟中的这些位使能一个设置寄存器 (RCC_OCENSETR), 而 RCC 振荡器时钟使能一个清除寄存器 (RCC_OCENCLRR), 否则系统振荡器关闭。
5. PWR 控制寄存器 3 (PWR_CR3) 中 POPL 位的设置对 LP-Stop 和 LPLV-Stop 模式的 PWR_ON 和 PWR_LPPWR_LP 脉冲低电平时间没有影响。
6. PWR 控制寄存器 3 (PWR_CR3) 中的 POPL 位可以定义保证的最短 PWR_ON、PWR_CPU_ON 和 PWR_LP 脉冲时间。

4.2 外部控制信号 PWR_ON、PWR_CPU_ON、PWR_LP 引脚

三个输出引脚 PWR_ON、PWR_CPU_ON，以及 PWR_LP 连接到 V_{DDCORE} 和 V_{DDCPU} 电源。它们被外部组件或调节器用于确认在 V_{DDCORE} 和 V_{DDCPU} 上应用的电压水平。

- PWR_ON: V_{DDCORE} 供电请求
 - 它是由硬件根据 SSTM32MP13x 器件的状态和 PWR 控制寄存器 1 (PWR_CR1) 中的 LPCFG (PWR_ON 引脚配置) 位的值自动生成。
- PWR_CPU_ON: V_{DDCPU} 供电请求
 - 它是由硬件根据 STM32MP13x 器件的状态自动生成。
- PWR_LP: V_{DDCORE} 低功耗模式控制 (低电平有效)
 - 它是由硬件根据 STM32MP13x 器件的状态和 PWR 控制寄存器 1 (PWR_CR1) 中的 LPDS (低电压深度睡眠 LPLV-Stop 模式选择) 位的值自动生成。

下表显示了 PWR_ON、PWR_CPU_ON 和 PWR_LP 的输出引脚值。这些值取决于不同的电源模式和 LPDS、LPCFG、LVDS 位配置。

- LPDS (低功耗深度睡眠停止模式选择) 是 PWR 控制寄存器 1 (PWR_CR1) 位 0:
 - 0: 选择了停止模式，外部调节器保持主电源模式 (pwr_lp = 1)。
 - 1: 选择了低功耗停止模式，外部调节器可能进入低功耗模式 (pwr_lp = 0)。进一步的低功耗模式选择由 LVDS 提供。
- LVDS (低功耗深度睡眠 LPLV 眠停止模式选择) 是 PWR 控制寄存器 1 (PWR_CR1) 位 2:
 - 0: LP 停止模式 V_{DDCORE} 和 V_{DDCPU} 域提供与运行模式相同的复位级别。V_{DDCORE} 和 V_{DDCPU} 域在 LP 停止模式下的供电水平必须与运行模式下相同。
 - 1: LPLV 停止模式 V_{DDCORE} 和 V_{DDCPU} 域提供的复位水平低于运行模式。它允许 V_{DDCORE} 和 V_{DDCPU} 域在 LPLV 停止模式下采用更低的供电水平。
- LPCFG (PWR_ON 引脚配置) 时 PWR 控制寄存器 1 (PWR_CR1) 位 1:
 - 0: PWR_ON 引脚信号待机模式 (PWR_ON =1 位于运行模式、停止模式、LP-Stop 模式、LPLV-Stop 模式、LPLV-Stop2 模式，以及 0 位于待机模式)
 - 1: PWR_ON 引脚信号待机、LP-Stop、LPLV-Stop，以及 LPLV-Stop2 模式 (PWR_ON =1 位于运行、停止模式，0 则位于 LP-Stop、LPLV-Stop、LPLV-Stop2，以及待机模式)

该表还显示了引脚 PWR_ON 和 PWR_LP 的使用差异，具体取决于 STM32MP13x 器件是与 STPMIC1x 一起使用还是与其他外部电源组件一起使用。电源模式在相应参考手册的 PWR 部分有详细说明。

表 6. PRW_ON 和 PWR_LP 电平取决于电源模式：LPDS、LVDS 和 LPCFG 位

STM32MP13x 状态	LPDS/LVDS 位	LPCFG 位	PWR_ON/ PWR_CPU_ON	PWR_LP	VDDCORE	VDDCPU
启动（直至 V _{DD} 达到 POR 门限电平）	X/X	X	0/0	0	关闭	关闭
运行模式	X/X	X	1/1	1	启动	启动
待机模式	0/X	X	1/1	1	启动	启动
LP-Stop 模式	1/0	0	1/1	0	启动	启动
		1 ⁽¹⁾	0/1 ⁽²⁾	0 ⁽²⁾		
LPLV-Stop 模式	1/1	0 ⁽³⁾	1/1	0	开启 ⁽⁴⁾	开启 ⁽⁵⁾
		1 ⁽¹⁾	0/1 ⁽²⁾	0 ⁽²⁾		
LPLV-Stop2 模式	1/1	0 ⁽³⁾	1/0	0	启动 ⁽⁴⁾	关闭
		1 ⁽¹⁾	0/0 ⁽²⁾	0 ⁽²⁾		
待机模式	0/0	X	0/0 ⁽²⁾	0 ⁽²⁾	关闭	关闭
VBAT 模式（V _{DD} 断电）	X/X	X	高阻态/高阻态	高阻态	关闭	关闭

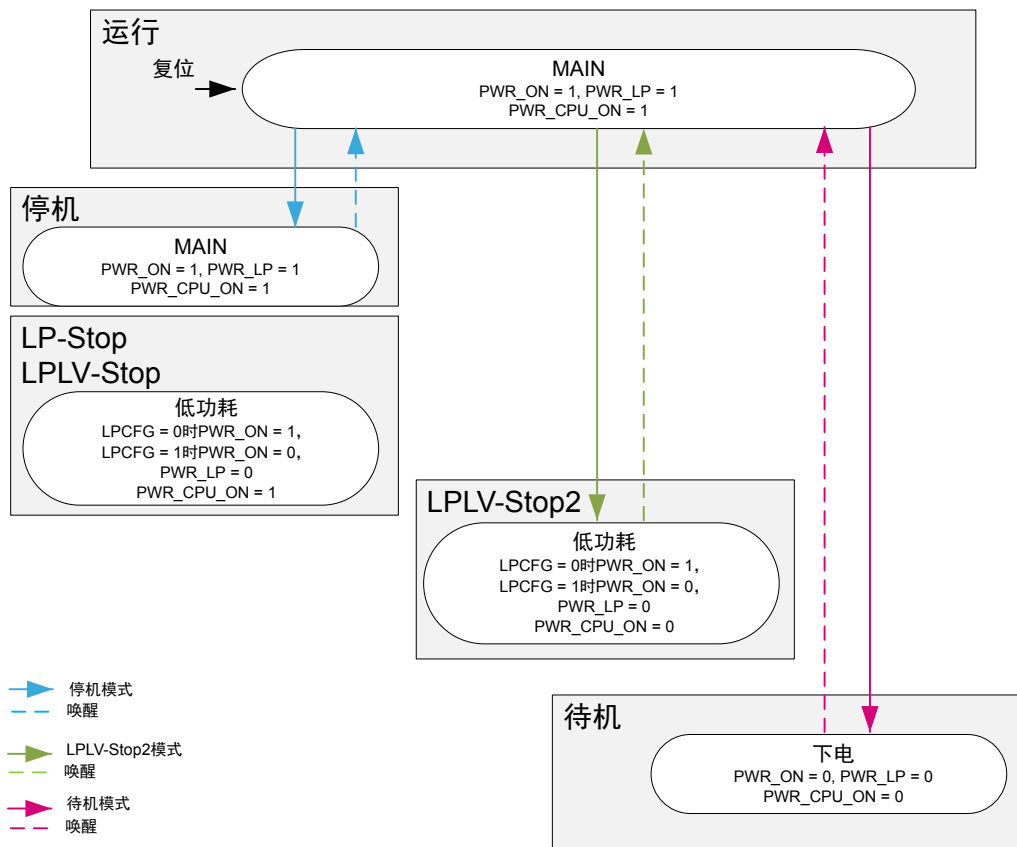
1. 当 STPMIC1x PWRCTRL 引脚连接到 PWR_ON 时使用的配置。
2. PWR_ON 的 LP-Stop、LPLV-Stop、LPLV-Stop2 和待机模式没有区别，当 LPCFG 位=1 时，PWR_LP 输出值为'00'。
3. 根据所使用的外部功率调节器，此配置可能不可用（无法降低电源电平）。
4. VDDCORE 可降低供电电平和供电负荷。
5. VDDCPU 可降低供电电平和供电负荷。

提示

表 6 中的高亮单元表明 PWR_ON 的 LP-Stop、LPLV-Stop、LPLV-Stop2 和待机模式没有区别，当 LPCFG 位=1 时，PWR_LP 输出值为'00'。

下图说明了 STM32MP13x 产品系列器件的调节器控制的 PWR_ON、PWR_CPU_ON 和 PWR_LP 输出引脚与系统状态之间的关系。

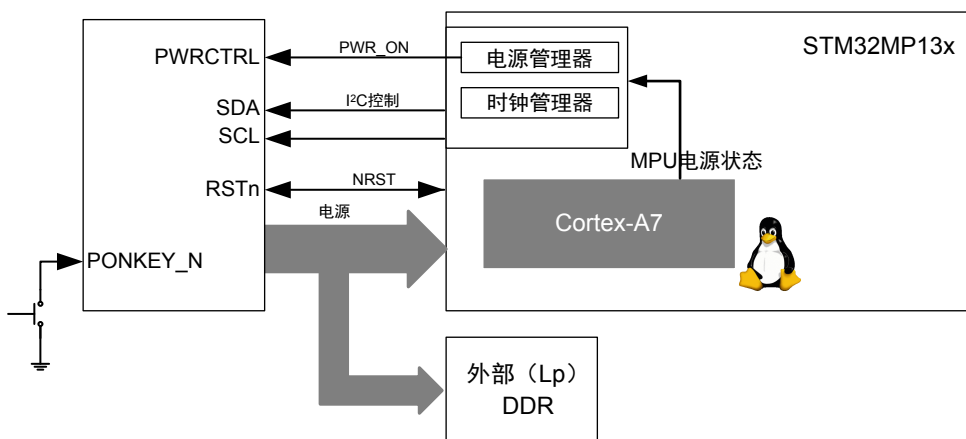
图 4. 电源状态和外部调节器控制



4.2.1 使用 STPMIC1x 功率调节器

下图显示了使用 STPMIC1x 功率调节器时在系统级别上的主要区别。

图 5. STM32MP13x 产品系列高级系统架构使用 STPMIC1x



当使用 STPMIC1x 电源调节器时，只需要 STM32MP13x 器件的 PWR_ON 输出控制引脚即可控制 STPMIC1x 电源模式。该过程通过 PWRCTRL 引脚完成。在这种情况下，用户必须将 PWR_CR1 寄存器的 LPCFG 位设置为“1”。

在表 6 中高亮显示 PWR_ON 的 LP-Stop、LPLV-Stop、LPLV-Stop2 和待机模式没有区别。当 LPCFG 位=1 时，PWR_LP 输出值为‘00’。

STPMIC1x 区分 LP-Stop、LPLV-Stop、LPLV-Stop2 和待机低功耗模式，并通过 STPMIC1x 内部寄存器应用正确的 VDDCORE 和 VDDCPU 值。这些寄存器编程是通过 I²C 接口完成的，而不是通过 PWR_ON 和 PWR_LP 引脚值。

使用 STM32MPU OpenSTLinux Distributions 时，此编程由安全监控程序（TF-A 或 OPTEE）处理。在进入 LP-Stop、LPLV-Stop、LPLV-Stop2 或待机模式之前，应用程序应该将 STPMIC1x 内部寄存器配置为所需的系统供电水平。这些分别是 VDDCORE、VDDCPU、VDD_DDR 等。进入 LP-Stop 模式后，尽管 VDDCORE 电平没有降低，仍有可能对 STPMIC1x 进行编程。此情况仅适用于 LPLV-Stop 模式。这将导致其他电源在不需要时被关闭。例如，DDR 端接电阻的电源便是如此。

STPMIC1x 包括两个 8 位寄存器，面向每个 BUCK（1，2，3，4）和 LDO（1，2，3，4，5，6）：

- BUCKx/LDOx 控制寄存器（HP 模式），存储运行模式期间的预期输出电压值。
- BUCKx/LDOx 控制寄存器（LP 模式），存储低功耗模式期间的预期输出电压值。

此类寄存器中均有如下结构：

7	6	5	4	3	2	1	0
输出值 <5:0>						hplp	ena

- Bits 7:2: 输出值：6 位上的输出值对应一个指定的电压值（参考 STPMIC1x 数据手册）。
- Bit 1: hplp: 强制高/低负载能力（允许在 STPMIC1x 输出上增加/减少负载）。
 - 0: 高负载能力
 - 1: 低负载能力

提示

hplp 位仅适用于 BUCKx 寄存器，不适用于 LDOx。

- Bit 0: ena: 使能位。
 - 0: 禁止 BUCK/LDO
 - 1: 使能 BUCK/LDO

下表分别显示了 STPMIC1x 在运行模式下的编程方式，以及 STPMIC1x 在进入 LP-Stop、LPLV-Stop、LPLV-Stop2 和待机模式前的编程方式。这两个表都列出了所有的电源（不仅与 VDDCORE 有关），且使用的设置与图 3 中的示例一致。

表 7. 运行模式下的 STPMIC1x（HP 模式）编程

电源名称	控制寄存器（HP 模式）/@	运行
VDDCORE	BUCK4/0x23	0x69（1.25 V）
VDDCPU	BUCK1/0x20	0x69（1.25 V）或 0x79（1.35V）超载
VDD_DDR	BUCK2/0x21	0x79（1.35 V）
VDD	BUCK3/0x22	0xD9（3.3 V）
VREF_DDR	VREFDDR/0x24	0x1
VDDA	LDO1/0x25	0x51（2.9 V）
VDD_USB	LDO4/0x28	0x1（3.3 V）
VDD_SD	LDO5/0x29	0x51（2.9 V）

表 8. STPMIC1x (LP 模式) 编程: LP-Stop、LPLV-Stop, 以及待机模式

电源名称	控制寄存器 (LP 模式) /@	LP-Stop	LPLV-Stop	LPLV-Stop2	待机 DDR SR	待机, 无 DDR SR
V _{DDCORE}	BUCK4/0x33	0x69 (1.25 V)	0x33 (0.9 V)	0x33 (0.9 V)	0x30 (关闭)	
V _{DDCPU}	BUCK1/0x30	0x69 (1.25 V)	0x33 (0.9 V)	0x30 (关闭)		
V _{DD_DDR}	BUCK2/0x31	0x79 (1.35 V)				0x7A (关闭)
V _{DD}	BUCK3/0x32	0xD9 (3.3 V)				
V _{REF_DDR}	VREFDDR/0x34	0x1				0x0 (关闭)
V _{DDA}	LDO1/0x35	0x51 (2.9 V)			0x50 (关闭)	
V _{DD_USB}	LDO4/0x38	0x1 (3.3 V)			0x0 (关闭)	
V _{DD_SD}	LDO5/0x39	0x51 (2.9 V)			0x50 (关闭)	

提示

将 **bit0** 设为'0'会禁用相应的 BUCK/LDO, 其值设为“关闭”。

例如: 当 **bit0**='1'时, V_{DDA} = 2.9 V (0x51); 当 **bit0**='0'时, 其值为“关闭”(0x50)。

应用笔记在壁式适配器电源中集成 STM32MP13x MPU 系列和 STPMIC1D/STPMIC1A (AN5587) 详细介绍如何使用 STPMIC1x。

当用户将 STPMIC1x PONKEY_N 引脚设置为 0 时, STM32MP13x 产品系列的 NRST 引脚可以被 STPMIC1x RST_N 引脚激活。因此, 这将复位 both STPMIC1x 和 STM32MP13x 器件。

4.2.2
使用其他外部电源

当使用外部电源而不是 STPMIC1x 时, 可以使用 PWR_ON、PWR_CPU_ON, 以及 PWR_LP 输出控制引脚。如果低功耗模式低于停止模式, 这就允许控制外部电源: 工具应用需求选择 LP-Stop、LPLV-Stop、LPLV-Stop2, 以及待机模式。

当 STM32MP13x 器件进入 LP-Stop、LPLV-Stop, 或 LPLV-Stop2 模式, 必须将 PWR_ON 设为 1。处于待机状态时, PWR_ON 必须设为 0。要激活这种用法, 用户必须将 LPCFG 位设为'0'。

当 STM32MP13x 器件进入 LP-Stop 或 LPLV-Stop 模式, PWR_CPU_ON 必须设为 1。当处于 LPLV-Stop2 或待机模式时, PWR_CPU_ON 必须设为 0。

4.3
低功耗模式进入顺序

STM32MP13x 器件在子系统级别 (MPU) 和系统级别有专用的电源模式。本节详细介绍如何在子系统级别和系统级别进入此类电源模式。

MPU 子系统

MPU 子系统的低功耗模式 (CSleep、CStop 和 CStandby) 由 MPU 在执行 WFI (等待中断) 或 WFE (等待事件) 指令时进入。为了让 MPU 进入子系统的低功耗模式, RCC 和 PWR 寄存器必须已经被正确编程。请参见第 5.1 节)。使用 STM32MPU OpenSTLinux Distributions 时, 这些机制由第一级自举程序处理 (参照电源管理 Linux)。

系统

当所有 EXTI 唤醒源被清除后, 系统可以进入 Stop、LP-Stop、LPLV-Stop、LPLV-Stop2, 或待机模式。MPU 被设为 CStop 或 CStandby 模式。

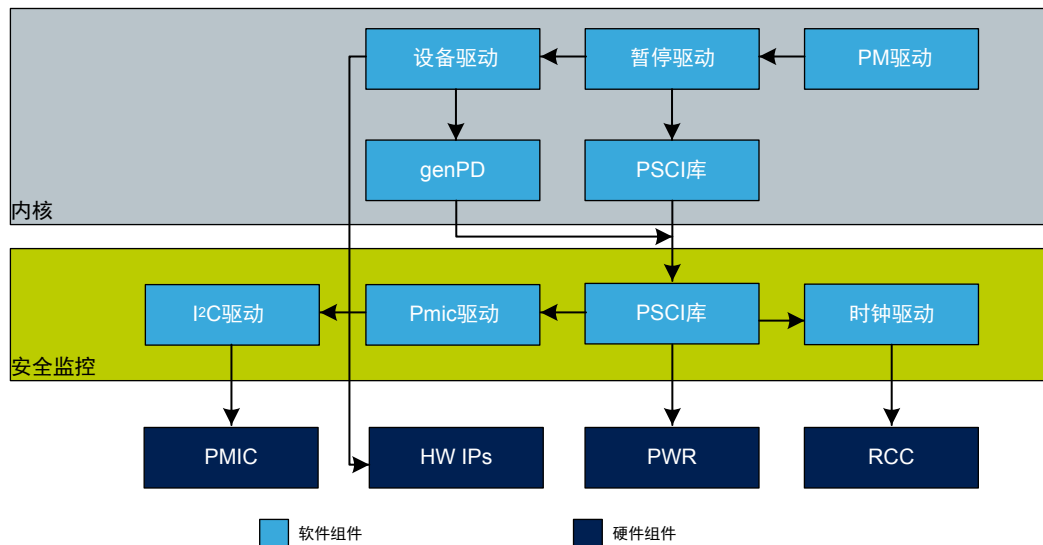
提示

进入 LPLV-Stop 或 LPLV-Stop2 后, 如果 VDDQ_DDR 没有关断, 为避免过度消耗 VDDQ_DDR, DDR 内存必须置于“SelfRefresh”。此外, DDR PHY 必须设为保留模式。这是通过设置 DDRRETEN 位来完成的: 启用 PWR 控制寄存器 3 (PWR_CR3) 的 DDR 保留模式。

4.4 电源管理 Linux®

Linux 电源管理是通过下图所示的软件框架完成的。

图 6. Linux 电源管理软件框架



Linux 暂停框架进入低功耗模式。它依赖于：

- genPD（通用电源域）框架。允许定义电源域并允许在那些电源域上映射 IP
- PSCI，执行低水平电源管理过程

其他信息可以在 [电源概述](http://wiki.st.com/stm32mpu/wiki/Power_overview) 维基文章中找到，链接 http://wiki.st.com/stm32mpu/wiki/Power_overview。安全监控调节器框架用于为每个电源模式配置外部功率调节器电压。它依赖于一个 ST STPMIC1x（PMIC）驱动和一个 I2C 驱动。

Linux 电源命令映射到 STM32MP13x 器件电源模式

使用 Linux 操作系统时，需预定义电源模式命令。本节将解释如何将其映射到 STM32MP13x 系列硬件低功耗模式。

在 Linux 操作系统中，用户可以通过以下直接输入命令让系统进入低功耗模式：

进入待机模式，且 DDR 关闭：

```
'shutdown -h 0'
```

或者达到各种停止模式变体和待机模式中的任意一种低功耗模式，且 DDR 处于自刷新状态：

```
echo 'mem' > /sys/power/state
```

STM32MP13x 器件不支持 'disk'、'freeze' 和 'standby' 命令。

进入低功耗模式后，Cortex®-A7 处于 WFI 状态。

所有低功耗模式下可用的唤醒源列表并不相同。因此通过 genPD 框架实现了一种软件机制，以确保低功耗模式和已激活的唤醒源一致。

Important: 策略是允许 MPU 根据当前已激活的唤醒源进入可用的最深低功耗模式。

例 1：用户使用 `ethtool -s eth1 wol g` 命令将 ETH1 激活为唤醒源。

然后，调用 `echo mem > /sys/power/state`，使 MPU 进入 CStop 模式，允许停止或 LP-Stop 模式。

示例 2：用户选择 RTC 作为唤醒源。无论低功耗模式状态如何，RTC 始终可以用作唤醒源。然后，调用 `echo mem > /sys/power/state`，使 MPU 进入 CStop 模式，允许系统待机模式。

这种机制可避免阻塞的发生，如避免将 ETH 作为唤醒源激活并请求系统待机。

表 9 列出了可能的最深电源模式（根据唤醒源组）。其中还列出了 Linux 的标准低功耗模式和 STM32MP13x 器件系统低功耗模式之间的等效性，包括外部(Lp) DDR 电源状态（开、关、自刷新(SR)），因其在 STM32MPU OpenSTLinux Distributions BSP 提供的环境中实现。

表 9. 每个唤醒源组的最深电源模式以及 Linux 和 STM32MP13x 器件系统电源模式之间的等效性

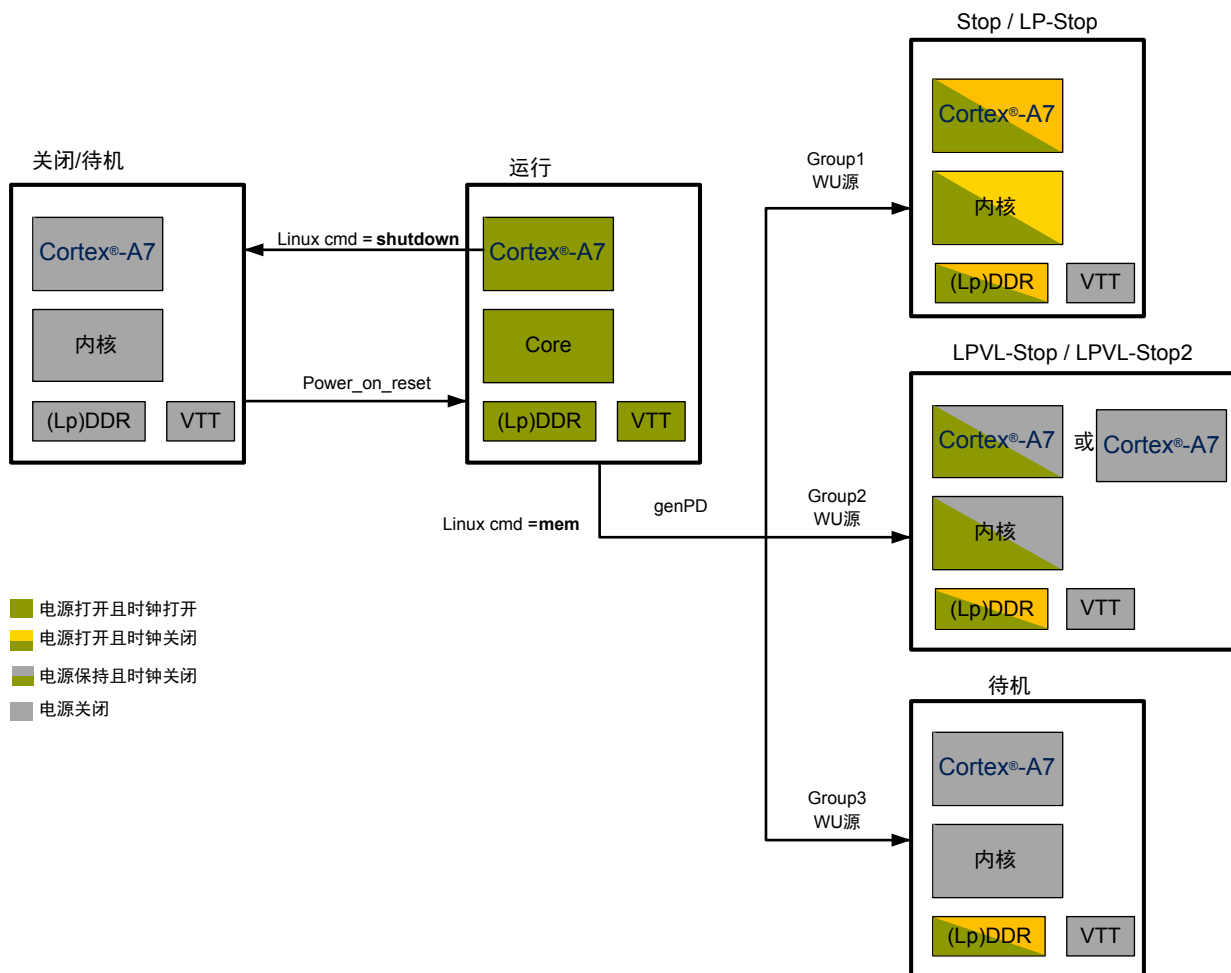
唤醒源	Linux 命令	STM32MP13x 器件系统最深电源模式	系统 DDR	Linux 内核状态	功耗	唤醒时间	评论/应用指南
组 1: USB, CEC, ETH	"mem"	Stop 或 LP-Stop	SR (VTT 关闭)	"休眠至内存"	中	中	LP-Stop: 驱动外部 PWR_LP/ PWR_ON 允许为外部调节器设计定制策略。典型应用是关闭 DDR3 端接电源(VTT) (在 16 位 DDR 设计中很可能不需要)
组 2: PVD, AVD, DTS, USART, I ² C, SPI, LPTIM, GPIO	"mem"	LPLV-Stop 或 LPLV-Stop2	SR (VTT 关闭)	"Suspend-to-ram"	低	中	LPLV-Stop(2): 功率保存特性确保能够节电。适用于带有侵入性功率限制且容忍唤醒源限制的应用 (参照表 4. 系统的低功耗模式唤醒能力)
组 3: BOR、Vbat mon、Temp mon、LSE CSS、RTC、TAMP、唤醒引脚	"mem"	待机	SR	"Suspend-to-ram"	低	中	待机节省更多的电能，以唤醒时间为代价
	"关断"	Off/VBAT	关闭	关断	极低	高	-

图 7 显示系统中可用的电源状态转换。图中考虑了上表中使用的每个唤醒源组的相同定义。组 3 唤醒源对于组 1 和组 2 唤醒源也有用。组 2 也兼容组 1。

如果在不同的组中激活了多个唤醒源，则选择低功耗模式。必须以上表中所述的层次结构为基础。

选择 Stop 或 LP-Stop，以及 LPLV-Stop 或 LPLV-Stop2 是通过安全监控设备树中的设置完成的。请参见 wiki.st.com/stm32mpu/wiki/Power_overview。

图 7. 可用的电源状态转换



4.5 低功耗模式退出顺序

关于如何退出低功耗模式的详细信息，请参见相关产品的参考手册章节：*电源系统启动序列*、*系统停止模式到 PWR 中的系统 VBAT 模式*。

STM32MP13x 器件退出低功耗模式后，外部调节器的所有输出电压必须设为合适的水平。此外，外部调节器的所有输出电压在应用运行模式之前必须保持稳定。

4.5.1 退出系统电源复位

期望的情形是：在 STM32MP13x 器件进入运行模式并从 Flash 存储器读取数据以进行启动之前，外部 Flash 存储器电源准备就绪。

- 使用 STPMIC1x 时，这是自动处理的。实际上，在所有供电达到预期值之前，STPMIC1x 不会释放 STM32MP13x 器件 NRST 引脚。
- 当使用分立调节器组件时，设计必须确保正确处理这些约束。

4.5.2 退出停止模式

退出停止模式后，低压没有改变。即使没有与电压有关的问题，也要注意：当 PLL1 和 PLL2 设置因为硬件自动时钟恢复特性而被恢复时，其他 PLL 应根据需要重新配置。这同样适用于其他停止模式：LP-Stop、LPLV-Stop、LPLV-Stop2。

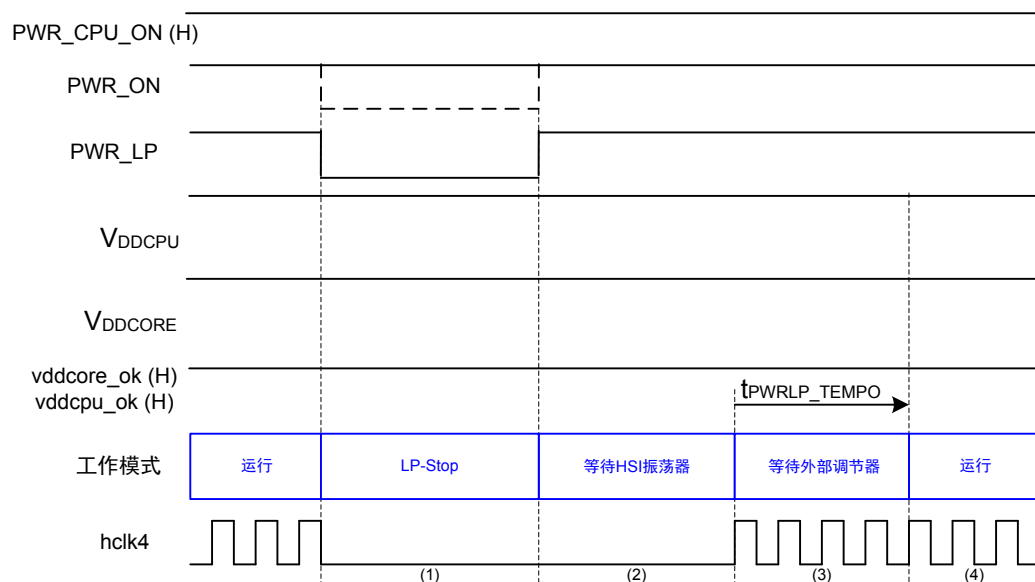
4.5.3 退出 LP-Stop 模式

退出 LP-Stop 模式后，V_{DDCORE} 不会改变。然而，系统级别的其他电压可能已经关闭或降低，可能需要设置回各自的运行模式值。

例如，DDR3/DDR3L (x32 位总线宽度) 端接电阻电源 V_{TT} 可以在 LP-Stop 模式下关闭。STM32MP13x 器件等待一个可编程延迟 (t_{PWRLP_TEMPO}) (由 RCC PWR_LP 延迟控制寄存器 (RCC_PWRLPDLYCR) 确定)，允许外部调节器运行模式值恢复。

- 当使用 STPMIC1x 时，STM32MP13x 器件的 PWR_ON 引脚会通知退出 LP-Stop 模式。该引脚会切换回 1，从而请求改变 STPMIC1x 输出电源的供电水平。STPMIC1x 确保 t_{PWRLP_TEMPO} 可以设置为 1000 us 左右 (典型条件) 的最小值。
 - STM32MP1 最大输出电压上升时间由下面的公式给出：
对于 BUCK 输出：Max {100 us; V₂-V₁/3.6 10⁻³ us} (典型值)
其中的 V₂: 最小运行模式电压 V₁: 低功耗模式下的电压。
 - 对于 LDO 输出：升压时间由 LDO 输出上的电流限制和总电容量定义。如果 LDO3 上的总输出电容为 10 μF，典型的升压时间为 20 μs。
 - 如果 V_{DD_USB} 电压为 3.3 V (来自 BUCK 输出)，最大升压时间应为 3.3/3.6 10⁻³ = 917 us (典型)。
 - 在最坏情况下，精确值必须从 STPMIC1x 数据手册计算。然而，如果唤醒时间不重要，建议使用合理的余量 (例如 5 ms)。
- 当使用分立外部调节器组件时，硬件必须将所需的电源设置为各自的运行模式值 (在 t_{PWRLP_TEMPO} 延迟范围内)。

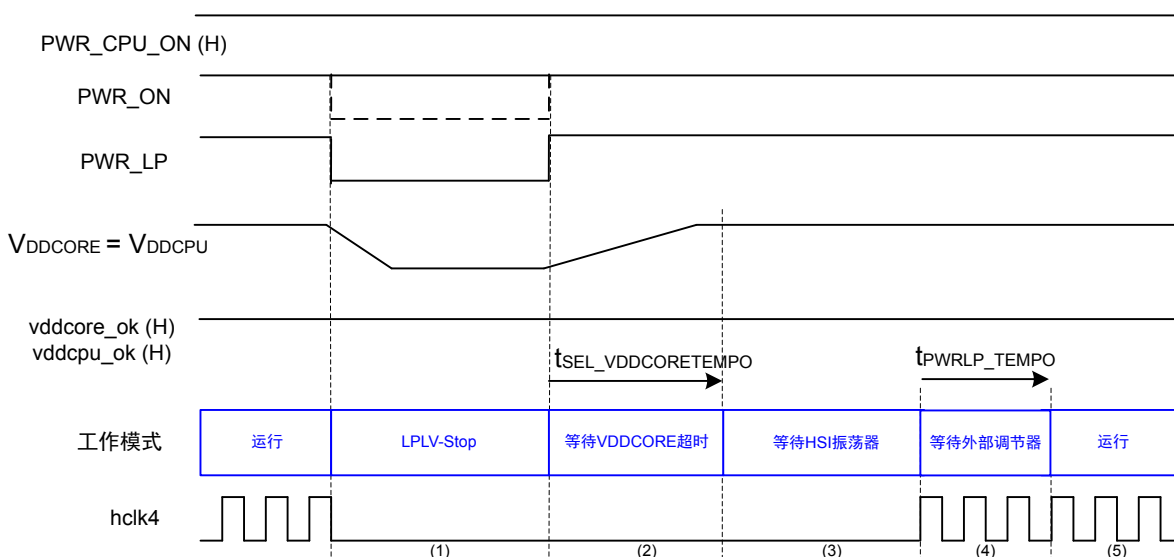
图 8. 从 LP-Stop 模式唤醒序列



4.5.4 退出 LPLV-Stop 模式

- 当使用 STPMIC1x 时，STM32MP13x 器件的 PWR_ON 引脚会通知退出 LP-Stop 模式。该引脚会切换回 1，从而请求改变 STPMIC1x 输出电源的供电水平。STPMIC1x 确保 V_{DDCORE} 输出电源在 t_{SEL_VDDCORETEMPO} 延迟时间内达到其最小运行模式值。
 - 如果在 LPLV-Stop 期间，V_{DDCORE} 电源（由 BUCK 输出供电）降低到 0.9 V，然后 V1= 0.9 V 且 V2= 1.2 V，则最大升压时间为 $0.3 / 3.6 \cdot 10^{-3} = 83 \mu\text{s}$ （典型值）。最坏情况下的值必须从 STPMIC1x 数据手册计算，而且必须小于 t_{SEL_VDDCORETEMPO}（234 μs ）。
 - 同样的公式也适用于其他需要升压时间（在最坏情况下）小于 t_{PWRLP_TEMPO} 的电源。
 - 如果唤醒时间不重要，则建议使用合理的余量（例如 5 ms）。
- 当使用分立外部调节器组件时，硬件必须将 V_{DDCORE} 电源设置为各自的最小运行模式值（在 t_{SEL_VDDCORETEMPO} 延迟时间内）。它必须将所需的其他电源设置为各自的运行模式值（在 t_{PWRLP_TEMPO} 延迟时间内）。

图 9. 从 LPLV-Stop 模式唤醒序列



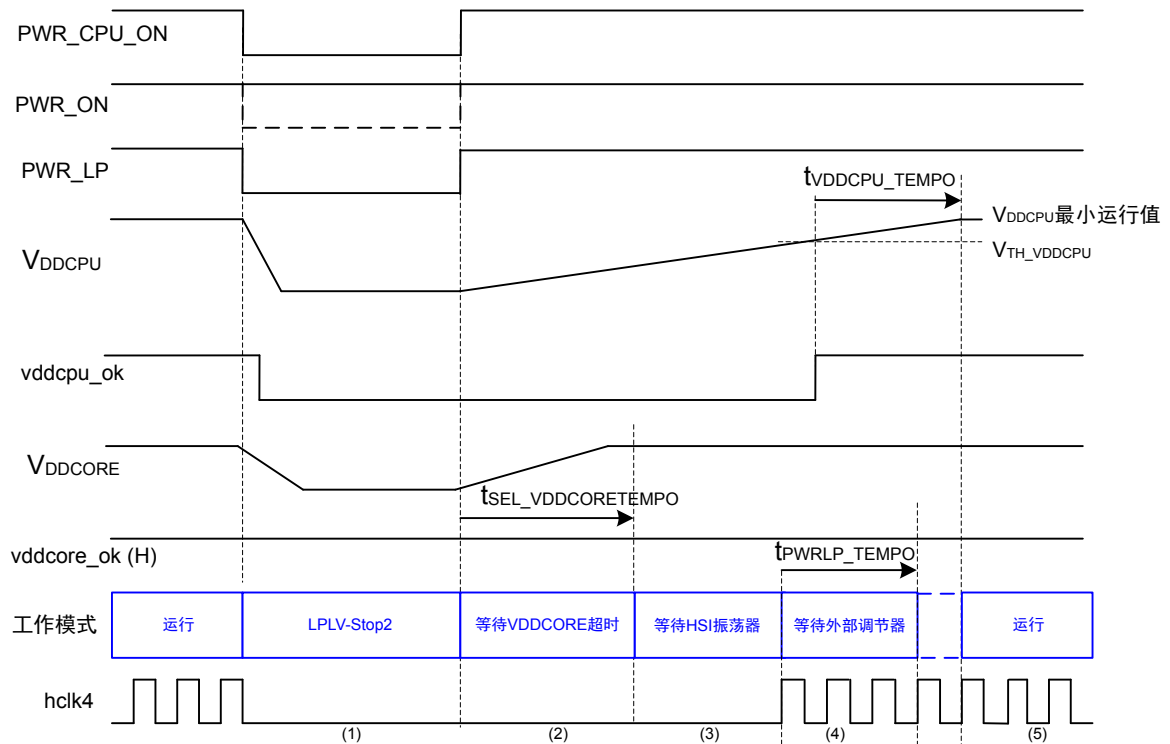
4.5.5 退出 LPLV-Stop2 模式

退出 LPLV-Stop 的条件也适用于 LPLV-Stop2 模式。因此，增加了关闭的 V_{DDCPU} 后，需要将其设置回其最小运行模式值。

- 使用 STPMIC1x 时，V_{DDCPU} 提高到 V_{DDCORE}，而 PWR_ON 引脚切换回 1。
- 使用外部分立调节器组件时，PWR_CPU_ON 引脚切换回 1。当 t_{PWRLP_TEMPO} 和 t_{VDDCPU_TEMPO} 时间过去之后，运行模式启动。为了应对 LPLV-Stop2 模式持续时间非常短这种情况，t_{PWRLP_TEMPO} 可能需要增加到 2 ms 左右，以允许外部调节器正确进行设置。

退出 LPLV-Stop2 模式之后，因为 V_{DDCORE} 仍然开启，SYSRAM 内容不会丢失。然后，TF-A 仍然存在，本地 MPU 复位会让程序执行重启。

图 10. 从 LPLV-Stop2 模式的唤醒序列

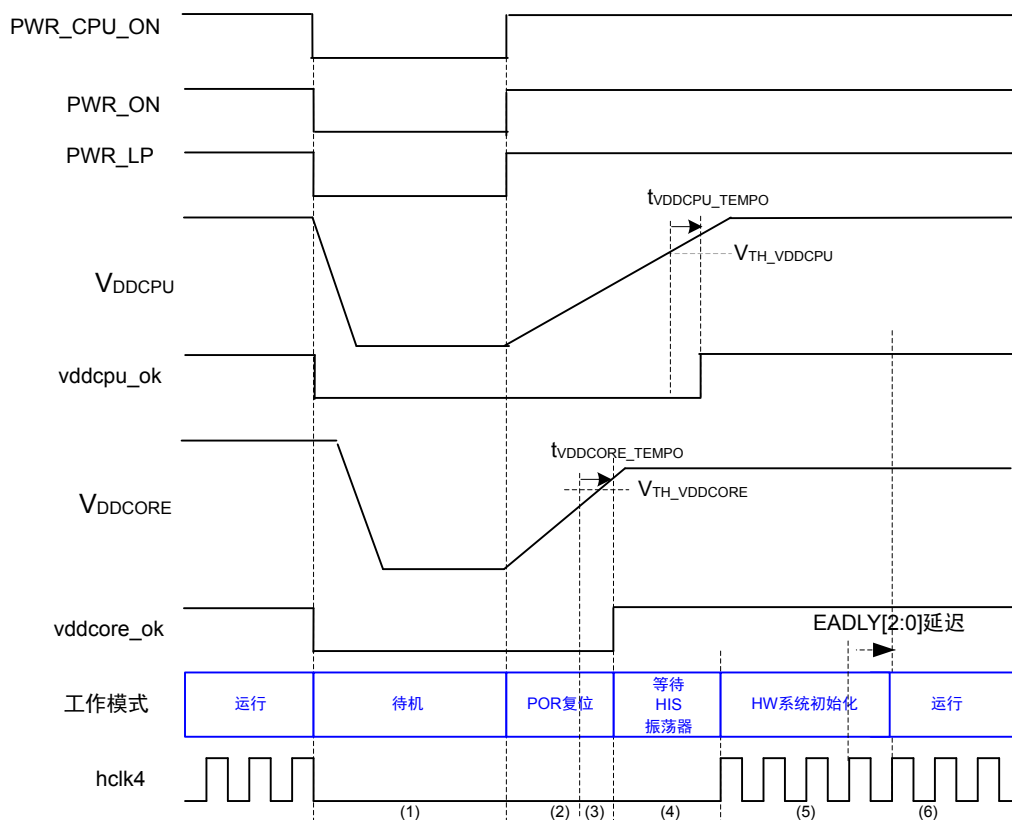


4.5.6 退出待机模式

退出待机模式时，需要打开在待机模式下已关闭 V_{DDCORE} 和 V_{DDCPU} 电压，并将其设置为运行模式值。

在待机期间， V_{DD} 电源处于活动状态。因此，从待机状态唤醒时，引脚 PWR_ON 和 PWR_CPU_ON 被设置回 1。 PWR 控制器中的数字逻辑部分由 V_{DD} 供电，因此可以驱动 PWR_ON 和 PWR_CPU_ON 引脚。

- 当使用 $STPMIC1x$ 时， $STM32MP13x$ 器件的 PWR_ON 引脚会通知退出待机模式。该引脚会切换回 1，从而请求改变 $STPMIC1x$ 输出电源的供电水平。 $STPMIC1x$ 期间确保 V_{DDCORE} 和 V_{DDCPU} 输出电压在 $t_{VDDCORETEMPO}$ 延迟时间内达到其最小运行模式值。它确保 $EADLY[2:0]$ 延迟可以设为退出 $LP-Stop$ 模式中提供的相同公式定义的最小值。建议为 $EADLY[2:0]$ 使用合理的余量 5-10 ms。可编程 $EADLY[2:0]$ 延迟用于确保在启动 ROM 开始访问它们之前，所有可启动的外部接口都已正确提供。
- 当使用分立外部调节器组件时，硬件必须将 V_{DDCORE} 电源设置为其最小运行模式值(在 $t_{VDDCORETEMPO}$ 延迟时间内)。在进入运行模式之前，还必须将 V_{DDCPU} 电源设为其最小运行模式值。运行模式位于 $t_{VDDCORETEMPO} + HSI$ 振荡器启动 + $EADLY[2:0]$ 延迟范围内。此外，它必须将所需的其他电源设置为各自的运行模式值（在编程设置的 $EADLY[2:0]$ 延迟时间内）。

图 11. 从待机模式唤醒序列


4.5.7 从 VBAT 模式退出

当 STM32MP13x 器件处于 VBAT 模式时，只有 V_{SW} 供电是由外部 VBAT 电源维持的。

可用的唤醒源（TAMP、RTC）可激活 PC13 引脚，将唤醒请求通知外部调节器。然后，外部调节器重新启动供电次序，就像一次系统电源复位。

4.5.8 从 MPU CStop 和 CStandby 模式退出

MPU CStop 和 CStandby 有不同的退出模式（参见表 5）。

- 当从 MPU CStandby 模式退出而系统处于 LPLV-Stop2 模式时，程序执行通过本地 MPU 复位操作重新启动。启动 ROM 不会从 LPLV-Stop2 模式加载任何事物：它会调用备份寄存器中存储的地址（BSEC_SCRATCH）。
- 如果当系统处于待机状态时从 MPU CStandby 退出，程序执行会重新启动，类似于上电复位：加载选项字节，或获取复位向量。
- 如果当系统处于停止、LP-Stop 或 LPLV-Stop 模式时从 MPU CStop 退出，程序执行通过以下方法重新启动：
 - 中断处理程序，前提是使用 WFI 指令或 ISR 的返回进入低功耗模式。
 - 或者在 WFE（等待事件）之后从指令重新启动（如果使用 WFE 指令进入低功耗模式）。

5 STM32MP13x 系列外设配置面向低功耗模式

STM32MP13x 系列器件实现许多外设。这些外设的配置在降低功耗方面起着重要的作用。本节介绍如何配置相关外设，以达到高效节能的目的。

5.1 外设分配

在运行时有两个可用的上下文：

- Cortex®-A7 安全
- Cortex®-A7 非安全

有些外设可以分配到安全或非安全上下文中，其他外设则始终属于安全或始终属于非安全。此外还有一些安全感知外设，可以动态管理来自安全和非安全上下文的请求。将外设分配给安全或非安全上下文由扩展 TrustZone®保护控制器（ETZPC）完成。

根据参考手册寄存器内容，每个外设复位时被指定为 Cortex®-A7 安全或非安全。否则，在使用 STM32MPU OpenSTLinux distribution 时，它始终处于启动过程中，参见图 12）。软件稍后可以在运行时更新该默认配置。

当一个上下文希望使用分配给它的外设时，它必须确保已给该外设提供时钟。因此，在使用外设之前，MPU 必须先对其予以启用。此外，它还可以定义该外设是否在 CSleep 模式下保持活动状态。该时钟启用由 RCC 完成，被称为从外设到处理器的“分配”。

详细信息请参阅相应参考手册中的“外设分配”和“通用时钟概念概述”章节。

- 通过 RCC_MP_xxxxENSETR 寄存器上设置专用 PERxEN 位以启用外设。
- 通过 RCC_MP_xxxxENCLRR 寄存器上设置专用 PERxEN 位以禁用外设。
- 在 RCC_MP_xxxxLPENSETR 寄存器上设置专用 PERxLPEN 位，以便在 CSleep 期间激活外设。
- 在 RCC_MP_xxxxLPENCLRR 寄存器上设置专用 PERxLPEN 位，以便在 CSleep 期间禁用外设。

RCC 使用外设分配根据处理器模式自动控制时钟门控。

根据工作期间供电电压的不同，某些外设可能只提供有限的功能和性能。详细信息请参阅相应数据手册中“通用工作条件”一节。

下图给出了一个外设分配示例，需要考虑以下因素：

- MPU 启用了 ETH、SDMMC1，以及 SRAM3。
- SYSRAM、DDRC、DDRPHYC，以及 IWDG1 被隐式分配给 MPU。
- MPU、总线矩阵 1、总线矩阵 2 组成的组，以及通过 RCC_MC_xxxx 寄存器分配的外设构成 MPU 外设域（MPU_DOM）。

提示 PWR 和 RCC 隐式分配给 MPU。SRAM1、SRAM2，以及 SRAM3 也隐式分配给 MPU，因为如果处理器处于 CRun 状态，则 MLAHB 桥启用。

提示 BKPSRAM 具有专用的使能位，可对总线接口时钟进行门控。在使用使能位之前，需要启用 BKPSRAM。

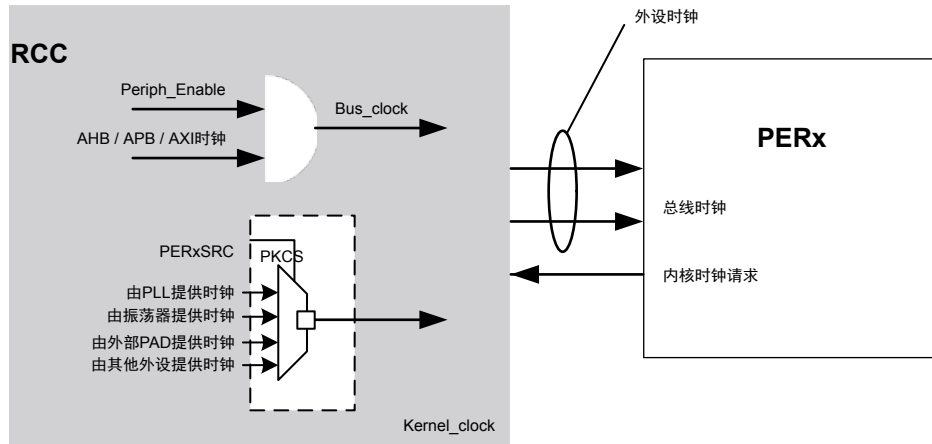
5.2 外设时钟分布

外设时钟是指 RCC 为外设提供的时钟。具体包括两类时钟：

- 总线接口时钟。
- 内核时钟。

下图描述了 STM32MP13x 系列器件上的外设时钟分布。

图 12. 外设时钟分布



内核时钟允许外设为外设功能使用不同的时钟频率（与外设总线时钟相比）。

Linux 时钟驱动提供一个可以选择内核时钟的“clk_set_parent”服务。

有关内核时钟分布和外设时钟门控的详细信息，请参阅参考手册中的“外围时钟门控”一节。

5.3

Stop、LP-Stop、LPLV-Stop、LPLV-Stop2 外设分配

使用 LSI 或 LSE 时钟的外设仍然能够在 Stop 和 LP-Stop 模式下运行。拥有一个内核时钟请求的外设仍然能够运行，方法是从能够在停止模式下运行的 RCC 中选择时钟源。

为了让 I²C 或 USART 在 CStop 或系统 Stop（LP-Stop 模式）下工作，用户必须选择一个振荡器作为内核时钟：hse_ker_ck、hsi_ker_ck 或 csi_ker_ck，取决于 RCC PERxEN。所选振荡器在外设生成内核时钟请求时提供给外设。

如果 xxxKERON = 1，则振荡器在 Stop 和 LP-Stop 模式下保持活动状态。允许在收到从 Stop 和 LP-Stop 模式中唤醒的请求或外设内核时钟请求时立即提供时钟。

在 LPLV-Stop 和 LPLV-Stop2 模式下，预期外部电源会降低其 V_{DDCORE} 电压水平。因此，只有少数外设仍在运行（BOR、PVD、AVD、VBATH-L 监测、TEMPH-L 监测、LSI、LSE、LSE CSS、RTC、IWDG）。此外，DTS、USART、I²C、SPI、LPTIM，以及 GPIO 等外设可以唤醒系统。

6 调试技巧

本节描述如何在低功耗模式下使用调试特性。

6.1 在低功耗模式下启用调试：低功耗模式仿真

进入低功耗模式后，可关闭处理器时钟、子系统时钟、或核心电源。此操作阻止调试访问相关的无时钟域。STM32MP13x 系列器件支持低功耗模式仿真，在低功耗模式下保持调试能力。这是由 DBGMCU 配置寄存器（DBGMCU_CR）中的 DBGLP 位控制的。

提示

为了与传统 STM32 MCU 产品保持一致，保留了 DBGMCU 名称。

全面信息可以在相应 STM32MP13x 系列参考手册的以下部分中找到：

- 低功耗仿真模式在 RCC 章节中
- 微控制器调试单元（DBGMCU）在“调试支持”章节中

提示

使用低功耗仿真模式对节电有重大影响（各种时钟和电源保持开启状态）。这种模式应仅用于调试目的。当使用低功耗模式仿真时，功耗测量无关紧要。

6.2 使用 HDP 调试低功耗模式

硬件调试端口（HDP）允许观察内部信号，这些信号可用于调试低功耗模式的进入和退出。这些信号可以输出到 STM32MP13x 器件的一些引脚上，很容易（通过一个示波器或逻辑分析仪）监测。参见相应 STM32MP13x 系列参考手册中的硬件调试端口一节，获取有关信号及其混合配置的完整列表。

为了降低功耗，应该在最终应用中禁用 HDP 和相关的 GPIO。

下表描述了用于电源模式调试的最重要信号。

表 10. 监测 CSleep 模式

信号	说明
CA7 STANDBYWFI0 (HDP7, HDP_MUX=0) CA7 STANDBYWFE0 (HDP7, HDP_MUX=1)	CA7 STANDBYWFI0（面向 WFI）或 CA7 STANDBYWFE0（面向 WFE）信号可用于监测 CA7 CSleep 模式。 这些信号表明一个核心是否处于 WFI 或 WFE 状态。

表 11. 监测 CStop 和停止模式的进入

信号	说明
RCC pwrds_mpu (HDP1, HDP_MUX=6)	RCC pwrds_mpu 信号可用于监测 CA7 CStop 模式。
RCC pwrds_sys (HDP3, HDP_MUX=6)	RCC pwrds_sys 信号可用于监测 STM32MP13x 器件停止模式。

表 12. 监测从停止模式退出

信号	说明
pwrwake_sys (HDP0, HDP_MUX=0)	Pwrwake_sys 信号可用于监测 EXTI 已经从外设接收到唤醒中断。
pwrwake_mpu (HDP2, HDP_MUX=0)	Pwrwake_mpu 信号可用于监测 CA7 子系统已收到请求返回 CRun 模式。

参照 https://wiki.st.com/stm32mpu/wiki/HDP_Linux_driver 获取 HDP 使用示例。

6.3 Linux 调试提示

查看时钟概要，使用：`cat /sys/debug/kernel/clk/clk_summary:`

- 该命令用频率和状态分层方式显示时钟树。

使用 `'devregs'` 命令监测电源状态标志：

- **PWR_MPUCR:** 包含 MPU 的停止标志
- **RCC_MP_RSTSR:** 包含复位原因，包括待机和 **Cstandby**

如果系统没有唤醒：

- 检查是否已启用至少一个唤醒源。以及，唤醒外设是否已由 **HSI** 或 **HSE** 时钟提供时钟。是否已设置唤醒引脚极性和上拉/下拉。

如果系统没有进入低功耗模式：

- 检查在调用该模式时，唤醒事件是否尚未挂起
- `cat/proc/interrupts` 可以提供此类事件的迹象
- 检查 **EXTI** 设置。

如果总体功耗过高：

- 检查时钟是否在不使用外设时被释放。可用运用 `clk_summary` 命令进行该检查。

版本历史

表 13. 文档版本历史

日期	版本	变更
2023 年 3 月 3 日	1	初始版本。

目录

1	概述.....	2
2	术语表.....	3
3	电源管理理念	5
3.1	STM32MP13x 系列产品系统架构	5
3.1.1	系统电源 (V_{DD} 、 V_{DDCPU} 和 V_{DDCORE})	6
3.1.2	工作模式描述	6
3.1.3	电源策略.....	8
4	工作模式控制	12
4.1	低功耗模式控制	12
4.2	外部控制信号 PWR_ON、PWR_CPU_ON、PWR_LP 引脚	13
4.2.1	使用 STPMIC1x 功率调节器.....	15
4.2.2	使用其他外部电源	17
4.3	低功耗模式进入顺序.....	17
4.4	电源管理 Linux®	18
4.5	低功耗模式退出顺序.....	20
4.5.1	退出系统电源复位	20
4.5.2	退出停止模式	21
4.5.3	退出 LP-Stop 模式	21
4.5.4	退出 LPLV-Stop 模式	22
4.5.5	退出 LPLV-Stop2 模式	22
4.5.6	退出待机模式	23
4.5.7	从 VBAT 模式退出	24
4.5.8	从 MPU CStop 和 CStandby 模式退出	24
5	STM32MP13x 系列外设配置面向低功耗模式	25
5.1	外设分配	25
5.2	外设时钟分布	25
5.3	Stop、LP-Stop、LPLV-Stop、LPLV-Stop2 外设分配	26
6	调试技巧.....	27
6.1	在低功耗模式下启用调试：低功耗模式仿真	27
6.2	使用 HDP 调试低功耗模式	27

6.3 Linux 调试提示.....	28
Revision history.....	29
目录	30
表一览	32
图一览	33

表一览

表 1.	STM32MP13x 系列产品配置	2
表 2.	术语表	3
表 3.	工作模式	7
表 4.	系统的低功耗模式唤醒能力	7
表 5.	系统低功耗模式总结	12
表 6.	PRW_ON 和 PWR_LP 电平取决于电源模式: LPDS、LVDS 和 LPCFG 位	14
表 7.	运行模式下的 STPMIC1x (HP 模式) 编程	16
表 8.	STPMIC1x (LP 模式) 编程: LP-Stop、LPLV-Stop, 以及待机模式	17
表 9.	每个唤醒源组的最深电源模式以及 Linux 和 STM32MP13x 器件系统电源模式之间的等效性	19
表 10.	监测 CSleep 模式	27
表 11.	监测 CStop 和停止模式的进入	27
表 12.	监测从停止模式退出	27
表 13.	文档版本历史	29

图一览

图 1.	STM32MP13x 系列产品高级系统架构	5
图 2.	采用 3.3 V I/O 和 DDR3L 的分立电源示例	10
图 3.	采用 DDR3L 和 3.3 V I/O 的 STPMIC1 电源示例	11
图 4.	电源状态和外部调节器控制	15
图 5.	STM32MP13x 产品系列高级系统架构使用 STPMIC1x	15
图 6.	Linux 电源管理软件框架	18
图 7.	可用的电源状态转换	20
图 8.	从 LP-Stop 模式唤醒序列	21
图 9.	从 LPLV-Stop 模式唤醒序列	22
图 10.	从 LPLV-Stop2 模式的唤醒序列	23
图 11.	从待机模式唤醒序列	24
图 12.	外设时钟分布	26

重要通知 - 仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对 ST 产品和/或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于意法半导体产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对意法半导体产品的选择和使用，意法半导体概不承担与应用协助或买方产品设计相关的任何责任。

意法半导体不对任何知识产权进行任何明示或默示的授权或许可。

转售的意法半导体产品如有不同于此处提供的信息的规定，将导致意法半导体针对该产品授予的任何保证失效。

ST 和 ST 徽标均为意法半导体的商标。关于意法半导体商标的其他信息，请访问 www.st.com/trademarks。其他所有产品或服务名称是其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2023 STMicroelectronics - 保留所有权利