

BlueNRG-LP、BlueNRG-LPS 设备的 PCB 设计指南

前言

BlueNRG 系列是符合蓝牙规范的超低功耗 Bluetooth® Low Energy (BLE) 器件。

BlueNRG-LP、BlueNRG-LPS 是一款采用 Cortex-M0+微控制器, 且符合蓝牙规范 v5.x 的超低功耗 Bluetooth low energy (BLE) 2.4 GHz 射频收发器。BlueNRG-LP、BlueNRG-LPS 适用于实现符合蓝牙低功耗 SIG 规范的应用。

蓝牙低功耗技术工作在与经典蓝牙技术相同的频谱范围 (2400 - 2483.5 MHz, ISM 频段), 但使用一组不同的信道。蓝牙低功耗技术拥有 40 个 2MHz 宽带的信道 (37 个数据信道+ 3 个广播信道)。定义了两种调制方案。使用经整形的二进制调频来有效降低收发器复杂性的强制调制方案 (1 Msym/s)。符号速率为 1 Msym/s。某项可选的调制方案 (2 Msym/s) 与此类似, 但使用 2 Msym/s 的符号速率。最大传输功率为 10 mW (10 dBm)。

更多详细信息见蓝牙核心规范 v5.1 或更高版本的第 6 卷 A 部分。

BlueNRG-LP 器件采用三种不同的封装:

1. QFN48
2. WLCSP49
3. QFN32

BlueNRG-LPS 采用以下封装:

1. QFN32

对于需要加速开发的用户, ST 提供了所有必要的源文件 (参考设计)。

本应用笔记旨在配合应用板的参考设计, 并提供有关意法半导体内部设计所采用的设计决策的详细信息。此外, 它详细说明了使用 BlueNRG-LP、BlueNRG-LPS 设备, 开发通用射频应用的设计指导。

RF 性能、关键最大峰值电压、杂散谐波发射、接收器匹配都在很大程度上依赖于 PCB 布局以及匹配网络元件的选择。

要达到理想性能, 意法半导体建议使用下文所述的 PCB 布局设计提示。此外, 意法半导体强烈建议使用参考设计中定义的 BOM, 它保证了良好的 PCB 设计以及优秀的 RF 性能。

若需更多信息, 请访问意法半导体网站 www.st.com。

1 参考原理图

已经开发了不同的应用板来展示 BlueNRG-LP、BlueNRG-LPS 设备功能。以下各图展示了不同应用板的原理图，并涉及了 BlueNRG-LP 和 BlueNRG-LPS 器件可用的不同封装。

1. QFN48
2. WLCSP49
3. QFN32

下面章节中描述的所有布局指导都适用于所有这些应用板。

图 1. BlueNRG-LP QFN48 应用板原理图

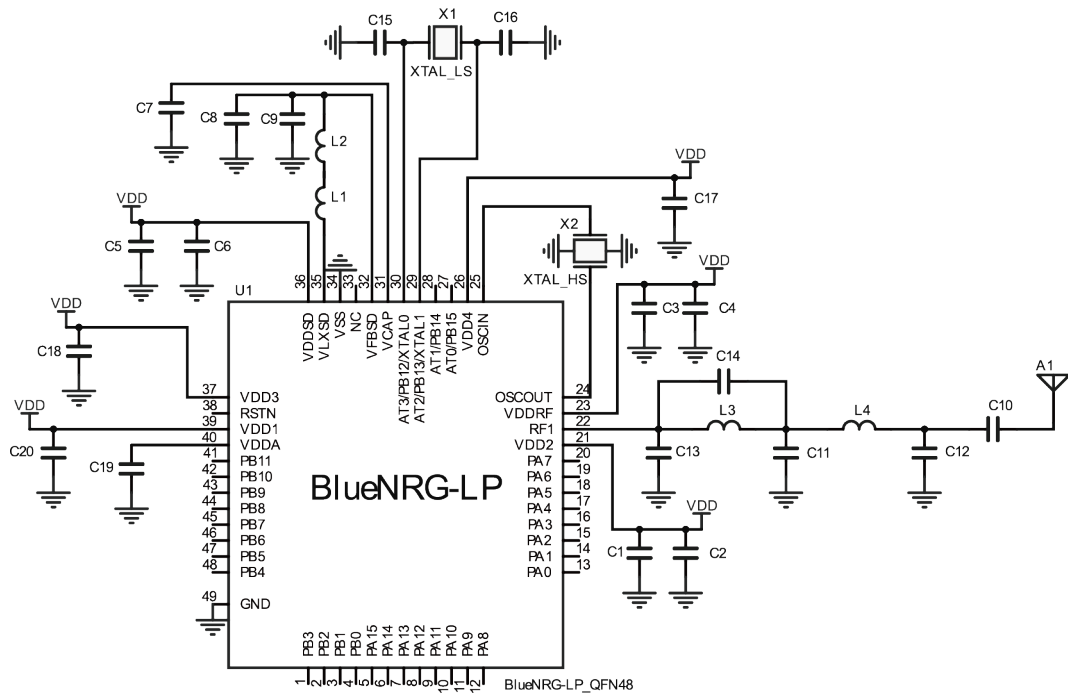


图 2. BlueNRG-LP WLCSP49 应用板原理图

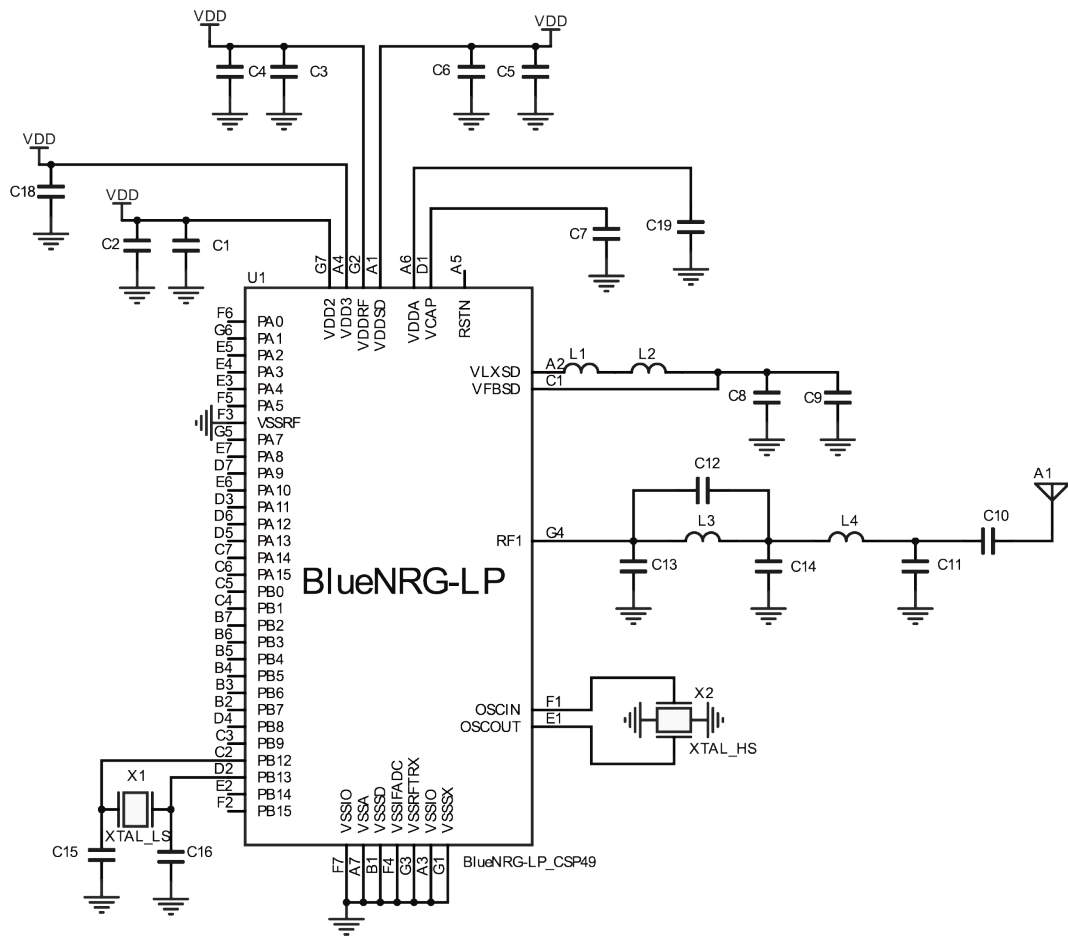


图 3. BlueNRG-LPS QFN32 应用板原理图

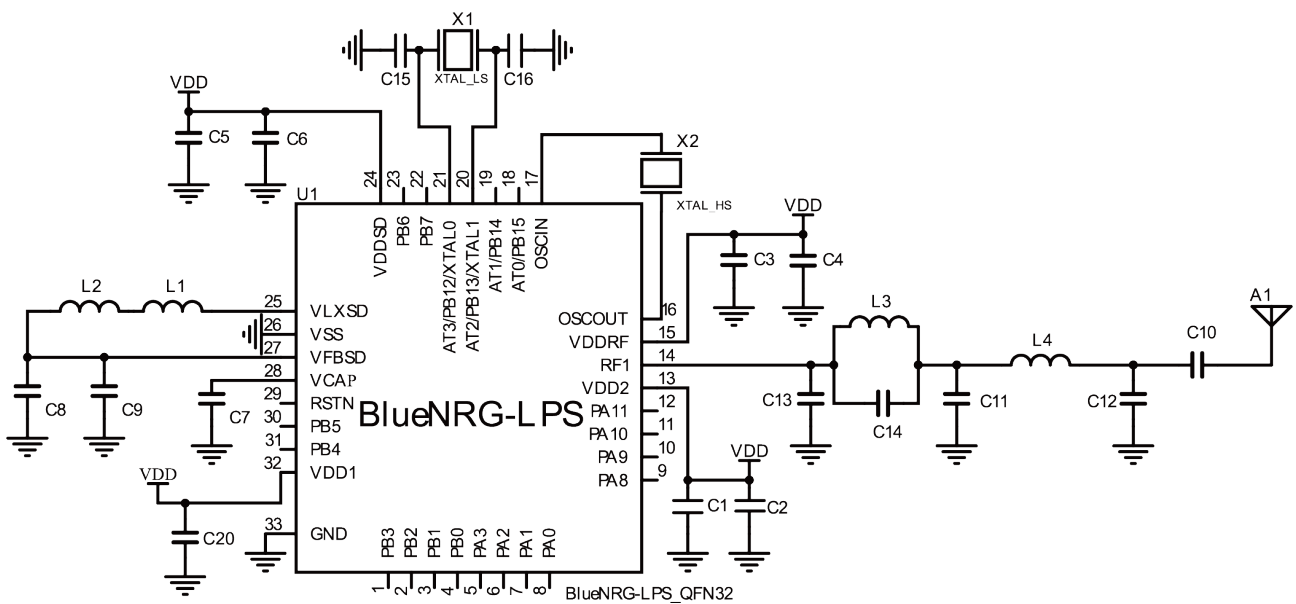


表 1. BlueNRG-LP 应用板外部元器件说明

组件	说明
C1	(去耦电容)
C2	(去耦电容)
C3	(去耦电容)
C4	(去耦电容)
C5	(去耦电容)
C6	(去耦电容)
C7	主 LDO 电容
C8	DC-DC 转换器输出电容
C9	DC-DC 转换器滤波电容
C10	隔直电容
C11	RF 匹配电容
C12	RF 匹配电容
C13	RF 匹配电容
C14	RF 匹配电容
C15	32 kHz 晶振负载电容
C16	32 kHz 晶振负载电容
C17	(去耦电容)
C18	(去耦电容)
C19	(去耦电容)
C20	(去耦电容)
L1	DC-DC 转换器噪声滤波电感
L2	DC-DC 转换器功率电感
L3	RF 匹配电感
L4	RF 匹配电感
X1	低速晶振
X2	高速晶振
U1	BlueNRG-LP/LPS

2 两层或多层应用板

设计应用板时可采用不同的方法：

1. 两层解决方案
2. 多层解决方案

2.1 两层解决方案

如果可以在两层板上布所有的走线且需要价格较低廉的解决方案，可以设计两层应用板。

图 4. 两层应用板层叠



建议板厚为 600 μm 或以下。两层板的设计厚度不应超过 800 μm 。

两层板必须如下分布：

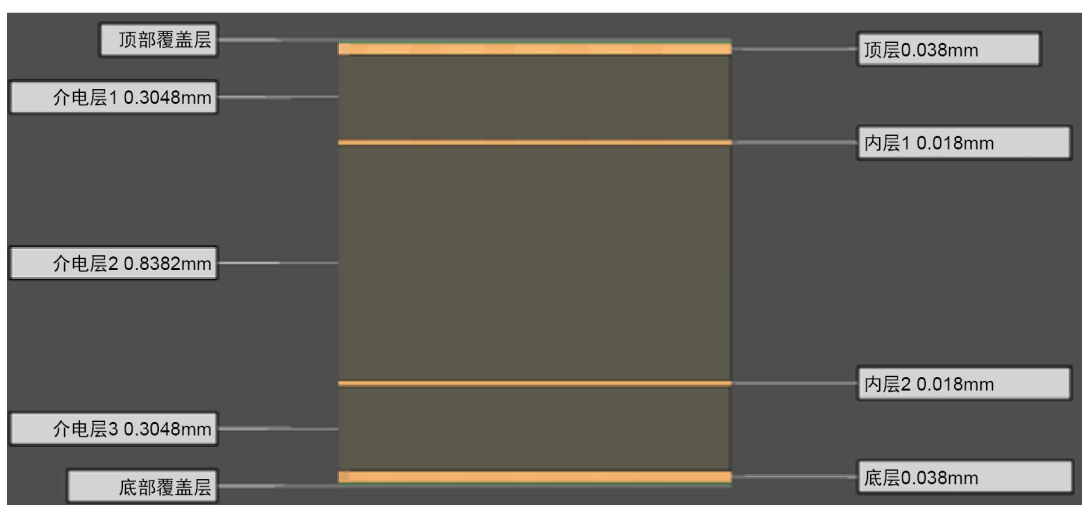
1. 顶层：用于 RF 信号和走线
2. 底层：用于在 RF 区域下方接地以及其他部位的走线。

两层解决方案适用于 QFN 封装。

2.2 多层解决方案

如果在两层板上无法布置所有走线和/或对便宜的解决方案没有要求，则可设计多层应用板。例如，WLCSP 封装即适用上述情况，建议使用四层或四层以上解决方案。见图 5. 四层应用板层叠。

图 5. 四层应用板层叠



这种分布通常适合较厚的板（1.6 mm）。尽管如此，具体还应视所选的技术而定，比如选择 WLCSP 封装时，需要较薄的板。

四层/多层板必须如下分布：

1. 顶层：主要用于 RF 信号和走线
2. 接地层：用于在 RF 区域下铺地
3. 中间层和底层：用于布局低频的走线

3 BlueNRG-LP/LPS 匹配网络

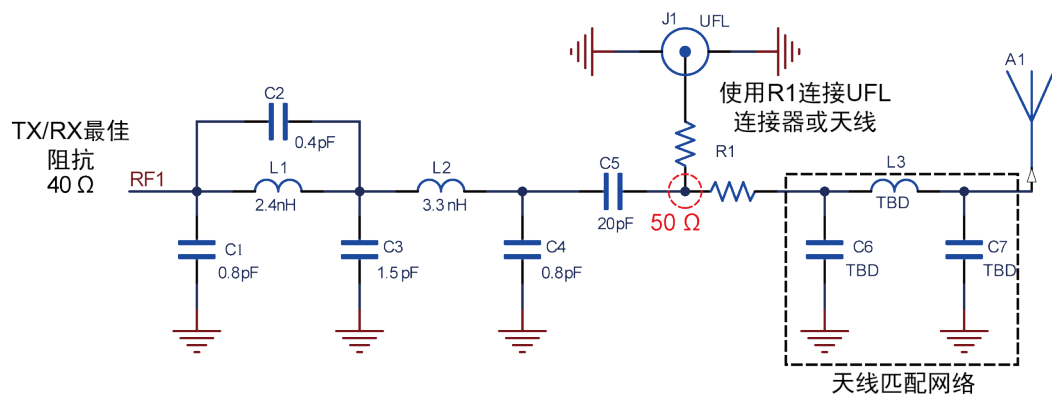
以下原理图展示了建议的匹配网络。此图提供了确保 Tx 和 Rx 性能的最佳阻抗，并在 Tx 功率高达 BlueNRG-LP、BlueNRG-LPS 器件可实现的最高水平时，确保谐波滤除。它由两个级联的 pi 网络组成，其中配有用于抑制二次谐波的陷波滤波器，其可以通过调整 C2 的容值来调谐。务必将电容 C5 放置到末端，用以切断任何直流电流。

BlueNRG-LP 和 BlueNRG-LPS 的最佳阻抗为 40 Ω ，此阻抗可以实现 Tx 和 Rx 性能平衡。匹配网络将此最佳阻抗转换为 50 Ω 。

可以采用具有覆层焊盘的两个电阻，作为天线或布置在板上的同轴连接器的选择器，从而避免可能导致网络失调的短截线。

通常可以预见用于天线匹配的 pi 网络，此网络可用以补偿周围材料等失调因素。

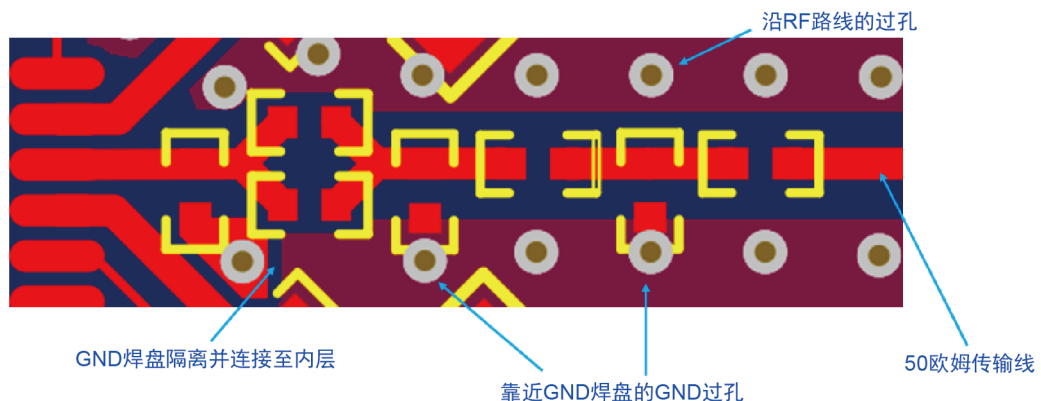
图 6. BlueNRG-LP/LPS 匹配网络原理图



参考匹配网络布局如下所示，另外还提供了一些布置建议。

- 使用共面波导结构
- 强烈建议第一个分流电容尽可能靠近 RF 引脚，并隔离 GND 焊盘与顶层接地。将其连接到内层，以改进谐波抑制
- 必要时，逐渐缩减从 RF 引脚到第一个分流电容的走线，尽可能减小走线宽度的不连续性。
- 将至少一个 GND 过孔置于各电容接地焊盘附近。沿 RF 路线布设过孔
- 使用 0201 或 0402 SMD 组件
- 确保匹配网络后面的传输线是 50 欧姆阻抗。

图 7. BlueNRG-LP/LPS 匹配网络布局

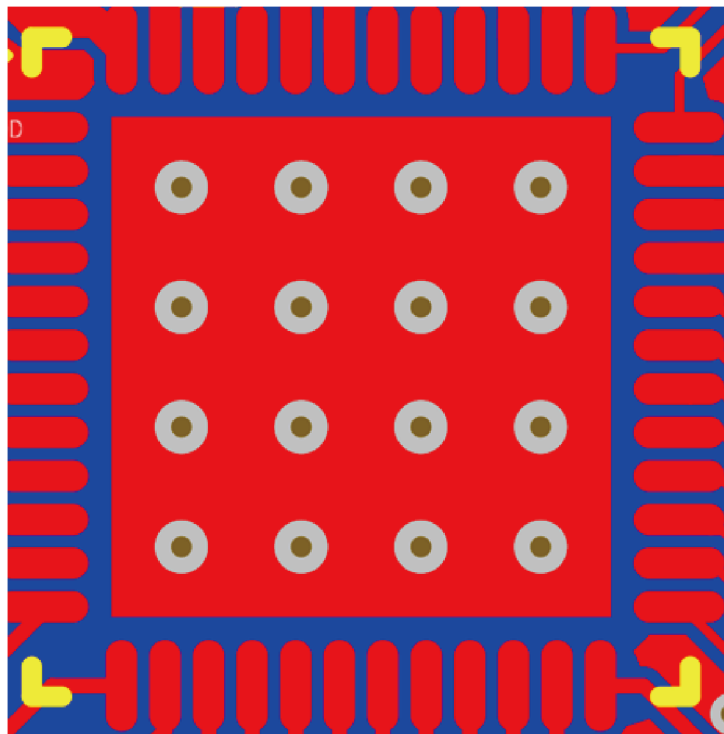


4 布局建议

以下提供了基于 BlueNRG-LP 和 BlueNRG-LPS 开发产品过程中应遵循的布局建议。

- 将电源去耦电容尽可能置于 VDD 引脚附近，以减少寄生效应。务必首先布置最小的电容。尽可能将多个过孔置于去耦电容的接地焊盘附近
- 务必确保 RF 部位和去耦电容下方的接地平面不间断，以保证最短的高频电流回路
- 使用 SMPS 时，必须注意外部组件布局，以尽可能减少噪声以及与 RF 线路的不必要耦合（有关布局建议，请参考第 5.2 节“SMPS 布局示例”）
- 通过布置尽可能多的拼接过孔，有效减小不同层的接地覆层之间的串联寄生电感
- 沿应用板的边缘布置一圈拼接过孔，以减少因边缘场导致的辐射
- 确保 QFN48 和 QFN32 的裸露焊盘与其他接地层建立理想连接。使用至少 4x4 矩阵的接地过孔（参考图 8.BlueNRG-LP QFN48 裸露焊盘）
- 高速外部晶体位置应尽可能靠近 OSCIN 和 OSCOUT 引脚，以大幅减小电线寄生电容和频移
- 避免任何走线置于高速晶体下方以及靠近 OSCIN 和 OSCOUT 引脚
- 无需高速晶体外部负载电容。利用由固定电容 + 6 个二进制加权，可切换电容组成的内部调谐网络进行调频。负载电容的有效范围可通过内部寄存器进行编程。可编程寄存器和电容器范围见 BlueNRG-LP、BlueNRG-LPS 数据手册
- 如可能，在内层走大部分走线。

图 8. BlueNRG-LP QFN48 裸露焊盘



5 BlueNRG-LP/LPS 布局示例

本节提供了带有外部组件的 BlueNRG-LP 和 BlueNRG-LPS 器件的不同封装布局。提议的布局涵盖两层板和四层板。

图 9. BlueNRG-LP QFN48 - 2 层

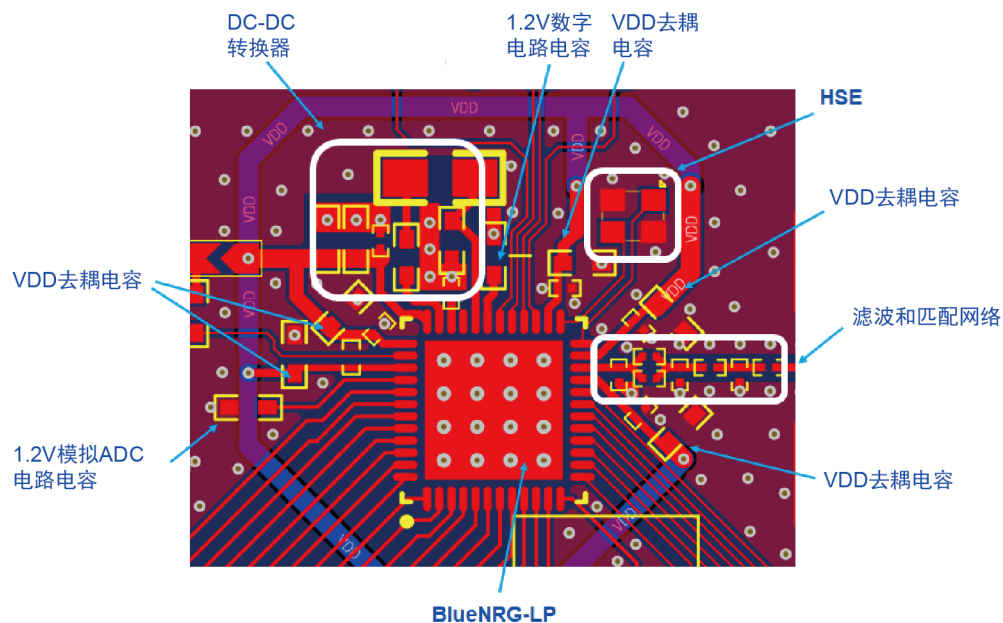


图 10. BlueNRG-LPS QFN32 - 4 层

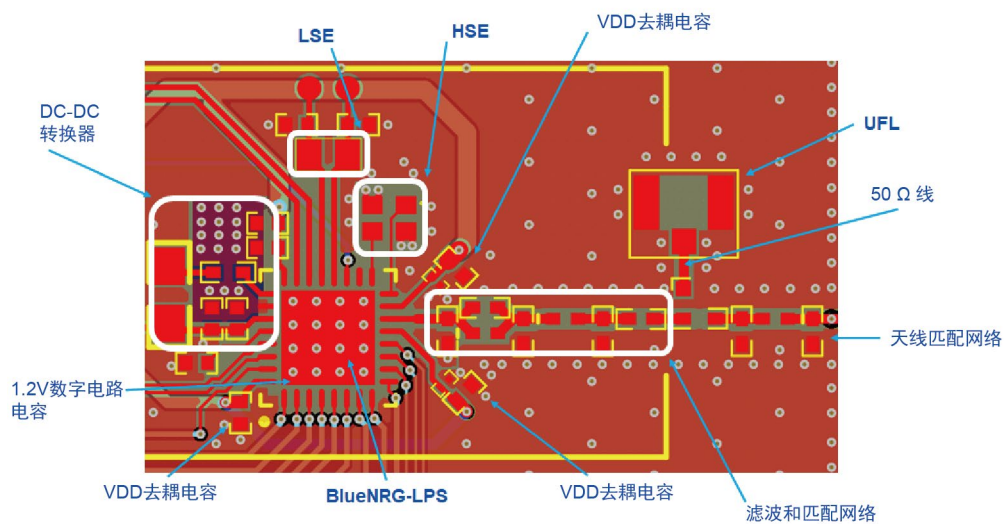
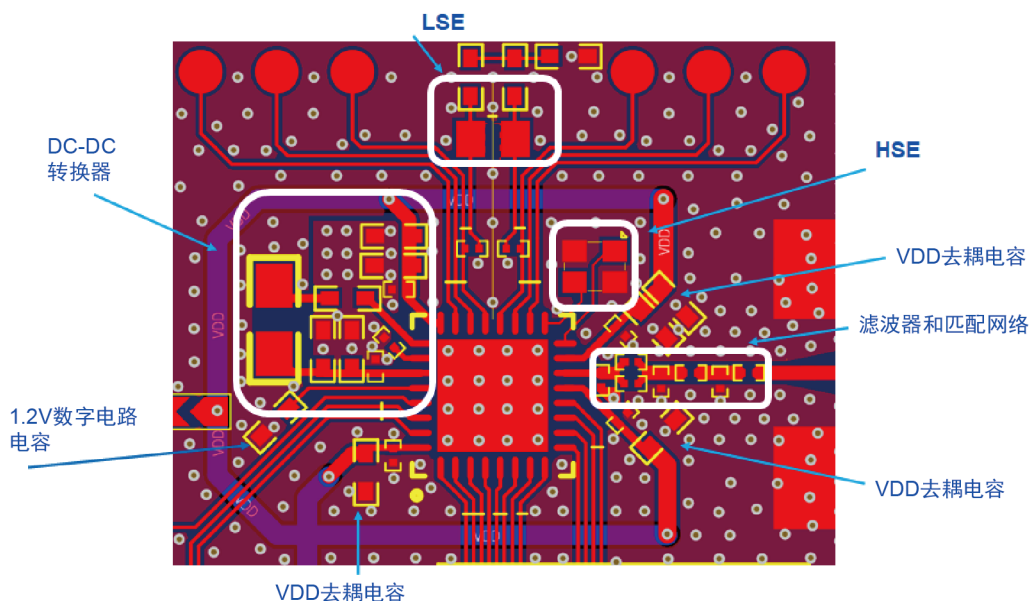


图 11. BlueNRG-LPS QFN32 - 2 层



5.1 BlueNRG-LP WLCSP 走线

BlueNRG-LP WLCSP 的布局比 QFN 更加复杂。BlueNRG-LP 需要四层来传输所有信号。根据制造能力和成本，可以使用更多层、不同的技术和 PCB 级别。

以下提供了焊盘层叠微型过孔的解决方案。

最大微型过孔长宽比为 1:1。以 100 μm 过孔尺寸为例，厚度 400 μm 的应用板可以构建如下所示的层叠过孔。

应用板越厚，则需要更高级的 HDI 技术。

当应用不需要走所有信号时，一层微型过孔即可，从而降低板的成本。

图 12. BlueNRG-LP WLCSP 球走线和层叠

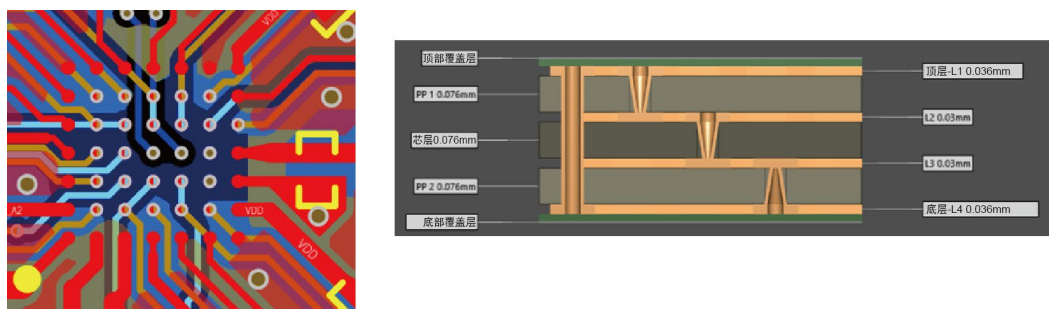
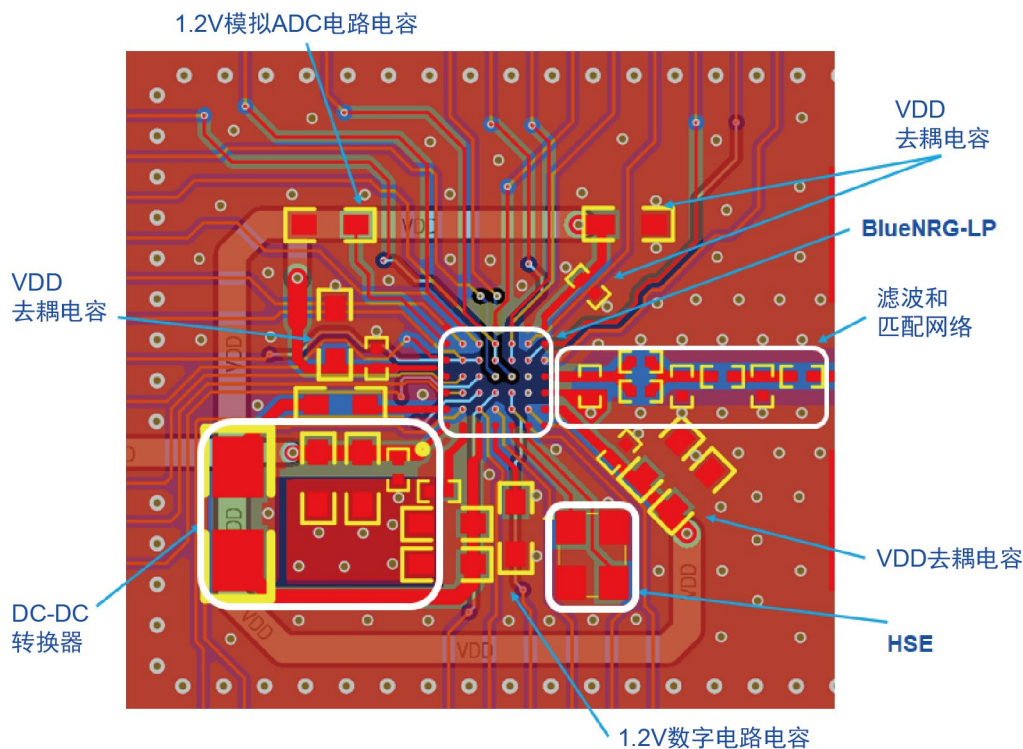
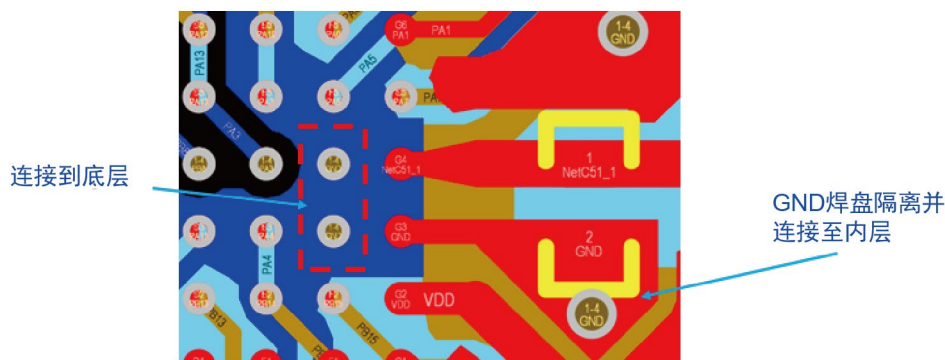


图 13. BlueNRG-LP WLCSP 4 层



建议 VSSRF 和 VSSIFADC 直接连接到底层，而不是顶层接地覆层。

图 14. BlueNRG-LP VSSRF 和 VSSIFADC 连接



5.2 SMPS 布局示例

DC-DC 转换器区域非常敏感，必须注意此部分的布局。这是因为 DC-DC 转换器会产生噪声，与周围的接地耦合，降低灵敏度，同时与高频的元器件可耦合进 RF 部分。

一般策略是缩小开关电流回路，并隔离携带噪声电流的节点。DC-DC 转换器输出电容会吸收大部分开关电流。为确保正确布局，必须：

1. 电容的放置与 BlueNRG-LP/LPS 尽可能地靠近，以提供有效的滤波
2. 确保与 BlueNRG-LP/LPS 的连接线要宽且短，以降低寄生电感
3. 使用较小的电感与功率电感串联（参见图 15. SMPS 原理图），以改进噪声滤波。如可能，正交布置两个电感，以减少互耦。

图 15. SMPS 原理图

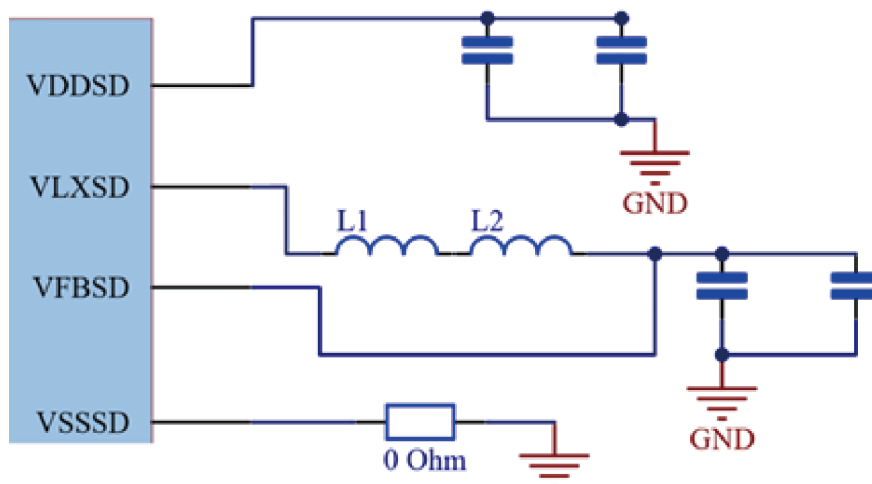


图 16. BlueNRG-LP QFN48 SMPS 布局

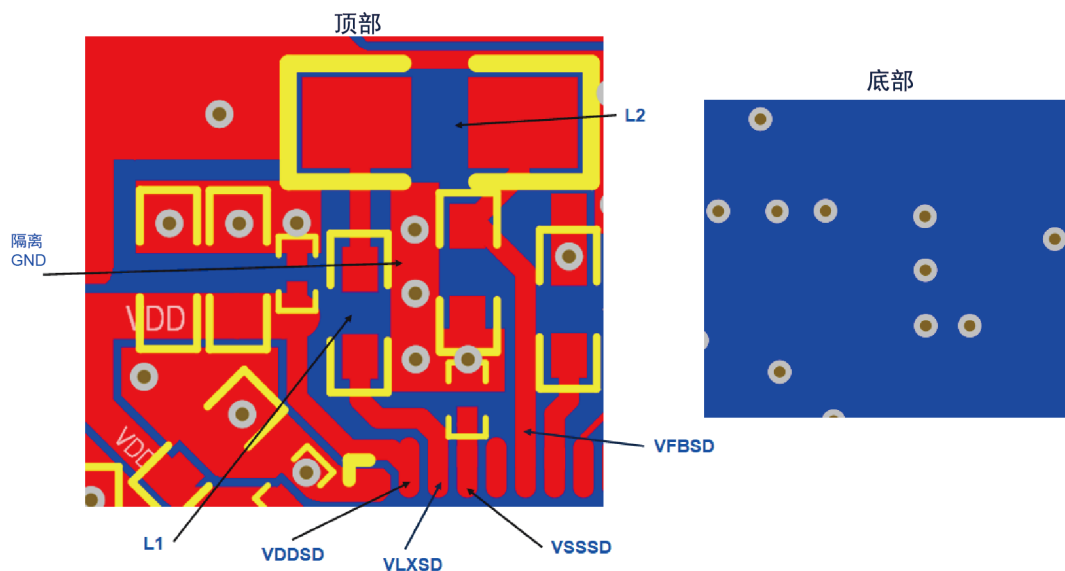


图 17. BlueNRG-LP CSP49 SMPS 布局

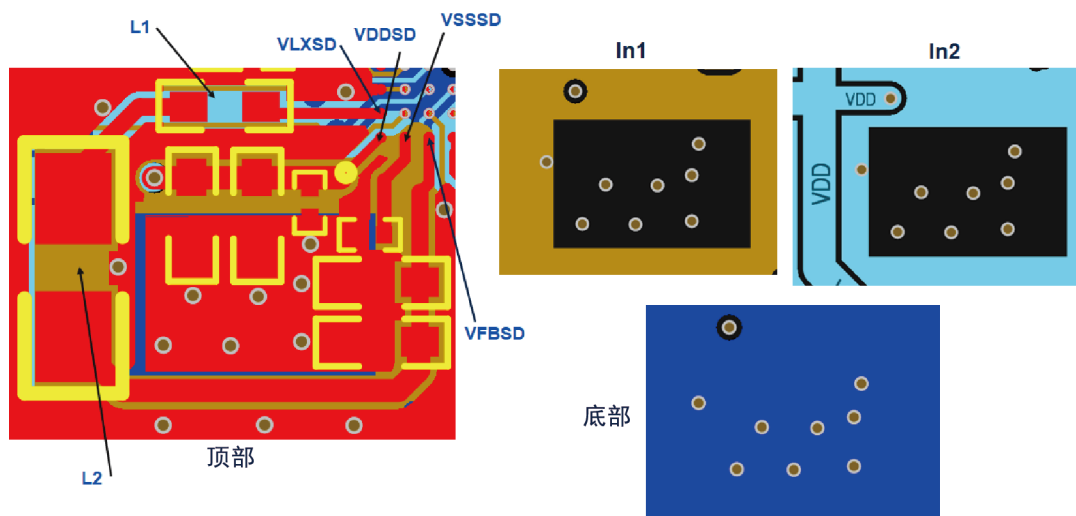
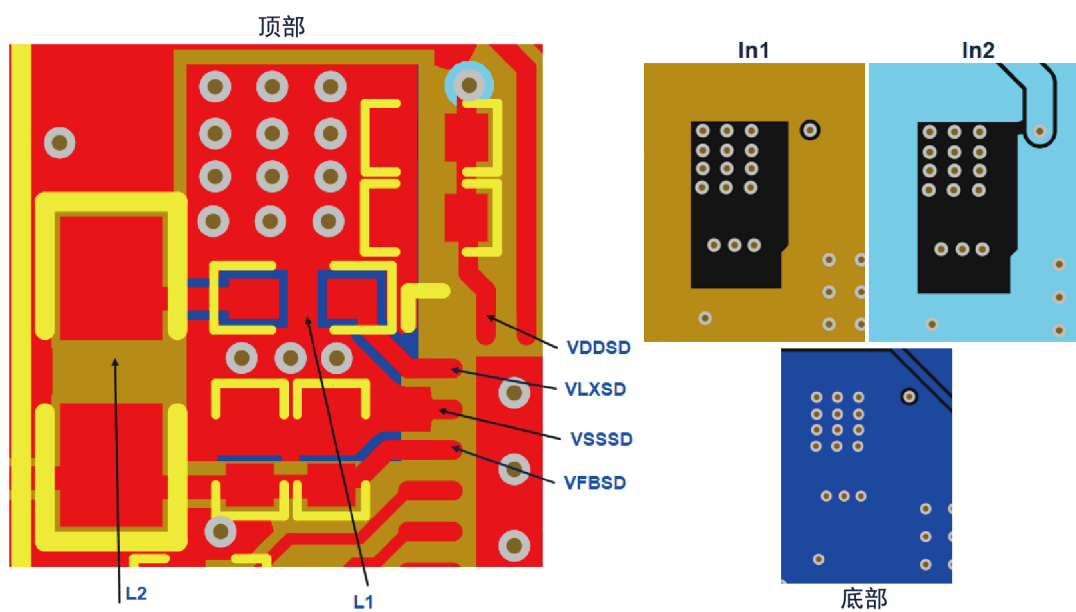


图 18. BlueNRG-LPS QFN32 SMPS 布局



6 参考

- [1] BlueNRG-LP 数据手册 (DS13282)
- [2] BlueNRG-LPS 数据手册 (DS13819)

版本历史

表 2. 文档版本历史

日期	版本	变更
2020 年 7 月 24 日	1	初始版本。
2020 年 9 月 15 日	2	更新了“前言”一节。
2022 年 6 月 13 日	3	<p>增加了 BlueNRG-LPS 的参考以及相关的 PCB 设计指南。</p> <p>更新了图 1. BlueNRG-LP QFN48 应用板原理图，图 2. BlueNRG-LP WLCSP49 应用板原理图，图 4. 两层应用板层叠，图 5. 四层应用板层叠。</p> <p>增加了第 3 节“BlueNRG-LP/LPS 匹配网络”、第 4 节“布局建议”、第 5 节“BlueNRG-LP/LPS 布局示例”、第 5.1 节“BlueNRG-LP WLCSP 走线”、第 5.2 节“SMPS 布局示例”。</p>

目录

1	参考原理图	2
2	两层或多层应用板.....	5
2.1	两层解决方案	5
2.2	多层解决方案	5
3	BlueNRG-LP/LPS 匹配网络.....	7
4	布局建议.....	8
5	BlueNRG-LP/LPS 布局示例.....	9
5.1	BlueNRG-LP WLCSP 走线.....	10
5.2	SMPS 布局示例.....	11
6	参考	14
	版本历史	15

图片目录

图 1.	BlueNRG-LP QFN48 应用板原理图	2
图 2.	BlueNRG-LP WLCSP49 应用板原理图	3
图 3.	BlueNRG-LPS QFN32 应用板原理图	3
图 4.	两层应用板层叠	5
图 5.	四层应用板层叠	5
图 6.	BlueNRG-LP/LPS 匹配网络原理图	7
图 7.	BlueNRG-LP/LPS 匹配网络布局	7
图 8.	BlueNRG-LP QFN48 裸露焊盘	8
图 9.	BlueNRG-LP QFN48 - 2 层	9
图 10.	BlueNRG-LPS QFN32 - 4 层	9
图 11.	BlueNRG-LPS QFN32 - 2 层	10
图 12.	BlueNRG-LP WLCSP 球走线和层叠	10
图 13.	BlueNRG-LP WLCSP 4 层	11
图 14.	BlueNRG-LP VSSRF 和 VSSIFADC 连接	11
图 15.	SMPS 原理图	12
图 16.	BlueNRG-LP QFN48 SMPS 布局	12
图 17.	BlueNRG-LP CSP49 SMPS 布局	13
图 18.	BlueNRG-LPS QFN32 SMPS 布局	13

重要通知 - 仔细阅读

意法半导体公司及其子公司（“意法半导体”）保留随时对 ST 产品和/或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于意法半导体产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对意法半导体产品的选择和使用，意法半导体概不承担与应用协助或买方产品设计相关的任何责任。

意法半导体不对任何知识产权进行任何明示或默示的授权或许可。

转售的意法半导体产品如有不同于此处提供的信息的规定，将导致意法半导体针对该产品授予的任何保证失效。

ST 及 ST 标识是意法半导体公司的商标。若需意法半导体商标的更多信息，请参考 www.st.com/trademarks。其他所有产品或服务名称是其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2022 STMicroelectronics - 保留所有权利