

STM32U575/585 MCU 硬件开发入门

引言

本应用笔记为系统开发者概述了开发板特性的硬件实现。开发板特性为供电电源、时钟管理、复位控制、自举模式设置和调试管理。

本文档详细介绍了如何使用 **STM32U575xx** 和 **STM32U585xx** 微控制器（也称为 **STM32U575/585**）。其中介绍了使用这些 MCU 开发应用程序所需的最少硬件资源。

本文还包括了详细的参考设计原理图，说明了其主元件、接口和模式。

1 概述

本文档适用于基于 Arm®的 STM32U575/585 微控制器。

提示

Arm is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.



2 电源管理

2.1 电源

STM32U575/585 器件要求 1.71 V 至 3.6 V 的工作电压电源 (V_{DD})。

下面列出的独立电源可用于特定外设：

- $V_{DD} = 1.71 \text{ V}$ 至 3.6 V
 V_{DD} 是为 I/O、内部稳压器和系统模拟信号（如复位、电源管理和内部时钟）供电的外部电源。 V_{DD} 通过 VDD 引脚从外部提供。
- $V_{DDA} = 1.58 \text{ V}$ (COMP_S) / 1.6 V (DAC_S/OPAMP_S) / 1.62 V (ADC_S) / 1.8 V (VREFBUF) 至 3.6 V
 V_{DDA} 是为 A/D 转换器、D/A 转换器、电压参考缓冲器、运算放大器和比较器供电的外部模拟电源。 V_{DDA} 电压电平独立于 V_{DD} 电压。不使用这些外设时，VDDA 引脚必须优先连接至 V_{DD} 电压电源。

提示

如果 VDDA 引脚保持为高阻抗或连接至 VSS，则可施加到 I/O（具有“_a” I/O 结构）上的最大输入电压将降低（参见器件数据手册以了解更多详细信息）。

- $V_{DDSMPS} = 1.71 \text{ V}$ 至 3.6 V
 V_{DDSMPS} 是为 SMPS 降压转换器供电的外部电源。它通过 VDDSMPS 引脚从外部提供，且必须连接到与 VDD 引脚相同的电源。
- V_{LXSMPS}
VLXSMPS 引脚是开关 SMPS 降压转换器输出。
- V_{DD11}
 V_{DD11} 是通过内部 SMPS 降压转换器 VLXSMPS 引脚提供的数字内核电源。仅出现在具有内部 SMPS 的封装上的两个 VDD11 引脚连接至总量为 $4.7 \mu\text{F}$ （典型值）的外部电容。此外，每个 VDD11 引脚需要一个 100 nF 陶瓷电容。
- V_{CAP}
 V_{CAP} 是来自内部 LDO 稳压器的数字内核电源。VCAP 引脚（一个或两个）仅出现在只具有 LDO（无 SMPS）的封装上，需要连接至总量为 $4.7 \mu\text{F}$ （典型值）的外部电容。此外，每个 VCAP 引脚需要一个 100 nF 陶瓷电容。

提示

- 如果有两个 VCAP 引脚（UFBGA169 封装），则每个引脚必须连接至 $2.2 \mu\text{F}$ 电容（总量约为 $4.4 \mu\text{F}$ ）（最大 $4.7 \mu\text{F}$ ）。每个 VCAP 还需要一个 100 nF 陶瓷电容。
- SMPS 电源引脚（VLXSMPS、VDD11、VDDSMPS、VSSSMPS）仅在具有 SMPS 的封装上可用。在此类封装中，STM32U575/585 器件并联嵌入了两个稳压器（一个 LDO 和一个 SMPS），以便为数字外设提供 V_{CORE} 电源。VDD11 引脚上需要总 $4.7 \mu\text{F}$ 的外部电容和 $2.2 \mu\text{H}$ 线圈。此外，每个 VDD11 引脚需要一个 100 nF 陶瓷电容。
- Flash 由 V_{CORE} 和 V_{DD} 供电。
- $V_{DDUSB} = 3.0 \text{ V}$ 至 3.6 V
 V_{DDUSB} 为外部独立电源，为 USB 收发器供电。 V_{DDUSB} 电压电平独立于 V_{DD} 电压。不使用 USB 时，VDDUSB 引脚必须优先连接至 V_{DD} 电压电源。

提示

如果 VDDUSB 引脚保持为高阻抗或连接至 VSS，则可施加到 I/O（具有“_u” I/O 结构）上的最大输入电压将降低（参见器件数据手册以了解更多详细信息）。

- $V_{DDIO2} = 1.08 \text{ V}$ 至 3.6 V
 V_{DDIO2} 是为 14 个 I/O (port G[15:2]) 供电的外部电源。 V_{DDIO2} 电压级别与 V_{DD} 电压无关，不使用 PG[15:2] 时，最好连接到 V_{DD} 。

提示

在小封装上， V_{DDA} 、 V_{DDIO2} 或 V_{DDUSB} 独立电源可能不作为专用引脚出现，且内部连接至 VDD 引脚。如果产品上不支持某功能，则该功能也不会出现。

- $V_{BAT} = 1.65 \text{ V}$ 至 3.6 V （保证功能降至 V_{BOR_VBAT} 最小值，参见产品数据手册）
当 V_{DD} 掉电时（通过电源开关）， V_{BAT} 为 RTC、TAMP、外部时钟 32 kHz 振荡器、备份寄存器和可选备份 SRAM 提供电源。

- V_{REF-} 和 V_{REF+}

V_{REF+} 为 ADC 和 DAC 的输入参考电压。使能时，它还是内部电压参考缓冲器（VREFBUF）的输出。当 ADC 和 DAC 不使能时， V_{REF+} 引脚可接地。

内部电压参考缓冲器支持四个输出电压，可利用 VREFBUF_CSR 寄存器中的 VRS[2:0] 字段进行配置：

- V_{REF+} 大约为 1.5 V。这要求 $V_{DDA} \geq 1.8$ V。
- V_{REF+} 大约为 1.8 V。这要求 $V_{DDA} \geq 2.1$ V。
- V_{REF+} 大约为 2.048 V。这要求 $V_{DDA} \geq 2.4$ V。
- V_{REF+} 大约为 2.5 V。这要求 $V_{DDA} \geq 2.8$ V。

V_{REF-} 和 V_{REF+} 引脚并非在所有封装上可用。当不可用时，它们分别与 V_{SSA} 和 V_{DDA} 引脚绑定。

当 V_{REF+} 引脚与 V_{DDA} 在一个封装中互相绑定时，内部 VREFBUF 不可用且必须禁用。

V_{REF-} 必须始终等于 V_{SSA} 。

下图显示了 STM32U575/585 器件电源概述，具体取决于 SMPS 存在性。

图 1. STM32U575xx 和 STM32U585xx 电源概述（无 SMPS）

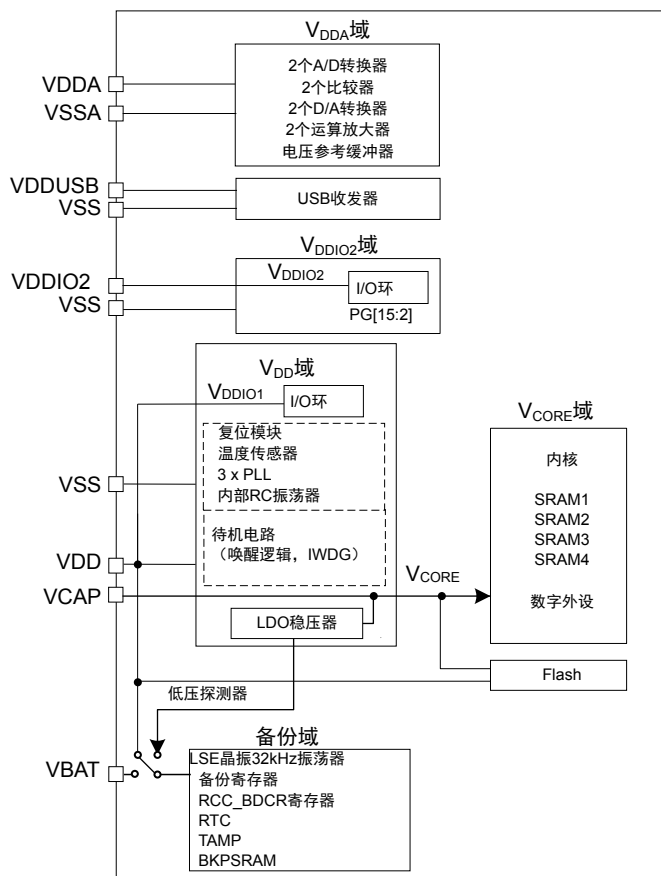
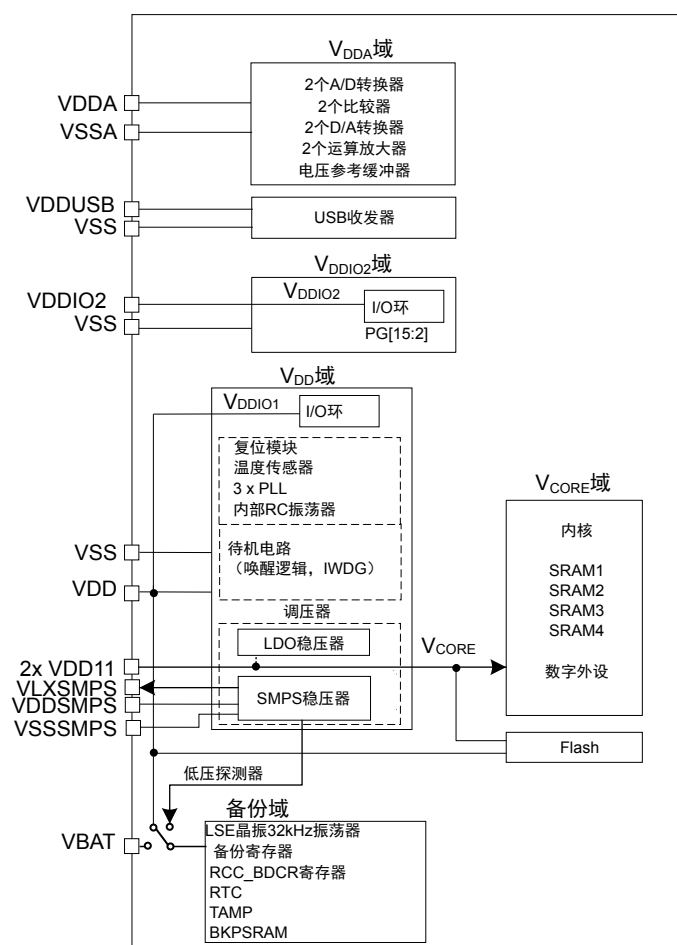


图 2. STM32U575xQ 和 STM32U585xQ 电源概述 (有 SMPS)



在无 SMPS 的器件中, I/O 和系统模拟外设 (如 PLL 和复位模块) 由 V_{DD} 电源供电。为数字外设和存储器供电的 V_{CORE} 电源由 LDO 生成。

提示 如果选定的封装具有 **SMPS 降压转换器** 选项，但 **SMPS** 不被应用程序使用（而是使用嵌入式 **LDO**），则建议设置 **SMPS** 电源引脚，如下所示：

- 将 VDDSMPS 和 VLXSMPS 连接至 VSS
- 将 VDD11 引脚通过两个 ($2.2\ \mu\text{F} + 100\ \text{nF}$) 电容连接至 VSS (如在正常模式下)

2.1.1 独立模拟外设电源

为了提高 ADC 和 DAC 转换精度、扩展供电的灵活性，模拟外设配有独立电源，可以单独滤波并屏蔽 PCB 上的噪声。

模拟外设的电压电源输入在单独的 VDDA 引脚上可用。VSSA 引脚提供了独立的电源接地连接。

V_{DDA} 电源电压可与 V_{DD} 不同。复位后，由 V_{DDA} 供电的模拟外设是逻辑隔离且电隔离的，因而不可用。当 V_{DDA} 电源存在时，使用这些外设前，必须通过设置 PWR_SVMCR 寄存器中的 ASV 位，解除此隔离。

V_{DDA} 电源可由模拟电压监测(AVM)监控, 并与两个阈值(AVM1 为 1.6 V, 而 AVM2 为 1.8 V)进行比较。有关更多信息, 请参见器件数据手册和参考手册的“外设电压监测(PVM)”部分。

当使用单供电时，VDDA 引脚可外部连接至同一 V_{DD} 电源，为得到无噪声的 V_{DD} 参考电压，需通过外部滤波电路。

ADC 和 DAC 参考电压

为确保低电压输入和输出上的更好精度，用户可将 **VREF+** 连接至一个独立的、低于 V_{DDA} 的参考电压源。

对于模拟输入（ADC）或输出（DAC）信号， V_{REF+} 为最高电压，以满量程值表示。 V_{REF+} 可由外部参考或VREFBUF（可以输出可配置电压：1.5、1.8、2.048或2.5 V）来提供。VREFBUF 还可通过VREF+引脚为外部元件提供电压。

有关更多信息，请参见器件数据手册和参考手册的“电压参考缓冲器(VREFBUF)”部分。

2.1.2 独立 I/O 电源轨

来自端口 G（PG[15:2]）的一些 I/O 由单独的电源轨供电。此轨的电源范围为 1.08 V 至 3.6 V，可通过 VDDIO2 引脚外部提供。 V_{DDIO2} 电压电平完全独立于 V_{DD} 或 V_{DDA} 。

VDDIO2 引脚仅可用于一些封装（参见数据手册中的引脚排列详细信息，以了解 I/O 列表）。

复位后，由 V_{DDIO2} 供电的 I/O 是逻辑隔离且电隔离的，因而不可用。当 V_{DDIO2} 电源存在时，从 PG[15:2]使用任一 I/O 前，必须通过设置 PWR_SVMR 寄存器中的 IO2SV 位，解除此隔离。

V_{DDIO2} 电源由 V_{DDIO2} 电压监测(IO2VM)监控且与内部参考电压（ $3/4 V_{REFINT}$ ，约为 0.9 V）进行比较。

有关更多详细信息，请参见器件数据手册和参考手册的“外设电压监测(PVM)”部分。

2.1.3 独立的 USB 收发器电源

USB 收发器通过一个单独的电源 V_{DDUSB} 供电。 V_{DDUSB} 范围从 3.0 V 到 3.6V，完全独立于 V_{DD} 或 V_{DDA} 。

复位后，由 V_{DDUSB} 供电的 USB 功能是逻辑隔离且电隔离的，因而不可用。当 V_{DDUSB} 电源存在时，使用 USB OTG 外设前，须通过设置 PWR_SVMR 寄存器中的 USV 位，解除此隔离。

V_{DDUSB} 电源由 USB 电压监测(UVM)监控且与内部参考电压（ V_{REFINT} ，约为 1.2 V）进行比较。有关更多详细信息，请参见器件数据手册和产品参考手册的“外设电压监测(PVM)”部分。

2.1.4 电池备份域

为了在 V_{DD} 掉电时，还能保留备份寄存器的内容，且为 RTC 供电，可将 VBAT 引脚连接到电池或者其他备用电源上。

VBAT 引脚为 RTC、TAMP、LSE 振荡器和 PC13 到 PC15 I/O 供电，允许 RTC 在主电源关闭时也可工作。

当在 PWR_BDCR1 寄存器中设置 BREN 位时，可通过 VBAT 引脚为备份 SRAM 供电。

V_{BAT} 电源的开关由复位模块中内置的掉电复位电路进行控制。

Caution:

- 在 $t_{RSTTEMPO}$ （ V_{DD} 启动时）或 PDR（下电复位）检测期间， V_{BAT} 和 V_{DD} 之间的电源开关仍连接到 VBAT 引脚。
- 在启动阶段，如果 V_{DD} 的建立时间小于 $t_{RSTTEMPO}$ （有关 $t_{RSTTEMPO}$ 的值，参见数据手册）且 $V_{DD} > V_{BAT} + 0.6 V$ ，会有电流经由 VDD 引脚和电源开关(VBAT)之间连接的内部二极管注入 VBAT 引脚。如果连接到 VBAT 引脚的电源/电池无法承受此注入电流，则强烈建议在该电源与 VBAT 引脚之间连接一个低压降二极管。

如果没有使用任何外部电池，建议将该 VBAT 引脚连接到带有 100 nF 外部去耦电容的 V_{DD} 上。

通过 V_{DD} 对备份域供电时（模拟开关连接到 VDD 引脚），以下引脚可用：

- PC13、PC14 和 PC15，可用作 GPIO 引脚
- PC13、PC14 和 PC15——三个引脚可由 RTC 或 LSE 进行配置（参见参考手册的 RTC 部分）
- 下列引脚，由 TAMP 配置为篡改引脚：
 - PE3（TAMP_IN6/TAMP_OUT3）
 - PE4（TAMP_IN7/TAMP_OUT8）
 - PE5（TAMP_IN8/TAMP_OUT7）
 - PE6（TAMP_IN3/TAMP_OUT6）
 - PC13（TAMP_IN1/TAMP_OUT2）
 - PA0（TAMP_IN2/TAMP_OUT1）
 - PA1（TAMP_IN5/TAMP_OUT4）
 - PC5（TAMP_IN4/TAMP_OUT5）

提示

- 由于电源开关仅能传递有限的电流(3 mA)，因此使用输出模式的 PC13 到 PC15 I/O 受限：速率必须限制在 2 MHz，最大负载为 30 pF。这些 I/O 不能作为电流源使用（如，驱动 LED）。
- 在 V_{DD} 下，TAMP_OUTx 引脚（PE3、PE4、PE5、PE6、PA0、PA1、PC5）与其连接到的 GPIO 保持相同的速度特性。但是，在 V_{BAT} 下，TAMP_OUTx 引脚的速度必须限制为 500 kHz。
- 在 V_{DD} 或 V_{BAT} 下，PC13 引脚的速度必须始终限制为 2 MHz。

备份域访问

系统复位后，备份域（RCC_BDCR、PWR_BDCR1、RTC、TAMP、备份寄存器及备份 SRAM）将受到保护，以防止意外的写访问。要能对备份域的访问，请按以下步骤进行操作：

1. 通过在 RCC_AHB3ENR 寄存器中设置 PWREN 位，使能电源接口时钟。
2. 在 PWR_DBPR 寄存器中设置 DBP 位，使能对备份域的访问。

 V_{BAT} 电池充电

当 V_{DD} 存在时，可通过 5 k Ω 或 1.5 k Ω 的内部电阻为 V_{BAT} 上的外部电池供电，具体取决于 PWR_BDCR2 寄存器中的 VBRS 位。

可通过在 PWR_BDCR2 中设置 VBE 位来使能电池充电。在 VBAT 模式下自动禁用。

2.1.5
调压器

STM32U575/585 器件并联嵌入了以下内部调节器，以便为数字外设、SRAM1/2/3/4 和嵌入式 Flash 存储器提供 V_{CORE} 电源：

- SMPS 降压转换器
- LDO（线性电压稳压器）

可以在应用程序运行时进行选择，具体取决于应用需求。SMPS 可降低功耗，但 SMPS 产生的噪音可能会影响一些外设行为，需要应用程序在运行外设时切换至 LDO，以达到最佳性能。

除了待机电路和备份域，LDO 或 SMPS 可用于所有电压调节范围（范围 1/2/3/4）、所有停止模式（停止 0/1/2/3）和待机模式（有 SRAM2）（参见参考手册中的“低功耗模式总结”表）。

无 SMPS 的 STM32U575/585 器件仅嵌入了 LDO 稳压器，该稳压器可控制所有电压调节范围和功耗模式。

动态电压调节管理

LDO 和 SMPS 稳压器可提供四种不同的电压（电压调节），且可在所有停止模式下工作。这两种稳压器均可在以下范围操作：

- 范围 1（1.2 V、160 MHz），高性能：提供 1.2 V 的典型输出电压，且在系统时钟频率高达 160 MHz 时使用。
- 范围 2（1.1 V、110 MHz），中/高性能：提供 1.1 V 的典型输出电压，且在系统时钟频率高达 110 MHz 时使用。
- 范围 3（1.0 V、55 MHz），低/中功率：提供 1.0 V 的典型输出电压，且在系统时钟频率高达 55 MHz 时使用。
- 范围 4（0.9 V、25 MHz），低功率：提供 0.9 V 的典型输出电压，且在系统时钟频率高达 25 MHz 时使用。

通过 PWR_VOSR 寄存器中的 VOS[1:0] 字段选择电压调节。

Caution:

在将范围 1 和范围 2 中的系统时钟频率增加至超过 50 MHz 之前，必须启用 EPOD（嵌入式功率分配）加速器且使其就绪（有关在电压调节范围之间切换的顺序，参见参考手册）。

2.1.6
I/O 模拟开关的供电

一些 I/O 嵌入模拟开关，用于模拟外设（ADC、COMP、DAC）和 TSC（触摸感应控制器）功能。默认情况下，这些开关由 V_{DDA} 供电，但可以由 V_{DDA} 升压器或 V_{DD} 供电，具体取决于 SYSCFG_CFGR1 寄存器中 ANASWVDD 和 BOOSTEN 位的配置。

建议在 V_{DDA} 、 V_{DDA} 升压器和 V_{DD} 之间以最高电压值为 I/O 开关供电。

提示

如果可能，选择噪音通常较小的 V_{DDA} 或 V_{DDA} 升压器，而非 V_{DD} 。

TSC 功能的模拟开关由 V_{DD} 供电。

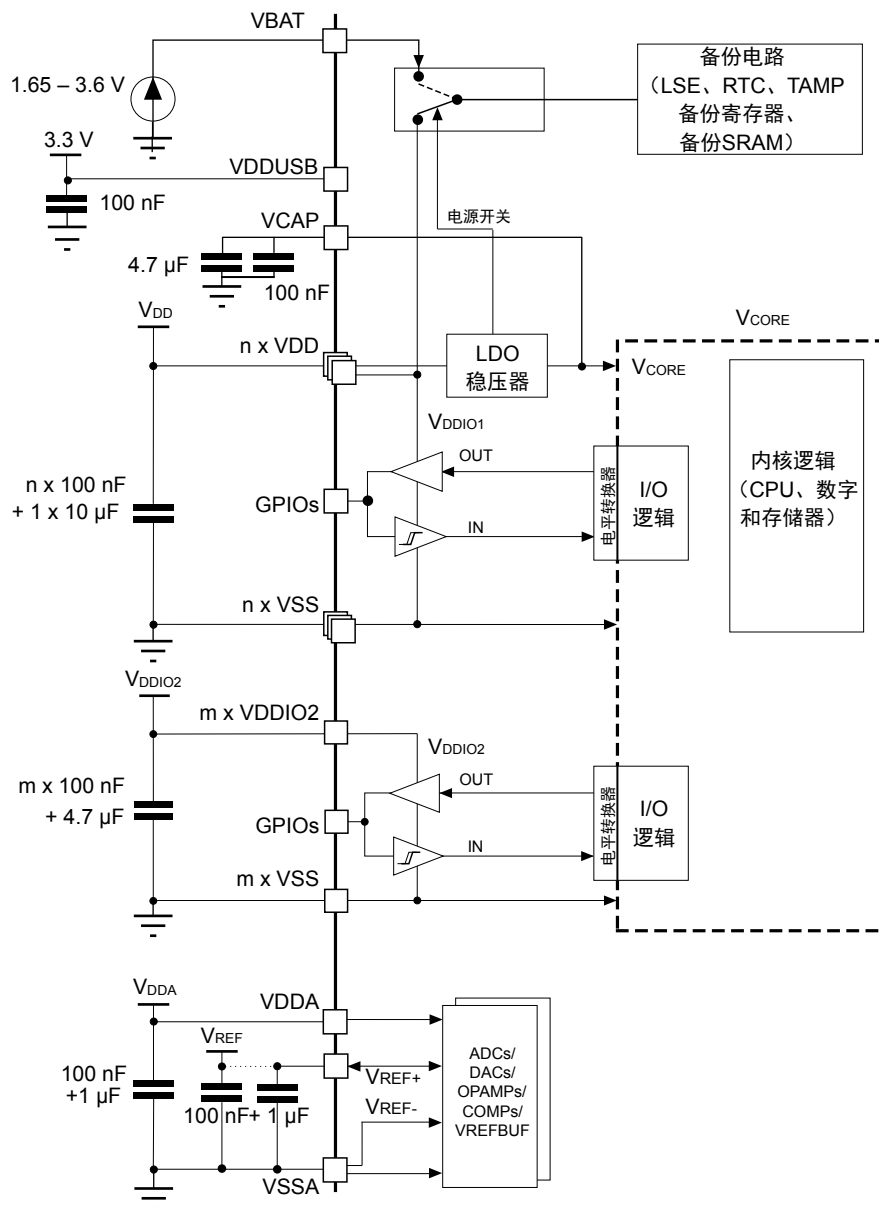
2.2 电源方案

器件通过稳定的 V_{DD} 电源供电，如下所述：

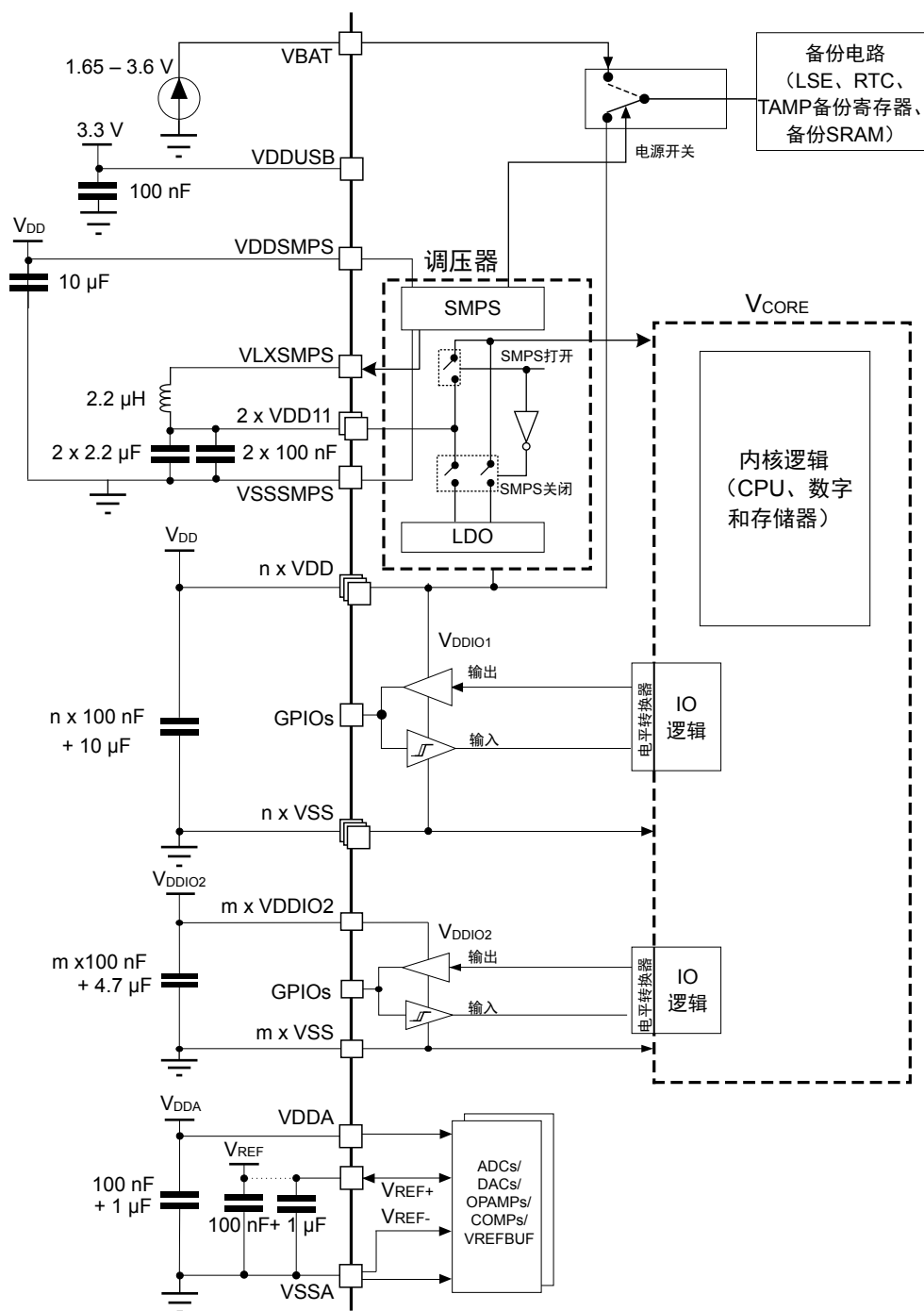
- V_{DD} 引脚必须连至带有外部去耦电容的 V_{DD} ：封装的 $10\ \mu\text{F}$ （典型值，最低 $4.7\ \mu\text{F}$ ）单个钽电容或陶瓷电容，及每个 V_{DD} 引脚的 $100\ \text{nF}$ 陶瓷电容。
- V_{DD11} 引脚仅出现在有 SMPS 的封装上。SMPS 降压转换器需要在 VLXSMPS 和 V_{DD11} 引脚之间连接一个 $2.2\ \mu\text{H}$ （典型值）外部陶瓷线圈。此外，将 V_{DD11} 引脚上的两个 $2.2\ \mu\text{F}$ 电容连接到 VSSSMPS 引脚。接着，需要在每个 V_{DD11} 引脚和接地之间连接一个 $100\ \text{nF}$ 陶瓷电容。
- V_{CAP} 引脚仅出现在标准封装（无 SMPS）上。它需要将一个 $4.7\ \mu\text{F}$ （典型值）外部去耦电容连接至 V_{SS} 。如果有两个 V_{CAP} 引脚（UFBGA169 封装），则每个 V_{CAP} 引脚必须连接至 $2.2\ \mu\text{F}$ （典型值）电容（最大 $4.7\ \mu\text{F}$ ）。此外，需要在每个 V_{CAP} 引脚和接地之间连接一个 $100\ \text{nF}$ 陶瓷电容。
- V_{DDA} 引脚必须连至两个外部去耦电容， $100\ \text{nF}$ 陶瓷电容和 $1\ \mu\text{F}$ 钽电容或陶瓷电容。
可采用更多措施过滤数字噪声： V_{DDA} 可通过铁氧体磁环连至 V_{DD} 。
- V_{DDIO2} 引脚必须连接至 $4.7\ \mu\text{F}$ 的外部去耦电容、钽电容或陶瓷电容。此外，每个 V_{DDIO2} 引脚需要一个外部 $100\ \text{nF}$ 陶瓷电容。
- V_{DDUSB} 引脚必须连接至外部 $100\ \text{nF}$ 陶瓷电容。
- V_{REF+} 引脚可通过外部电压参考提供。这种情况下，必须在此引脚上连接外部 $100\ \text{nF} + 1\ \mu\text{F}$ 钽或陶瓷电容。它也可由 V_{REFBUF} 内部供电。这种情况下，此引脚上必须连接外部 $100\ \text{nF} + 1\ \mu\text{F}$ （典型值）电容。
- V_{BAT} 引脚可连接至外部电池来保持备份域内容：
 - 当 V_{DD} 存在时，可通过 $5\ \text{k}\Omega$ 或 $1.5\ \text{k}\Omega$ 的内部电阻为 V_{BAT} 上的外部电池充电。这种情况下，用户可以根据预期的放电时间插入一个电容（建议 $1\ \mu\text{F}$ ）。
 - 如果没有使用任何外部电池，建议将该 V_{BAT} 引脚连接到带有 $100\ \text{nF}$ 外部去耦电容的 V_{DD} 上。
- V_{DDUSB} 引脚在出现在封装中时可以连接至 $100\ \text{nF}$ 的陶瓷电容。

下图详细介绍了有 SMPS 和无 SMPS 封装的供电方案。

图 3. STM32U575x 和 STM32U585x（无 SMPS）的供电方案



Caution: 如果有两个 VCAP 引脚（UFBGA169 封装），则每个引脚必须连接至 2.2 μF（典型值）电容（总量约为 4.4 μF）。

图 4. STM32U575xQ 和 STM32U585xQ（具有 SMPS）的供电方案


提示

- **SMPS 和 LDO 稳压器同时提供 V_{CORE} 电源**，具体取决于应用需求。但是，同时只能有其中一个稳压器为有效。当 **SMPS** 有效时，它在通过 **SMPS VLXSMPS** 输出引脚提供的两个 **VDD11** 引脚上向 V_{CORE} 馈电。然后，在每个 **VDD11** 引脚上需要一个 **2.2 μH** 线圈和 **2.2 μF** 电容。LDO 在有效时向 V_{CORE} 供电并使用 **VDD11** 引脚上的相同去耦电容对其进行调节。
- 需要在每个 **VDD11** 引脚焊球附近添加一个 **100 nF** 的去耦电容。

2.3 VDDA、VDDUSB、VDDIO2 和 VDD 之间的供电排序

2.3.1 电源隔离

器件具有强大的复位系统，该系统可确保主电源(V_{DD})在释放 MCU 复位之前达到有效的工作范围。

此复位系统还负责隔离独立的电源域：V_{DDA}、V_{DDUSB}、V_{DDIO2} 和 V_{DD}。此复位系统由 V_{DD} 供电且在 V_{DD} 达到最低电压（在最差条件下为 1 V）之前不工作。

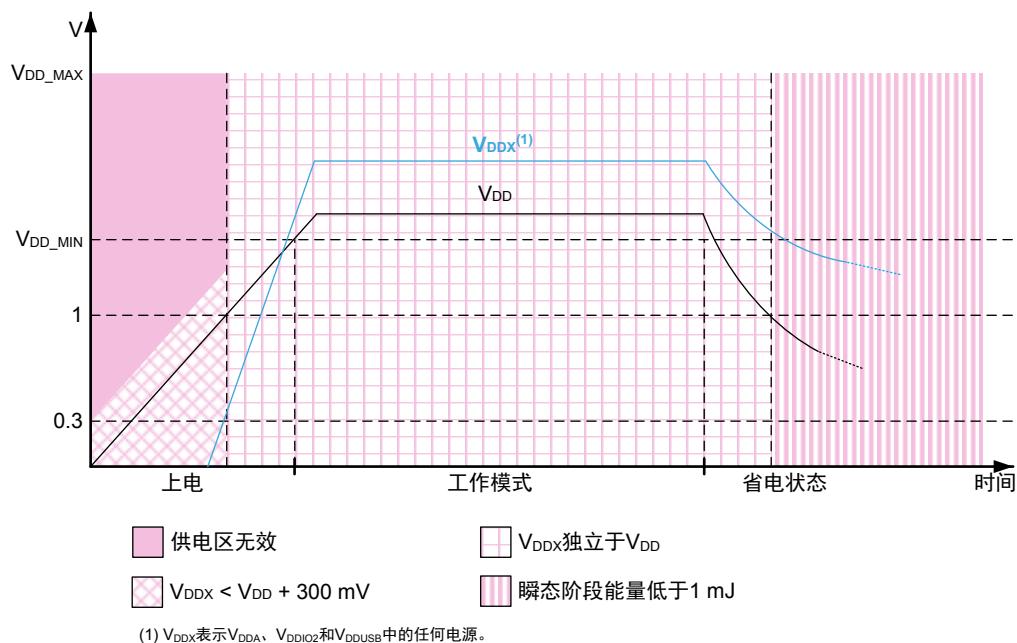
为了避免在可用电源和 V_{DD}（或接地）之前泄漏电流，在下电期间必须先将 V_{DD} 供应至 MCU，最后再释放（有容差）（参见第 2.3.3 节）。

2.3.2 一般要求

在上电和下电阶段，必须遵守以下电源序列要求：

- 当 V_{DD} 低于 1 V 时，其他电源（V_{DDA}、V_{DDIO2} 和 V_{DDUSB}）必须保持低于 V_{DD} + 300 mV。
- 当 V_{DD} 超过 1 V 时，所有电源均为独立。

图 5. 上电/下电序列



提示 V_{BAT} 是独立的电源且没有限制与 V_{DD}。所有电源干线可连接到一起。

2.3.3 下电阶段的特定条件

在下电阶段，V_{DD} 仅在为 MCU 提供的能量仍低于 1 mJ 时暂时低于其他电源。这使外部去耦电容在下电瞬态阶段以不同的时间常量放电（参见图 5）。

V_{DDX}（V_{DDA}、V_{DDIO2} 或 V_{DDUSB}）电源轨必须在 V_{DD} 之前关闭。

提示 在下电瞬态阶段，V_{DDX} 可仍临时超过 V_{DD}（参见图 5）。

下电阶段向 MCU 提供能量的计算示例

如果 V_{DDX} 上的去耦电容总和为 10 μF 且 V_{DD} 降至 1 V 以下，而 V_{DDX} 仍为 3.3 V，则去耦电容中的剩余能量为：

$$E = \frac{1}{2} C \times V^2 = \frac{1}{2} \times 10^{-5} \times 3.3^2 = 0.05 \text{ mJ}$$

去耦电容中的剩余能量低于 1 mJ，因此，可接受 MCU 对其进行吸收。

2.4 复位和电源监控

2.4.1 欠压复位 (BOR)

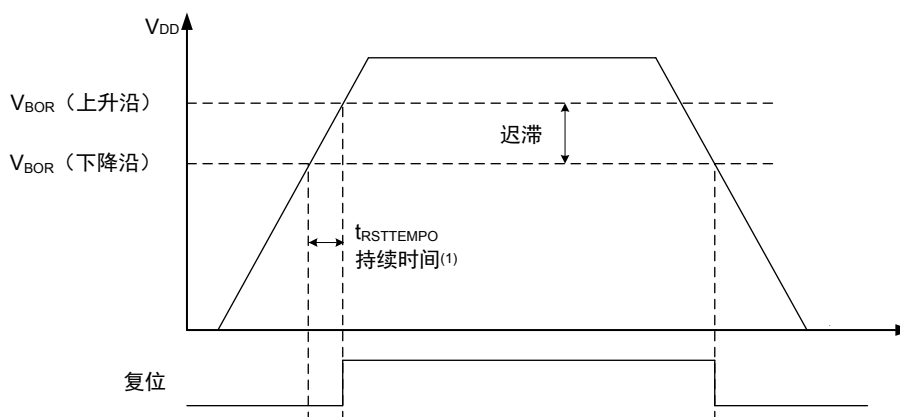
器件具有欠压复位(BOR)电路。除关断模式外, BOR 在所有功耗模式下均激活, 且不可禁用。BOR 监测备份域电源电压, 即在存在时为 V_{DD} , 不存在时为 V_{BAT} 。

通过选项字节, 可对 5 个 BOR 阈值进行选择。

上电期间, BOR 将使器件保持复位状态, 直到电源电压 V_{DD} 达到指定的 V_{BORx} 阈值。当 V_{DD} 降至所选阈值以下时, 将使器件复位。当 V_{DD} 高于 V_{BORx} 上限时, 释放器件复位, 系统可以启动。

有关欠压复位阈值的详细信息, 参见数据手册的电气特性部分。

图 6. 欠压复位波形



(1) 复位持续时间 $t_{RSTTEMPO}$ 仅针对 BOR 最低阈值 (V_{BOR0}) 存在

2.4.2 系统复位

除了寄存器 `RCC_CSR` 中的复位标志和备份域中的寄存器外, 系统复位会将其它全部寄存器都复位为复位值。

只要发生以下事件之一, 就会产生系统复位 (参见参考手册以了解更多详细信息) :

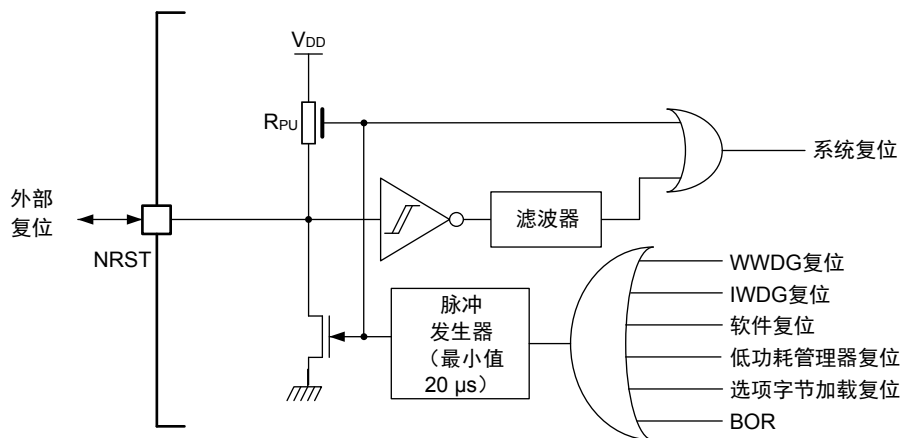
- NRST 引脚低电平 (外部复位)
- 窗口看门狗事件 (WWDG 复位)
- 独立看门狗事件 (IWDG 复位)
- 软件复位
- 低功耗模式安全复位
- 选项字节加载复位
- 欠压复位

这些源均作用于 NRST 引脚, 该引脚在时延阶段中始终保持低电平。通过启动选项字节选择复位服务入口向量。

芯片内部的复位信号会向 NRST 引脚上输出一个低电平脉冲。脉冲发生器可确保每个内部复位源的复位脉冲都至少持续 20 μs 。对于外部复位, 在 NRST 引脚处于低电平时产生复位脉冲。

内部复位情况下, 内部上拉 RPU 失效, 从而节约功耗。

图 7. 复位电路简化框图



2.4.3

备份域复位

只要发生以下事件之一，就会产生备份域复位：

- 软件复位，通过在 **RCC_BDCR** 寄存器中设置 **BDRST** 位来触发
- 在电源 V_{DD} 和 V_{BAT} 都已掉电后，其中任何一个又再上电

备份域复位仅影响 **LSE** 振荡器、**RTC** 和 **TAMP**、备份寄存器、备份 **SRAM**、**RCC_BDCR** 和 **PWR_BDCR1** 寄存器。

3 封装

3.1 封装总览

封装选择必须考虑一些主要取决于应用的限制。

下面汇总了最常见的一些限制：

- 需要的接口数量：部分封装可能缺乏某些接口。某些接口组合在有的封装上可能没有。
- PCB 技术限制：窄间距和高焊球密度可能要求更多的 PCB 层数和更高级的 PCB。
- 封装高度
- 可用的 PCB 面积
- 噪声发射或者高速接口的信号完整性
- 更小的封装通常具有更好的信号完整性。由于窄间距和高焊球密度需要多层 PCB，这样可以有更好的电源/地分布，因此这一点得到进一步增强。
- 与其它器件的兼容性

表 1. STM32U575/585 封装总览

封装	尺寸(mm) ⁽¹⁾	脚间距(mm)	高度(mm) ⁽²⁾	无 SMPS	有 SMPS
UFQFN48	7 x 7	0.5	0.6	X	X
LQFP48	7 x 7	0.5	1.6	X	X
LQFP64	10 x 10	0.5	1.6	X	X
WLCSP90	4.20 x 3.95	0.4	0.59	-	X
LQFP100	14 x 14	0.5	1.6	X	X
UFBGA132	7 x 7	0.5	0.6	X	X
LQFP144	20 x 20	0.5	1.6	X	X
UFBGA169	7 x 7	0.5	0.6	X	X

1. 主体尺寸，不包括 LQFP 引脚。

2. 最大值。

3.2 引脚排列总览

表 2. STM32U575/585 引脚排列总览

引脚名称	STM32U575xx 和 STM32U585xx 封装（无 SMPS）						STM32U575xQ 和 STM32U585xQ 封装（有 SMPS）						
	LQFP48 UFQFPN48	LQFP64	LQFP100	UFBGA132	LQFP144	UFBGA169	LQFP48 SMPS UFQFPN48 SMPS	LQFP64 SMPS	WLCSP90 SMPS	LQFP100 SMPS	UFBGA132 SMPS	LQFP144 SMPS	UFBGA169 SMPS
特定 I/O													
PC14-OSC32_IN	X ⁽¹⁾	X	X	X	X	X	X	X	X	X	X	X	X
PC15-OSC32_OUT	X	X	X	X	X	X	X	X	X	X	X	X	X
PH0-OSC_IN	X	X	X	X	X	X	X	X	X	X	X	X	X
PH1-OSC_OUT	X	X	X	X	X	X	X	X	X	X	X	X	X
系统引脚													
NRST	X	X	X	X	X	X	X	X	X	X	X	X	X
PH3-BOOT0	X	X	X	X	X	X	X	X	X	X	X	X	X
电源引脚													
VBAT	X	X	X	X	X	X	X	X	X	X	X	X	X
VDDUSB	-(2)	X	X	X	X	X	-	X	X	X	X	X	X
VSSA ⁽³⁾	o	o	X	o	X	o	o	o	o	o	o	o	o
VREF-	o	o	X	o	X	o	o	o	o	o	o	o	o
VREF+ ⁽⁴⁾	o	o	X	o	X	X	o	o	X	X	X	X	X
VDDA	o	o	X	o	X	X	o	o	X	X	X	X	X
VDDIO2	-	-	-	X	X	X	-	-	X	-	X	X	X
VDD11	-	-	-	-	-	-	X	X	X	X	X	X	X
VDDSMPS	-	-	-	-	-	-	X	X	X	X	X	X	X
VSSSMPS	-	-	-	-	-	-	X	X	X	X	X	X	X
VLXSMPS	-	-	-	-	-	-	X	X	X	X	X	X	X
VCAP	X	X	X	X	X	X	-	-	-	-	-	-	-
VDD 数量	3	3	5	6	9	10	3	3	4	5	6	9	10
VSS 数量	3	4	5	6	11	11	3	3	4	5	6	11	11

1. 'X'表示引脚存在。
2. '-'表示引脚不存在。
3. 'o'表示 VSSA 和 VREF-内部连接且在单个引脚上可用。
4. 'o'表示 VDDA 和 VREF+内部连接且在单个引脚上可用。

Caution: 在上表的几乎所有电源引脚中，有 SMPS 和无 SMPS 的 STM32U575/585 封装彼此无法兼容。

示例：在有 SMPS 的封装上，VDDIO2 为引脚号 130。而在无 SMPS 的封装上，引脚 130 映射到 VSS 引脚。这意味着在 SMPS 插座上安装传统封装时，系统短路。

4 时钟

可以使用下列时钟源来驱动系统时钟 (SYSCLK):

- HSI16: 高速内部 16 MHz RC 振荡器时钟
- MSIS: 多种速率内部 RC 振荡器时钟
- HSE: 高速外部晶振或时钟, 从 4 到 50 MHz
- PLL1 时钟

从复位中启动后, MSIS 用作系统时钟源, 配置为 4 MHz。

器件具有以下附加时钟源:

- MSIK: 多种速率内部 RC 振荡器时钟, 用于外设内核时钟
- LSI: 32 kHz 低速内部 RC, 该 RC 用于驱动独立看门狗, 也可选择提供给 RTC 用于停机和待机模式下的自动唤醒
- LSE: 32.768 kHz 低速外部晶振或时钟, 用于驱动实时时钟(rtc_ck)
- HSI48: 内部 48 MHz RC, 该 RC 用于潜在驱动 OTG FS、SDMMC 和 RNG
- SHSI: 安全高速内部 RC, 该 RC 用于驱动安全 AES (SAES)。
- PLL2 和 PLL3 时钟

对于每个时钟源来说, 在未使用时都可单独开启或者关闭, 以降低功耗。

多个预分频器可用于配置 AHB 和 APB 频率域, 最大频率为 160 MHz。

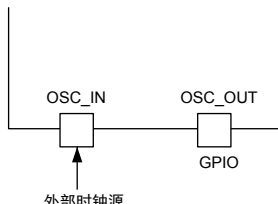
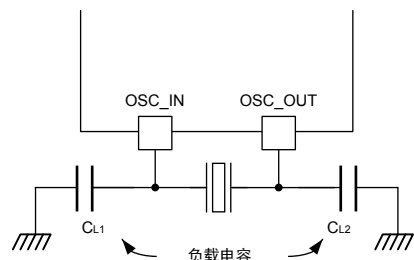
4.1 HSE 时钟

高速外部时钟信号(HSE)有以下几个时钟源:

- HSE 外部晶振/陶瓷谐振器
- HSE 用户外部时钟, 提供 OSC_IN 引脚

谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

表 3. HSE/LSE 时钟源

时钟源	硬件配置
外部时钟	
晶振/陶瓷谐振器	 CL1 和 CL2 值取决于石英。有关更多详细信息, 请参见应用笔记《STM8AF/AL/S 和 STM32 微控制器的振荡器设计指南》(AN2867)。

4.1.1 外部晶振/陶瓷谐振器 (HSE 晶振)

4 到 50 MHz 外部振荡器的优点是可以生成一个精度非常高的主时钟。相关的硬件配置如表 3 所示。有关详细信息，请参见数据手册的电气特性部分。

4.1.2 外部时钟源 (HSE 旁路)

在此模式下，必须提供外部时钟源，频率高达 50 MHz。必须使用占空比约为 40% 至 60% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC_IN 引脚，具体取决于频率（参考数据手册），同时 OSC_OUT 引脚可用作 GPIO 使用（请参见表 3）。

提示 有关引脚可用性的详细信息，请参见数据手册的引脚排列部分。要最大程度降低功耗，建议采用方波信号。

4.2 HSI16 时钟

HSI16 时钟信号是从 16 MHz 内部 RC 振荡器生成的。HSI16 RC 振荡器以低成本提供时钟源（无需使用外部元件）。它还比 HSE 晶振具有更快的启动时间。但即使校准后，频率也不如外部晶振或陶瓷谐振器的频率精度高。

HSI16 时钟还可作为备份时钟源（辅助时钟）使用，以防 HSE 晶振发生故障。

有关更多详细信息，请参见参考手册的“时钟安全系统(CSS)”部分。

4.3 MSI (MSIS 和 MSIK) 时钟

MSI 由四个内部 RC 振荡器组成：MSIRC0 (48 MHz)、MSIRC1 (4 MHz)、MSIRC2 (3.072 MHz) 和 MSIRC3 (400 kHz)。每个振荡器提供一个预分频器，从而提供 1、2、3 或 4 分频。

由这些分频振荡器生成两个输出时钟：

- MSIS，可选择作为系统时钟
- MSIK，可由一些外设选择作为内核时钟

可由软件分别使用 RCC_ICSCR1 寄存器中的 MSISRANGE [3:0] 和 MSIKRANGE [3:0] 字段（且 MSIRGSEL = 1）来调整 MSIS 和 MSIK 频率范围。提供十六个频率范围，由四个内部 RC 生成（参见参考手册以了解更多详细信息）。

如果 HSE 晶振发生故障，则 MSI 时钟还可作为备份时钟源（辅助时钟）（参见参考手册中的“时钟安全系统(CSS)”部分）。

MSI 振荡器可提供一个低成本（无外部元件）低功耗的时钟源。此外，当和 LSE 一起用于 PLL 模式时，MSI 可提供一个非常精确的时钟源，该时钟源可用于 USB OTG-FS 外设，并且向 PLL 反馈，使系统以最大速率 160 MHz 运行。

利用 LSE 进行硬件自动校准 (PLL 模式)

当应用中存在 32.768 kHz 外部振荡器时，MSIS 或 MSIK 可配置为 PLL 模式。此模式已启用，如下所示：

- 对于 MSIS：在 RCC_CR 寄存器中将 MSIPLLEN 位置为 1
- 对于 MSIK：在 RCC_CR 寄存器中将 MSIPLLEN 位置为 0

如果 MSIS 和 MSIK 范围是从同一 MSIRC 源生成的，则 PLL 模式应用于 MSIS 和 MSIK。当配置为 PLL 模式时，MSIS 或 MSIK 可利用 LSE 自动校准。该模式可用于所有 MSI 频率范围。48 MHz 时，处于 PLL 模式的 MSIK 可用于 USB OTG FS 器件，不需要外部高速晶振。

关于如何测量 MSI 频率偏移的更多详细信息，参见参考手册的“利用 TIM15/TIM16/TIM17 的内部/外部时钟测量”部分。

4.4 LSE 时钟

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器（参见表 3）。它为 RTC（实时时钟）外设提供低功耗且精度高的时钟源，用于时钟/日历或其他定时功能。

使用 RCC_BDCR 寄存器中的 LSEDRV[1:0] 位，可在运行时更改晶振驱动强度，以实现稳定性、短启动时间和低功耗之间的最佳平衡。

外部时钟源 (LSE 旁路)

在此模式下，必须提供频率高达 1 MHz 的外部时钟源。必须使用占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC32_IN 引脚，同时 OSC32_OUT 引脚可以作为 GPIO 使用（参见表 3）。

5 自举配置

5.1 启动模式选择

启动时，可通过 **BOOT0** 引脚、**nBOOT0** 和 **NSBOOTADDx[24:0]/SECBOOTADD0[24:0]** 选项字节来选择启动存储器地址，启动地址包括：

- 从用户 **Flash** 存储器中的任何地址启动
- 从系统存储器启动（自举程序）
- 从嵌入式 **SRAM** 中的任何地址启动
- 从根安全服务(RSS)启动

BOOT0 值可能来自 **PH3-BOOT0** 引脚或选项位，具体取决于在需要时释放 **GPIO** 焊盘的用户选项位的值。当通过复位 **TZEN** 选项位(**TZEN = 0**)禁用 **TrustZone**®时，启动空间如下表中详述。

表 4. 禁用 TrustZone 时的自举模式(TZEN = 0)

nBOOT0 FLASH_ OPTR[27]	BOOT0 引脚 PH3	nSWBOOT0 FLASH_ OPTR[26]	启动地址选项-字节选择	自举区域	ST 编程的默认值
-	0	1	NSBOOTADD0[24:0]	自举地址由用户选择比特 NSBOOTADD0[24:0]定义	闪存: 0x0800 0000
-	1	1	NSBOOTADD1[24:0]	自举地址由用户选择比特 NSBOOTADD1[24:0]定义	自举程序: 0x0BF9 0000
1	-	0	NSBOOTADD0[24:0]	自举地址由用户选择比特 NSBOOTADD0[24:0]定义	闪存: 0x0800 0000
0	-	0	NSBOOTADD1[24:0]	自举地址由用户选择比特 NSBOOTADD1[24:0]定义	自举程序: 0x0BF9 0000

当通过设置 **TZEN** 选项位 (**TZEN = 1**) 启用 **TrustZone** 时，启动空间必须位于安全区域。**SECBOOTADD0[24:0]** 选项字节用于选择启动安全内存地址。可通过设置 **BOOT_LOCK** 选项位选择唯一的启动条目选项。所有其他启动选项将被忽略。

下表详细介绍了启用 **TrustZone** 时的自举模式。

表 5. 启用 TrustZone 时的自举模式(TZEN = 1)

BOOT_ LOCK	nBOOT0 FLASH_ OPTR[27]	BOOT0 引脚 PH3	nSWBOOT0 FLASH_ OPTR[26]	RSS 指令	启动地址选项-字节选择	自举区域	ST 编程的默认值
0	-	0	1	0	SECBOOTADD0[24:0]	安全启动地址由用户选择比特 SECBOOTADD0[24:0]定义	闪存: 0x0C00 0000
	-	1	1	0	N/A	RSS	RSS: 0x0FF8 0000
	1	-	0	0	SECBOOTADD0[24:0]	安全启动地址由用户选择比特 SECBOOTADD0[24:0]定义	闪存: 0x0C00 0000
	0	-	0	0	N/A	RSS	RSS: 0x0FF8 0000
	-	-	-	≠ 0	N/A	RSS	RSS: 0x0FF8 0000
1	-	-	-	-	SECBOOTADD0[24:0]	安全启动地址由用户选择比特 SECBOOTADD0[24:0]定义	闪存: 0x0C00 0000

5.2 嵌入式加载程序和 RSS

嵌入式自举程序位于系统存储器中，由意法半导体在生产阶段编程。它被用来通过使用下列串行接口之一重新编程：

- USART：引脚 PA9/PA10 上的 USART1，引脚 PA2/PA3 上的 USART2，引脚 PC10/PC11 上的 USART3
- I2C：引脚 PB6/PB7 上的 I2C1，引脚 PB10/PB11 上的 I2C2 和引脚 PC0/PC1 上的 I2C3
- SPI：引脚 PA4/PA5/PA6/PA7 上的 SPI1、引脚 PB12/PB13/PB14/PB15 上的 SPI2 和引脚 PB5/PG9/PG10/PG12 上的 SPI3
- 引脚 PB8/PB9 上的 FDCAN1
- 引脚 PA11/PA12 上的 USB，通过 DFU（器件固件升级）在器件模式中使用

有关 STM32 加载程序的更多详细信息，请参见应用笔记《STM32 微控制器系统存储器自举模式》(AN2606)。

RSS（根安全服务）嵌入在名为“安全信息块”的 Flash 存储区，在 ST 生产期间编程。

例如，RSS 使用 RSS 扩展固件(RSSe SFI)启用 SFI（安全固件安装）。当生产被分包给第三方时，该特性允许客户保护烧写到 STM32 器件的固件的机密性。参照应用笔记安全固件安装（SFI）概述（AN4992）。

在通过 TZEN 选项位启用 TrustZone 后，RSS 在所有器件上可用。

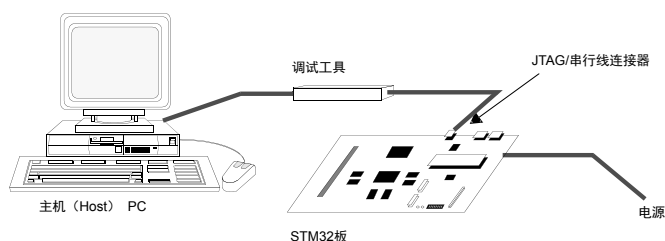
6 调试管理

串行线/JTAG 调试端口(SWJ-DP)是 Arm 标准 CoreSight™ 调试端口。

主机/目标接口为连接主机与应用板的硬件设备。此接口由三部分组成：硬件调试工具、串行线连接器，以及连接主机与调试工具的电缆。

下图显示了主机到开发板的连接。

图 8. 主机到板的连接



Nucleo 演示板内置了调试工具（ST-LINK），所以它可通过 USB 线直接连至 PC。

6.1 SWJ-DP（串行线和 JTAG 调试端口）

SWJ-DP 整合了：

- JTAG-DP，提供用于连接到 AHP-AP 端口的 5 引脚标准 JTAG 接口
- SW-DP，提供用于连接到 AHP-AP 端口的 2 引脚（时钟+数据）接口

在 SWJ-DP 中，SW-DP 的 2 个 JTAG 引脚与 JTAG-DP 的 5 个 JTAG 引脚中的部分引脚复用。

提示

所有 SWJ-DP 端口 IO 都可以通过软件重新配置为其他功能，不过在这种情况下不能再进行调试。

6.2 引脚排列和调试端口引脚

器件的不同封装有不同的有效引脚数。因此，一些与引脚可用性有关的功能可能会因封装不同而不同。

6.2.1 SWJ-DP 引脚

五个引脚被用作 SWJ-DP 的输出，作为 GPIO（通用 I/O）的复用功能。所有封装（如下表详述）都提供这些引脚。

表 6. 调试端口引脚分配

SWJ-DP 引脚	JTAG 调试端口		SW 调试端口		引脚分配
	类型	说明	类型	调试分配	
JTMS/SWDIO	输入	JTAG 测试模式选择	输入/输出	串行线数据输入/输出	PA13
JTCK/SWCLK	输入	JTAG 测试时钟	输入	串行线时钟	PA14
JTDI	输入	JTAG 测试数据输入	-	-	PA15
JTDO/TRACESWO	输出	JTAG 测试数据输出	-	TRACESWO（如果使能异步跟踪）	PB3
JNTRST	输入	JTAG 测试 nReset	-	-	PB4

6.2.2 灵活的 SWJ-DP 引脚分配

复位（SYSRESETn 或 PORESETn）后，将用于 SWJ-DP 的全部 5 个引脚指定为专用引脚，可供调试工具立即使用。

提示

除非由调试工具明确编程，否则不分配跟踪输出。

下表显示释放一些引脚的多种可能性（有关更多详细信息，参见参考手册）。

表 7. 用到的 SWJ-DP I/O 引脚

可用的调试端口	分配的 SWJ-DP I/O 引脚				
	PA13/ JTMS/ SWDIO	PA14 / JTCK/ SWCLK	PA15 / JTDI	PB3 / JTDO	PB4/ JNTRST
全 SWJ-DP (JTAG-DP + SW-DP) 复位状态	X	X	X	X	X
全部 SWJ-DP (JTAG-DP + SW-DP)，但不包括 JNTRST	X	X	X	X	-
禁止 JTAG-DP 和使能 SW-DP	X	X	-		
禁止 JTAG-DP 和禁止 SW-DP	已释放				

6.2.3 JTAG 引脚上的内部上拉和下拉电阻

JTAG 输入引脚不得悬空，因为这些引脚直接连接到用于控制调试模式功能的触发器。还必须特别注意 SWCLK/TCK 引脚，该引脚直接连接到一些触发器的时钟。

为避免 I/O 电平浮空，器件在 JTAG 输入引脚上嵌入以下内部电阻：

- JNTRST：内部上拉
- JTDI：内部上拉
- JTMS/SWDIO：内部上拉
- TCK/SWCLK：内部下拉

用户软件释放 JTAG I/O 后，GPIO 控制器便会重新对其进行控制，然后，软件可将这些 I/O 作为标准 GPIO。GPIO 控制寄存器的复位状态会将 I/O 置于以下同等状态：

- JNTRST：输入上拉
- JTDI：输入上拉
- JTMS/SWDIO：输入上拉
- JTCK/SWCLK：输入下拉
- JTDO：输入浮空

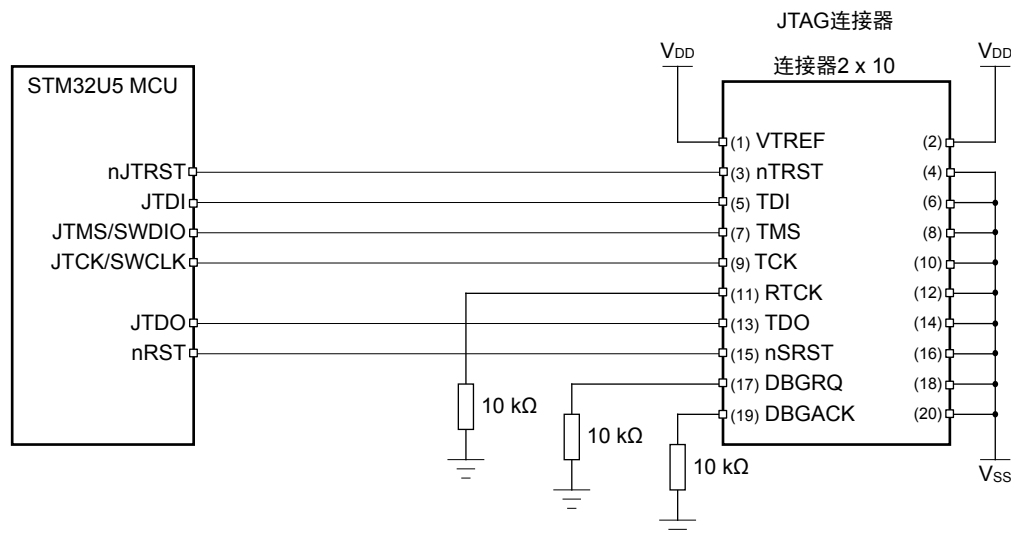
提示

JTAG IEEE 标准建议在 TDI、TMS 和 nTRST 上增加上拉电阻，但对 TCK 没有特殊建议。然而，就器件而言，针对 JTCK 采用了集成的下拉电阻。由于带有上拉和下拉电阻，因此无需添加外部电阻。

6.2.4 使用标准 JTAG 连接器的 SWJ-DP 连接

下图显示了器件和标准 JTAG 连接器之间的连接。

图 9. JTAG 连接器实现



6.3 串行线调试 (SWD) 引脚分配

所有封装（如下表详述）都提供相同的 SWD 引脚分配。

表 8. SWD 端口引脚

SWD 引脚	SWD 端口		引脚分配
	类型	调试分配	
SWDIO	输入/输出	串行线数据输入/输出	PA13
SWCLK	输入	串行线时钟	PA14

复位后，将用于 SWD 的引脚指定为专用引脚，可供调试工具立即使用。

但是，MCU 为禁用 SWD 提供了可能，因此可释放相关引脚供 GPIO 使用。

有关如何禁用 SWD 端口的更多详细信息，请参见参考手册的“I/O 引脚复用功能复用器和映射”部分。

6.3.1 SWD 引脚上的内部上拉和下拉

用户软件释放 SWD I/O 后，GPIO 控制器便会控制它。GPIO 控制寄存器的复位状态会将 I/O 置于同等状态：

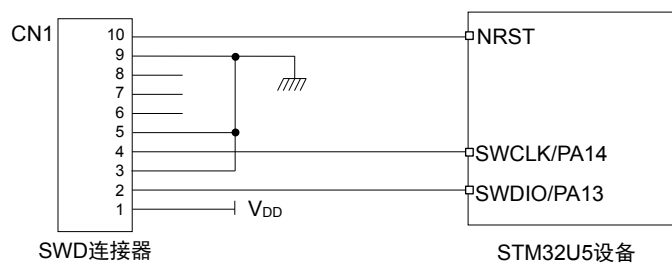
- SWDIO：复用功能上拉
- SWCLK：复用功能下拉

由于带有上拉和下拉电阻，因此无需添加外部电阻。

6.3.2 使用标准 SWD 连接器的 SWD 端口连接

下图显示了器件和标准 SWD 连接器之间的连接。

图 10. SWD 连接器实现



7 建议

7.1 PCB（印刷电路板）

由于技术原因，最好使用多层 PCB 的单独一层专用于接地（ V_{SS} ），另一层专用于 V_{DD} 供电。

这提供了不错的去耦和屏蔽效果。对于很多应用，由于经济原因不能使用此类板。在这种情况下，主要要求就是要确保接地和供电有良好的结构。

7.2 元件位置

PCB 的初始布局必须将电路分为不同模块：

- 高电流电路
- 低电压电路
- 数字元件电路
- 根据电路的 EMI 影响分离电路，以降低因 PCB 上的交叉耦合产生的噪音

7.3 接地和供电

必须遵守与接地相关的以下规则：

- 使每个块（噪声、低电平敏感、数字或其他）单独接地。
- 将所有接地返回为一个点。
- 避免出现环路（或确保其具有最小面积）。

为提高模拟性能，用户必须对 V_{DD} 和 V_{DDA} 使用单独的电源，将去耦电容放置在离器件尽可能近的位置。

供电（ V_{SS} 、 V_{DD} 、 V_{SSA} 、 V_{DDA} 、 V_{DDUSB} 、 V_{DDIO2} 或 V_{DDSMPS} ）必须靠近地线实现，以最小化供电环的面积。这是因为供电环起到了天线及 EMI 主发收的作用。所有无元件的 PCB 区域都必须填充额外的接地，以创造屏蔽环境（尤其是当使用单层 PCB 时）。

7.4 去耦

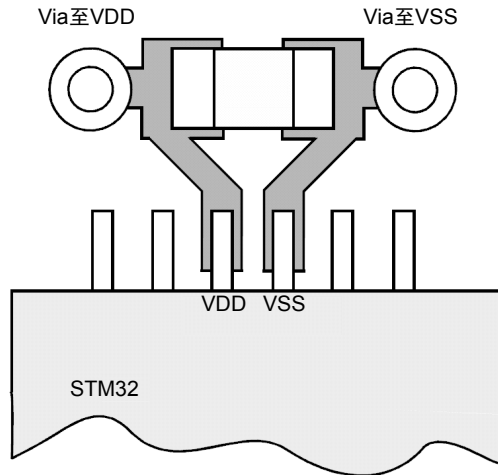
所有供电和接地引脚都必须适当连至供电电源。这些连接（包括焊盘、线和过孔）都必须有尽可能低的阻抗。典型情况下，这可通过使用粗的线宽做到，最好在多层 PCB 中使用专用供电层。

此外，每个供电电源都必须使用滤波陶瓷电容（100 nF）及约 10 μ F 的钽电容或陶瓷电容去耦，两个电容并联在器件上。

在某些封装中，多个 V_{DD} 引脚使用同一个 V_{SS} 引脚，而不是一对电源引脚（每个 V_{DD} 对应一个 V_{SS} ）。这种情况下，电容必须处于每个 V_{DD} 引脚和公共 V_{SS} 引脚之间。这些电容必须放置在 PCB 尽可能接近适当引脚的位置，或在这些引脚下面 PCB 的底层。其典型值为 10 至 100 nF，但准确值取决于应用需要。

下图显示了这种 VDD/VSS 引脚对的典型布局。

图 11. VDD/VSS 引脚对的典型布局



7.5 其它信号

当设计应用时，可通过仔细研究以下几点来提高 EMC 性能：

- 临时扰动会永久影响运行过程的信号（中断和握手选通信号就是这个情况，但 LED 指令不是这个情况）
对于这些信号，可使用周围接地跟踪、更短的长度、无噪声、附近敏感跟踪（串扰影响）提高 EMC 性能。
对于数字信号，两个逻辑状态必须达到可能的最佳电气边界。建议使用慢速施密特触发器消除寄生状态。
- 噪声信号（例如：时钟）
- 敏感信号（例如：高阻）

7.6 不使用的 I/O 和特性

所有微控制器都是为多种应用设计的，通常一个应用不会使用 100 % 的 MCU 资源。

为了提高 EMC 性能和避免额外功耗，器件不使用的功能必须禁用且与时钟树断开连接，如下所示：

- 不使用的时钟源必须禁用。
- 不使用的 I/O 不得浮空。
- 不使用的 I/O 引脚必须由软件配置为模拟输入，且必须通过外部或内部上拉或下拉连接到固定逻辑电平 0 或 1，或使用软件配置为输出模式。

8 参考设计

8.1 说明

下图中显示的参考设计基于 LQFP144 中的 STM32U575/585 器件。使用第 8.2 节中给出的引脚对应关系，可将不同封装的任何 STM32U575/585 器件定制此参考设计。

时钟

两个时钟源用于 MCU（参见第 4 节以了解更多详细信息）：

- LSE: X2 - 32.768 kHz 晶振用于嵌入式 RTC
- HSE: X1- 16 MHz 晶振，用于 MCU

更多详细信息，参见第 4 节。

复位

复位信号在第 8.2 节中显示的参考设计图中为低电平有效。

复位源包括：

- 复位按钮（B1）
- 调试工具通过连接器 CN1 连接

更多详细信息，参见第 2.4 节。

自举模式

用户可以在板上添加一个开关，以更改自举选项。

更多详细信息，参见第 5 节。

提示

当从待机模式唤醒时，**BOOT** 引脚被采样，且用户必须注意其值。

SWD 接口

参考设计显示了 STM32U575/585 器件和标准 SWD 连接器之间的连接。

更多详细信息，参见第 6 节。

提示

建议连接复位引脚，以便能从工具复位应用。

电源

更多详细信息，参见第 2 节。

8.2 元件参考

下表列出了 STM32U5 参考设计的组件（基于 STM32U5 Nucleo 板）：

- 包括在无 SMPS 的 STM32U575xx 器件上（参见图 12）
- 包括在有 SMPS 的 STM32U575xxQ 器件上（参见图 13）

表 9. STM32U575xx 参考设计的组件

参考	类型	值	数量	注释
B1	按钮	-	1	-
C4, C6	陶瓷电容	1 μ F	2	去耦电容 C6 用于内部 VREFBUF
C2, C20	钽或陶瓷电容	10 μ F	2	封装所需的去耦电容
C1、C3 (x9)、C5、 C7、C9、 C10、C12、 C17、C21、 C22、C23、 C24	陶瓷电容	100 nF	20	靠近每个外部电源引脚
C18, C19	钽或陶瓷电容	2.2 μ F	2	对于有 SMPS 的封装 VDD11 引脚而言是必要的
C8, C11		4.7 μ F		C8 用作去耦电容 内部 LDO 稳压器所需的 C11
C13, C14		3.9 pF		用于 LSE：值取决于晶振特性（参见应用笔记 《STM8AF/AL/S 和 STM32 微控制器的振荡器设计指南》(AN2867)
C15, C16		6.8 pF		
L1	线圈	2.2 μ H	1	VLXSMPS 引脚上的 SMPS 封装需要
X1	石英	32.764 kHz	1	用于 LSE
X2		16 MHz	1	用于 HSE
R1	电阻	10 K Ω	1	用于限制 VBAT 引脚上的电流
R2, R3, R4			3	用于 ST-LINK 接口
SW1	开关	-	1	用于选择正确的自举模式

Caution: 此外，每个 VDD11 或 VCAP 引脚还需要 100 nF 电容，例如，需要 PSRR（电源抑制比）。引脚和接地(GND)之间必须连接此电容。

图 12. STM32U575xxx 参考设计 (无 SMPS)

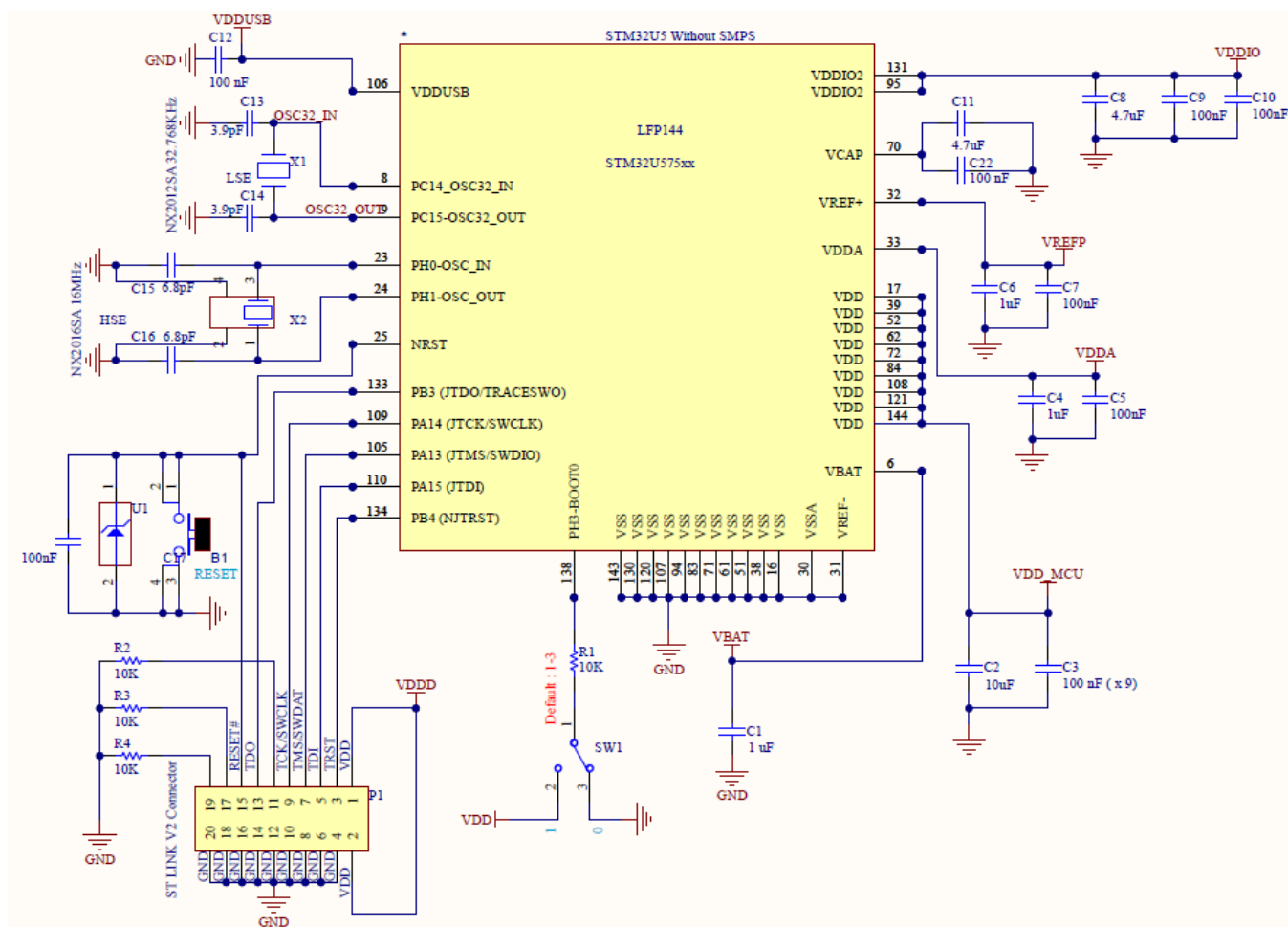
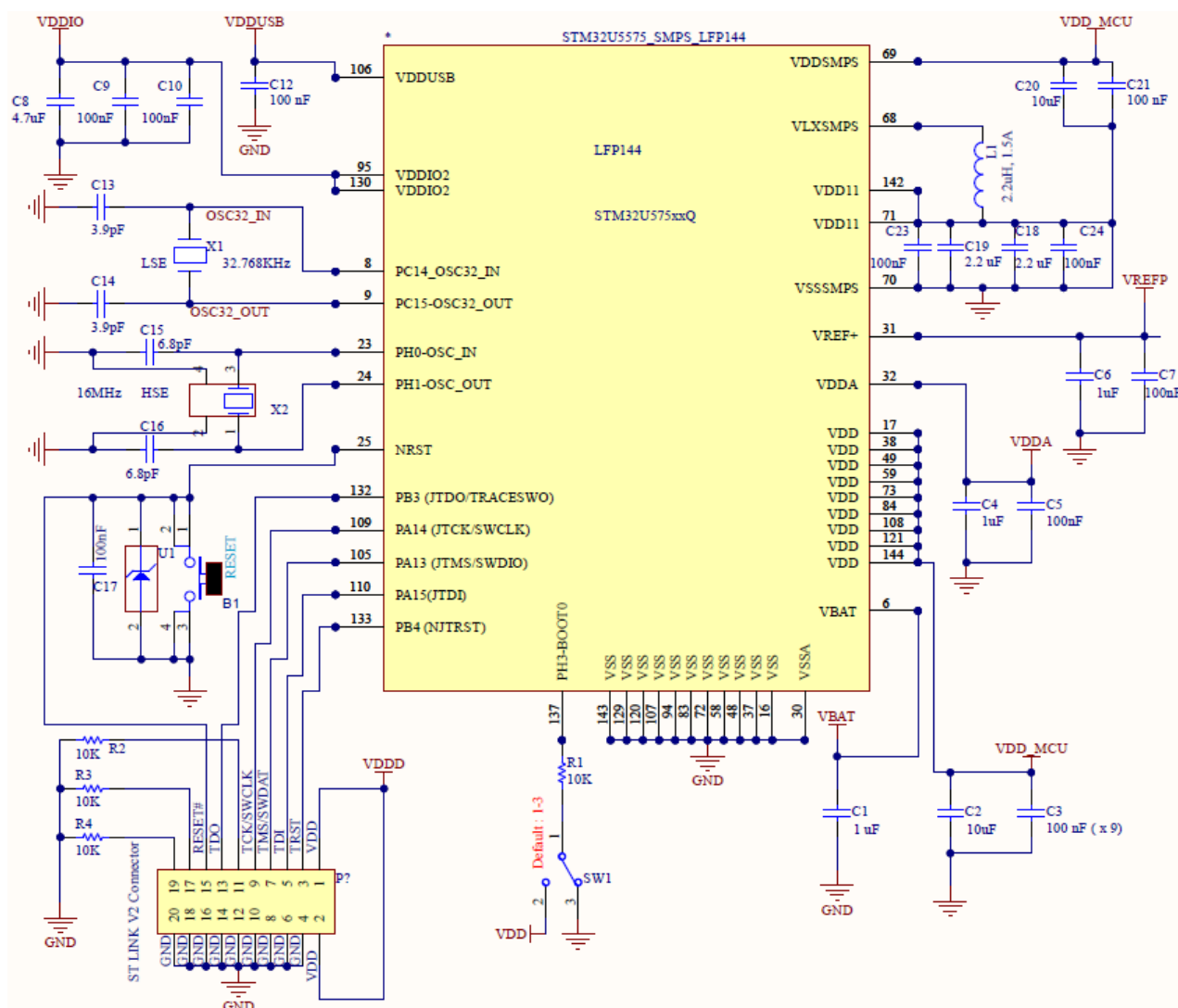


图 13. STM32U575xxQ 参考设计 (有 SMPS)



版本历史

表 10. 文档版本历史

日期	版本	变更
2021 年 6 月 21 日	1	初始版本。
2022 年 1 月 3 日	2	更新了： - 第 2 节 电源管理 - 第 8.2 节 元件参考

目录

1	概述	2
2	电源管理	3
2.1	电源	3
2.1.1	独立模拟外设电源	5
2.1.2	独立 I/O 电源轨	6
2.1.3	独立的 USB 收发器电源	6
2.1.4	电池备份域	6
2.1.5	调压器	7
2.1.6	I/O 模拟开关的供电	7
2.2	电源方案	8
2.3	V _{DDA} 、V _{DDUSB} 、V _{DDIO2} 和 V _{DD} 之间的供电排序	11
2.3.1	电源隔离	11
2.3.2	一般要求	11
2.3.3	下电阶段的特定条件	11
2.4	复位和电源监控	12
2.4.1	欠压复位 (BOR)	12
2.4.2	系统复位	12
2.4.3	备份域复位	13
3	封装	14
3.1	封装总览	14
3.2	引脚排列总览	15
4	时钟	17
4.1	HSE 时钟	17
4.1.1	外部晶振/陶瓷谐振器 (HSE 晶振)	18
4.1.2	外部时钟源 (HSE 旁路)	18
4.2	HSI16 时钟	18
4.3	MSI (MSIS 和 MSIK) 时钟	18
4.4	LSE 时钟	18
5	自举配置	19
5.1	启动模式选择	19

5.2	嵌入式加载程序和 RSS	20
6	调试管理	21
6.1	SWJ-DP（串行线和 JTAG 调试端口）	21
6.2	引脚排列和调试端口引脚	21
6.2.1	SWJ-DP 引脚	21
6.2.2	灵活的 SWJ-DP 引脚分配	22
6.2.3	JTAG 引脚上的内部上拉和下拉电阻	22
6.2.4	使用标准 JTAG 连接器的 SWJ-DP 连接	23
6.3	串行线调试 (SWD) 引脚分配	23
6.3.1	SWD 引脚上的内部上拉和下拉	23
6.3.2	使用标准 SWD 连接器的 SWD 端口连接	24
7	建议	25
7.1	PCB（印刷电路板）	25
7.2	元件位置	25
7.3	接地和供电	25
7.4	去耦	25
7.5	其它信号	26
7.6	不使用的 I/O 和特性	26
8	参考设计	27
8.1	说明	27
8.2	元件参考	28
	版本历史	31
	目录	32
	表一览	34
	图一览	35

表一览

表 1.	STM32U575/585 封装总览	14
表 2.	STM32U575/585 引脚排列总览	15
表 3.	HSE/LSE 时钟源	17
表 4.	禁用 TrustZone 时的自举模式(TZEN = 0)	19
表 5.	启用 TrustZone 时的自举模式(TZEN = 1)	19
表 6.	调试端口引脚分配	21
表 7.	用到的 SWJ-DP I/O 引脚	22
表 8.	SWD 端口引脚	23
表 9.	STM32U575xx 参考设计的组件	28
表 10.	文档版本历史	31

图一览

图 1.	STM32U575xx 和 STM32U585xx 电源概述（无 SMPS）	4
图 2.	STM32U575xQ 和 STM32U585xQ 电源概述（有 SMPS）	5
图 3.	STM32U575x 和 STM32U585x（无 SMPS）的供电方案	9
图 4.	STM32U575xQ 和 STM32U585xQ（具有 SMPS）的供电方案	10
图 5.	上电/下电序列	11
图 6.	欠压复位波形	12
图 7.	复位电路简化框图	13
图 8.	主机到板的连接	21
图 9.	JTAG 连接器实现	23
图 10.	SWD 连接器实现	24
图 11.	VDD/VSS 引脚对的典型布局	26
图 12.	STM32U575xxx 参考设计（无 SMPS）	29
图 13.	STM32U575xxQ 参考设计（有 SMPS）	30

IMPORTANT NOTICE – PLEASE READ CAREFULLY

STMicroelectronics NV and its subsidiaries ("ST") reserve the right to make changes, corrections, enhancements, modifications, and improvements to ST products and/or to this document at any time without notice. Purchasers should obtain the latest relevant information on ST products before placing orders. ST products are sold pursuant to ST's terms and conditions of sale in place at the time of order acknowledgement.

Purchasers are solely responsible for the choice, selection, and use of ST products and ST assumes no liability for application assistance or the design of Purchasers' products.

No license, express or implied, to any intellectual property right is granted by ST herein.

Resale of ST products with provisions different from the information set forth herein shall void any warranty granted by ST for such product.

ST and the ST logo are trademarks of ST. For additional information about ST trademarks, please refer to www.st.com/trademarks. All other product or service names are the property of their respective owners.

Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2022 STMicroelectronics – All rights reserved