
STM32G0 系列硬件开发入门

引言

本应用笔记为系统开发者们提供了所需的开发板特性硬件实现概述，如供电电源、时钟管理、复位控制、自举模式设置、调试管理。它显示了如何使用 **STM32G0** 系列器件，说明了开发应用所需的最低硬件资源。

本文档还包含详细参考设计原理图以及主要组件、接口和模式的相关说明。

1 STM32G0 系列的供电和复位源

本节描述 STM32G0 系列器件的供电方案以及复位和供电监控器。

STM32G0 系列是基于 Arm® 的器件。

提示

Arm 是 Arm Limited（或其子公司）在美国和/或其他地区的注册商标。

arm

1.1 STM32G0 系列的电源

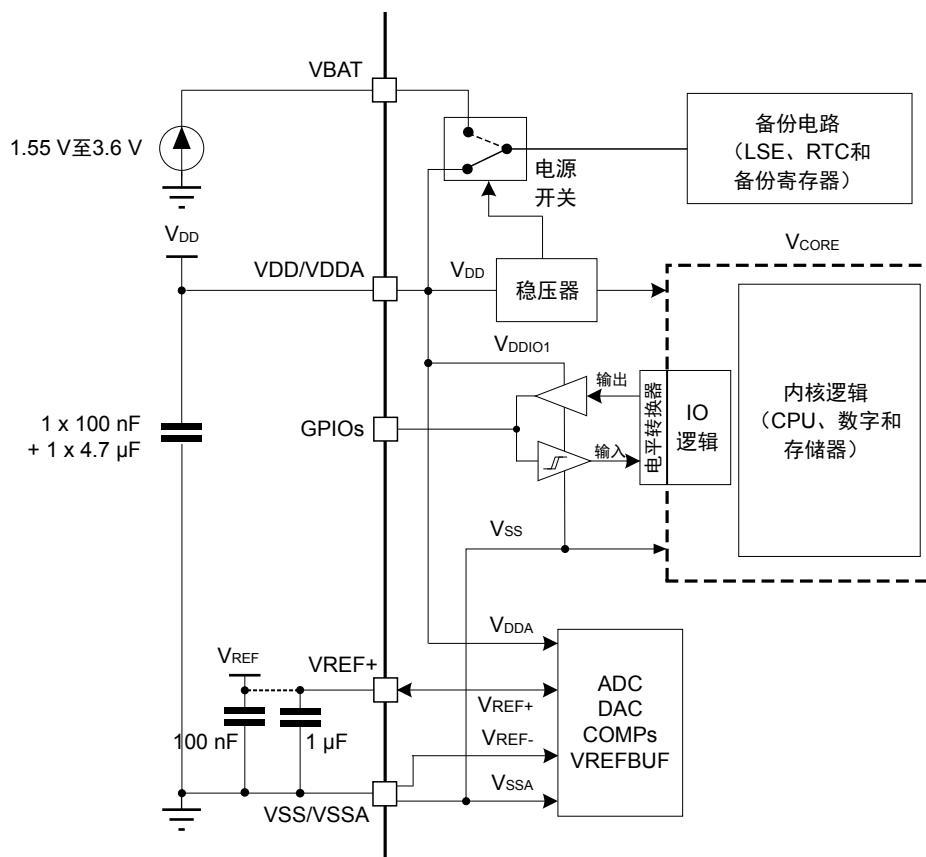
STM32G0 系列器件的工作电压 (V_{DD}) 要求介于 1.7 V 至 3.6 V 之间。为特定外设提供多种不同电源：

- $V_{DD} = 1.7\text{ V}$ (1.60 V) 至 3.6 V
 V_{DD} 是为内部调压器和系统模拟信号（如复位、电源管理和内部时钟）供电的外部电源。通过 VDD/VDDA 引脚从外部提供。
 请注意，1.7 V 的最小电压对应于上电复位释放阈值 $V_{POR(MAX)}$ 。一旦超过此阈值且上电复位释放，在降至掉电复位阈值 $V_{PDR(MIN)}$ 前可一直保证功能。
- $V_{DDA} = 1.62\text{ V}$ (ADC 和 COMP) / 1.8 V (DAC) / 2.4 V (VREFBUF) 至 3.6 V
 V_{DDA} 是为 A/D 转换器、D/A 转换器、电压参考缓冲器和比较器供电的模拟电源。 V_{DDA} 电压电平与 V_{DD} 电压一致，因为是通过 VDD/VDDA 引脚从外部提供的。
- $V_{DDIO1} = V_{DD}$
 V_{DDIO1} 为 I/O 供电。 V_{DDIO1} 电压电平与 V_{DD} 电压一致，因为是通过 VDD/VDDA 引脚从外部提供的。
- $V_{BAT} = 1.55\text{ V}$ 至 3.6 V
 当 V_{DD} 不存在时， V_{BAT} （通过一个电源开关）为 RTC、TAMP、低速外部 32.768 kHz 振荡器和备份寄存器供电。 V_{BAT} 通过 VBAT 引脚从外部提供。当封装没有提供该引脚时，它从内部连接至 VDD/VDDA。
- V_{REF+} 是 ADC 和 DAC 的输入参考电压或内部电压参考缓冲器的输出（如使能）。当 $V_{DDA} < 2\text{ V}$ 时， V_{REF+} 必须等于 V_{DDA} 。当 $V_{DDA} \geq 2\text{ V}$ 时， V_{REF+} 必须介于 2 V 与 V_{DDA} 之间。当 ADC 和 DAC 未激活时，它可以接地。
 内部电压参考缓冲器支持两个输出电压，可利用 VREFBUF_CSR 寄存器中的 VRS 位进行配置：
 - V_{REF+} 大约为 2.048 V（要求 V_{DDA} 大于等于 2.4 V）
 - V_{REF+} 大约为 2.5 V（要求 V_{DDA} 大于等于 2.8 V） V_{REF+} 通过 VREF+ 引脚提供。对于没有 VREF+ 引脚的封装， V_{REF+} 从内部连接至 V_{DD} ，并且内部电压参考缓冲器必须保持禁用（关于封装引脚排列说明，请参考数据手册）。
- V_{CORE}
 嵌入式线性调压器用于提供 V_{CORE} 内部数字电源。 V_{CORE} 是数字外设、SRAM 和闪存的电源。闪存也由 V_{DD} 供电。

表 1. STM32G0 系列的电源

电源	STM32G0 系列
V_{DD}	1.7 至 3.6 V
V_{REF+}	当 $V_{DDA} < 2\text{ V}$ 时， V_{REF+} 必须等于 V_{DDA} 。 当 $V_{DDA} \geq 2\text{ V}$ 时， V_{REF+} 必须在 2 V 和 V_{DDA} 之间。
V_{BAT}	1.55 至 3.6 V

图 1. STM32G0 系列电源



提示

供电引脚对（VDD/VDDA 和 VSS/VSSA）必须使用上述滤波陶瓷电容去耦。这些电容器必须尽可能靠近适当的引脚放置，或放置在这些引脚下面的 PCB 底层。

1.1.1

独立模拟转换器供电

为了提高转换精度、扩展供电的灵活性，模拟域配有独立电源，可以单独滤波并屏蔽 PCB 上的噪声。

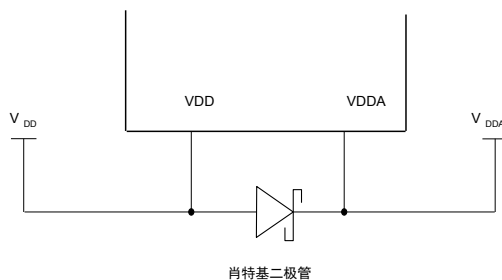
- ADC 和 DAC 电源电压从单独的 VDDA 引脚输入。
- VSSA 引脚提供了独立的电源接地连接。

VDDA 供电可大于等于 VDD。这使得 VDD 在保持为低的同时仍可为模拟块提供全部性能。

当使用单供电时，VDDA 必须外部连接至 VDD，为得到无噪声的 VDDA，建议使用外部滤波电路。

当 VDDA 不等于 VDD 时，VDDA 必须一直大于等于 VDD。在开机/关机期间，为在 VDDA 和 VDD 之间保持安全的电位差，可在 VDD 和 VDDA 之间使用外部肖特基二极管。请参考数据手册以得到最大允许的电位差。

图 2. 肖特基二极管连接



1.1.2 电池备份

为了在 V_{DD} 关闭后保留备份寄存器的内容，可以将 VBAT 引脚连接到电池或其它电源供电的可选备用电压。

VBAT 引脚还为 RTC 单元供电，因此即使当主数字供电 (V_{DD}) 关闭时 RTC 也能工作。

V_{BAT} 电源的开关由复位模块中内置的 POR/PDR 电路进行控制。

若应用中没有使用外部电池，则建议将 V_{BAT} 外部连至 V_{DD} 。

1.1.3 调压器

调压器（若器件上有）在复位后始终处于使能状态。

在两种模式下工作：

- 主调压器（MR）用于正常工作模式（运行）。
- 低功耗调压器（LPR）可用于功耗需求减少的停止模式。

在待机模式中，调压器处于掉电模式。在该模式中，调压器输出高阻抗，内核电路掉电，导致零功耗以及寄存器和 SRAM 的内容丢失。但可以使用以下功能（若配置）：

- 独立的看门狗 (IWDG)：IWDG 通过写入其密钥寄存器或使用硬件选项来启动。而且一旦启动便无法停止，除非复位。
- 实时时钟 (RTC)：通过 RTC 域控制寄存器 (RCC_BDCR) 中的 RTCEN 位进行配置。
- 内部低速振荡器 (LSI)：通过控制/状态寄存器 (RCC_CSR) 中的 LSION 位进行配置。
- 外部 32.768 kHz 振荡器 (LSE)：通过 RTC 域控制寄存器 (RCC_BDCR) 中的 LSEON 位进行配置。

1.2 STM32G0 系列的电源监控器

1.2.1 上电复位 (POR) / 掉电复位 (PDR) / 欠压复位 (BOR)

该器件具有一个集成的上电复位 (POR) / 掉电复位 (PDR)，再加上一个欠压复位 (BOR) 电路。POR/PDR 在所有功耗模式下均为激活状态。

BOR 只能通过选项字节使能或禁用。在关断模式下不可用。

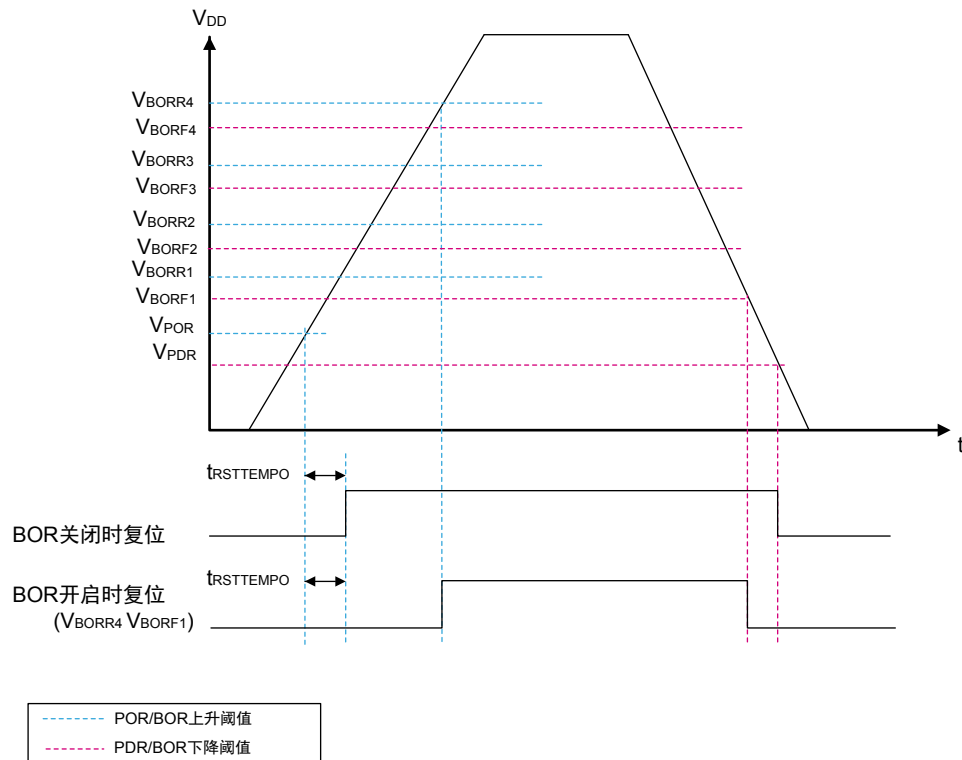
当 BOR 使能时，可以通过选项字节选择四个 BOR 电平，它们具有单独配置的上升和下降阈值。上电期间，BOR 将使器件保持复位状态，直到电源电压 V_{DD} 达到指定的 BOR 上升阈值 (V_{BORRx})。此时，释放器件复位，系统可以启动。

在掉电期间，当 V_{DD} 降至选择的 BOR 下降阈值 (V_{BORFx}) 以下时，器件再次进入复位状态。

提示

配置的 BOR 下降阈值 (V_{BORFx}) 不能大于 BOR 上升阈值 (V_{BORRx})。

图 3. POR、PDR 和 BOR 阈值

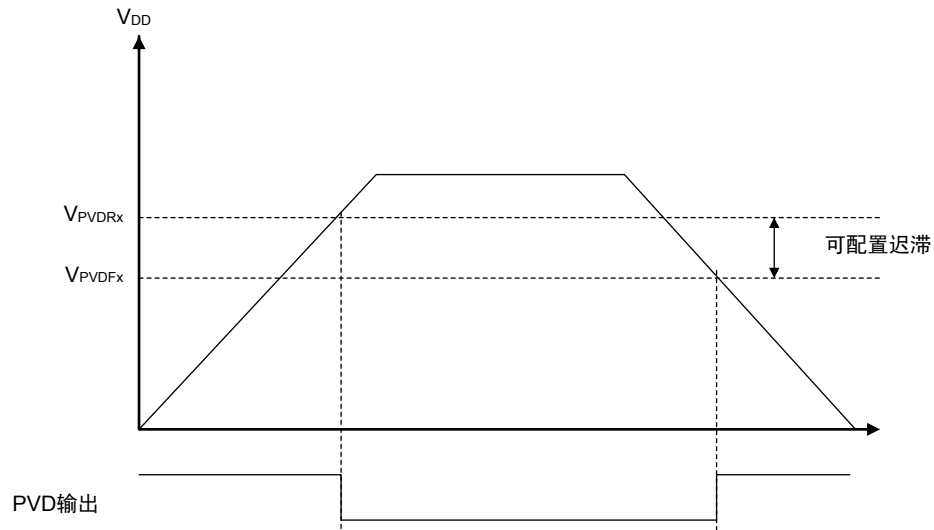


提示 复位延迟时间 $t_{RSTTEMPO}$ 在 V_{DD} 超过 V_{POR} 阈值时开始，不受 BOR 选项位配置的限制。
有关欠压复位阈值的相关详细信息，请参见相应数据手册的电气特性部分。

1.2.2 可编程电压检测器 (PVD)

可以使用可编程电压检测器 (PVD) 监视 V_{DD} 电源，将其与电源控制寄存器 2 (PWR_CR2) 中 PVDRT[2:0] 位 (上升阈值) 和 PVDFT[2:0] 位 (下降阈值) 所选的阈值进行比较。设置的 V_{PVDfx} 电压水平应始终低于 V_{PVDRx} 。通过设置 PVDE 位来使能 PVD。

状态寄存器 2 (PWR_SR2) 中提供了 PVDO 标志。它指示 V_{DD} 是大于还是小于 PVD 阈值。该事件内部连接到 EXTI 线 16，如果通过 EXTI 寄存器使能，则可以产生中断。当 V_{DD} 降至 PVD 阈值以下以及/或者当 V_{DD} 升至 PVD 阈值以上时，可以产生 PVD 输出中断，具体取决于 EXTI 线 16 上升沿/下降沿的配置。该功能的用处之一就是可以在中断服务程序中执行紧急关闭系统的任务。

图 4. PVD 阈值


1.3 STM32G0 系列的复位

下面几节将描述 STM32G0 系列的三种复位类型：电源复位、系统复位和 RTC 域复位。

1.3.1 电源复位

只要发生以下事件之一，就会产生电源复位：

- 上电复位（POR）或欠压复位（BOR）
- 退出待机模式
- 退出关断模式

电源和欠压复位会将所有寄存器设为其复位值，但 RTC 域的寄存器除外。

退出待机模式时，V_{CORE} 域的所有寄存器都设置为其复位值。

V_{CORE} 域外的寄存器（RTC，WKUP，IWDG，以及待机/关断模式控制）不受影响。

退出关断模式时，会生成欠压复位，将除 RTC 域中的寄存器以外的所有寄存器全部复位。

1.3.2 系统复位

除了时钟控制/状态寄存器（RCC_CSR）中的复位标志和 RTC 域中的寄存器外，系统复位会将其它全部寄存器都复位为复位值。

只要发生以下事件之一，就会产生系统复位：

- NRST 引脚低电平（外部复位）
- 窗口看门狗事件（WWDG 复位）
- 独立看门狗事件（IWDG 复位）
- 软件复位（SW 复位）
- 低功耗模式安全复位
- 选项字节加载复位
- 上电复位

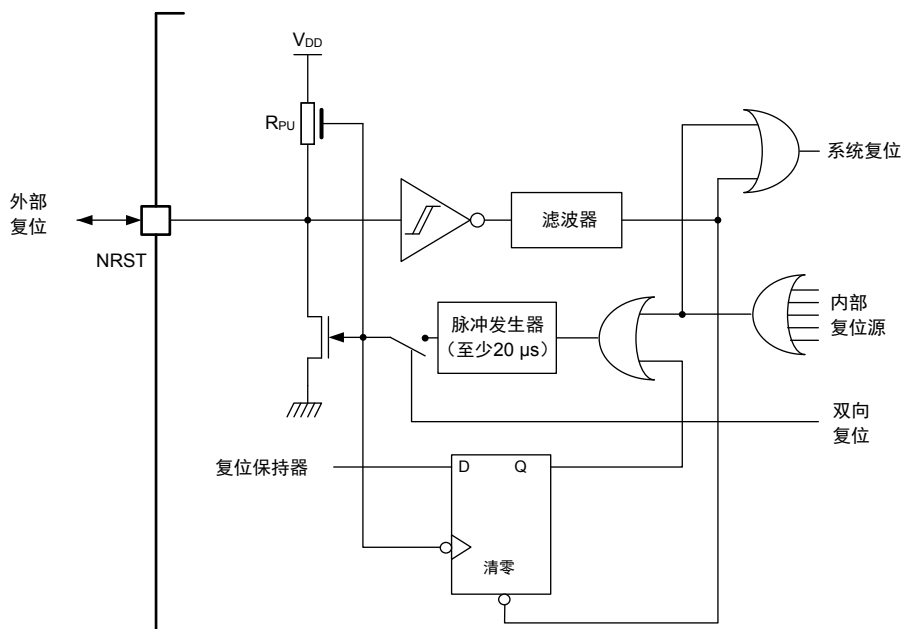
可通过查看 RCC_CSR 寄存器中的复位标志确定复位源。

NRST 引脚（外部复位）

通过特定的选项位，可以配置 NRST 引脚以用作：

- 复位输入/输出（设备交付时默认）
引脚上的有效复位信号传播到内部逻辑，每个内部复位源被引导至一个脉冲发生器，该发生器的输出驱动该引脚。GPIO 功能（PF2）不可用。脉冲发生器确保 NRST 引脚上输出的每个内部复位源的复位脉冲都至少持续 20 μ s。可以使用内部复位保持器选项（若已在选项字节中使能），以确保引脚在其电压满足 V_{IL} 阈值之前保持拉低状态。当线路遇到较大电容负载时，此功能允许通过外部组件检测内部复位源。
- 复位输入
在该模式下，NRST 引脚上的任何有效复位信号都将提供给器件内部逻辑，但器件内部生成的复位在引脚上不体现。在该配置中，GPIO 功能（PF2）不可用。
- GPIO
在该模式下，引脚可以用作 PF2 标准 GPIO。引脚的复位功能不可用。只能从器件内部复位源进行复位，并且不提供给引脚。

图 5. 复位电路简化框图



提示

在电源复位或从关断模式唤醒时，NRST 引脚被配置为复位输入/输出并由系统驱动为低电平，直至加载选项字节（*trstempo* 结束后的第四个时钟周期）时它被重新配置为预期模式。

软件复位

Cortex®-M0+ 应用中断和复位控制寄存器中的 SYSRESETREQ 位必须设置为强制器件上的软件复位（参见 STM32G0 和 STM32L0 Cortex M0+ 程序设计手册 PM0223）。

低功耗模式安全复位

为了防止关键应用错误地进入低功耗模式，提供了三种低功耗模式安全复位。如果在选项字节中使能，则在下列情况下会产生这种复位：

- 进入待机模式
可通过清零用户选项字节中的 `nRST_STDBY` 位来使能此类复位。使能后，只要成功执行进入待机模式序列，器件就将复位，而非进入待机模式。
- 进入停止模式
可通过清零用户选项字节中的 `nRST_STOP` 位来使能此类复位。使能后，只要成功执行进入停止模式序列，器件就将复位，而非进入停止模式。
- 进入关断模式
可通过清零用户选项字节中的 `nRST_SHDW` 位来使能此类复位。使能后，只要成功执行进入关断模式序列，器件就将复位，而非进入关断模式。

选项字节加载复位

当 `FLASH_CR` 寄存器中的 `OBL_LAUNCH` 位（位 27）置 1 时，将产生选项字节加载器复位。此位用来通过软件启动选项字节加载。

1.3.3

RTC 域复位

RTC 域具有两个特殊复位。只要发生以下事件之一，就会产生 RTC 域复位：

- 软件复位通过设置 RTC 域控制寄存器（`RCC_BDCR`）中的 `BDRST` 位触发。
- 在电源 V_{DD} 和 V_{BAT} 都已掉电后，其中任何一个又再上电。

RTC 域复位仅影响 LSE 振荡器、RTC、备份寄存器和 RCC RTC 域控制寄存器。

2 时钟

STM32G0 系列提供以下时钟源生成主时钟：

- HSI RC - 生成 HSI16 时钟（约 16 MHz）的完全集成高速 RC 振荡器
- HSE OSC - 具有外部晶振/陶瓷谐振器或外部时钟源的高速振荡器，生成 HSE 时钟（4 - 48 MHz）
- LSI RC - 生成 LSI 时钟（约 32 kHz）的完全集成低速 RC 振荡器
- LSE OSC - 具有外部晶振/陶瓷谐振器或外部时钟源的低速振荡器，生成 LSE 时钟（准确的 32.768 kHz 或最高频率为 1 MHz 的外部时钟）
- I2S_CKIN - I2S1 外设直接时钟输入引脚

对于每个振荡器来说，在未使用时都可单独打开或者关闭，以降低功耗。查看本节的各小节了解更多功能信息。关于内部和外部时钟源的电气特性，请参见器件数据手册。

器件通过对主时钟进行分频和/或倍频生成次级时钟：

- HSI SYS - 通过将 HSI16 除以可编程因子（1 - 128）得到的时钟
- PLLPCLK、PLLQCLK 和 PLLRCLK - PLL 模块输出的时钟
- SYSCLK - 通过选择 LSE、LSI、HSE、PLLRCLK 和 HSI SYS 时钟中的一个获得的时钟
- HCLK - 通过将 SYSCLK 除以可编程因子（1 - 512）得到的时钟
- HCLK8 - 通过将 HCLK 除以 8 得到的时钟
- PCLK - 通过将 HCLK 除以可编程因子（1 - 16）得到的时钟
- TIMPCLK - 从 PCLK 获得的时钟，当 APB 预分频器分频因子置为 1 时以 PCLK 频率运行，否则以两倍 PCLK 频率运行
- LPTIMx_IN - 来自 LPTIMx_INx 引脚的时钟，可针对 LPTIM 外设进行选择

可通过 HSE、HSI16 和 HCLK 时钟的固定分频生成更多次级时钟。

从复位中启动后，HSI SYS 用作系统时钟源，分频因子为 1（生成 HSI16 频率）。

HCLK 时钟和 PCLK 时钟分别用于 AHB 和 APB 域的计时。它们的最大允许频率为 64 MHz。

外设使用它们所连接的总线提供的时钟进行计时（AHB 为 HCLK，APB 为 PCLK），例外情况：

- TIMx，从以下选项中选择这些时钟源：
 - TIMPCLK（可供所有定时器选择）在 APB 预分频器分频因子置为 1 时以 PCLK 频率运行，否则以两倍 PCLK 频率运行
 - PLLQCLK 可供高速 TIM1 和 TIM15 定时器选择
- LPTIMx，从以下选项中选择这些时钟源：
 - LSI
 - LSE
 - HSI16
 - PCLK（APB 时钟）
 - 从 LPTIMx_INx 引脚选择的 LPTIMx_IN

仅当时钟为 LSI 或 LSE 时，支持停止模式的功能（包括唤醒）。

- UCPD，总是使用 HSI16 计时
- ADC，从以下选项中选择这些时钟源：
 - SYSCLK（系统时钟）
 - HSI16
 - PLLPCLK
- USARTx / LPUART1，从以下选项中选择这些时钟源：
 - SYSCLK（系统时钟）
 - HSI16
 - LSE
 - PCLK（APB 时钟）

仅当时钟为 HSI16 或 LSE 时，支持从停止模式唤醒。

- I2Cx，从以下选项中选择这些时钟源：
 - SYSCLK（系统时钟）
 - HSI16
 - PCLK（APB 时钟）

仅当时钟为 HSI16 时，支持从停止模式唤醒。

- I2S1，从以下选项中选择这些时钟源：
 - SYSCLK（系统时钟）
 - HSI16
 - PLLPCLK
 - I2S_CKIN 引脚
- RNG，从以下选项中选择这些时钟源：
 - SYSCLK（系统时钟）
 - HSI16 时钟 8 分频
 - PLLQCLK

还可以使用专用预分频器对 RNG 时钟进行 2、4 或 8 分频。

- CEC，从以下选项中选择这些时钟源：
 - HSI16 时钟 488 分频
 - LSE
- RTC，从以下选项中选择这些时钟源：
 - LSE
 - LSI
 - HSE 时钟 32 分频

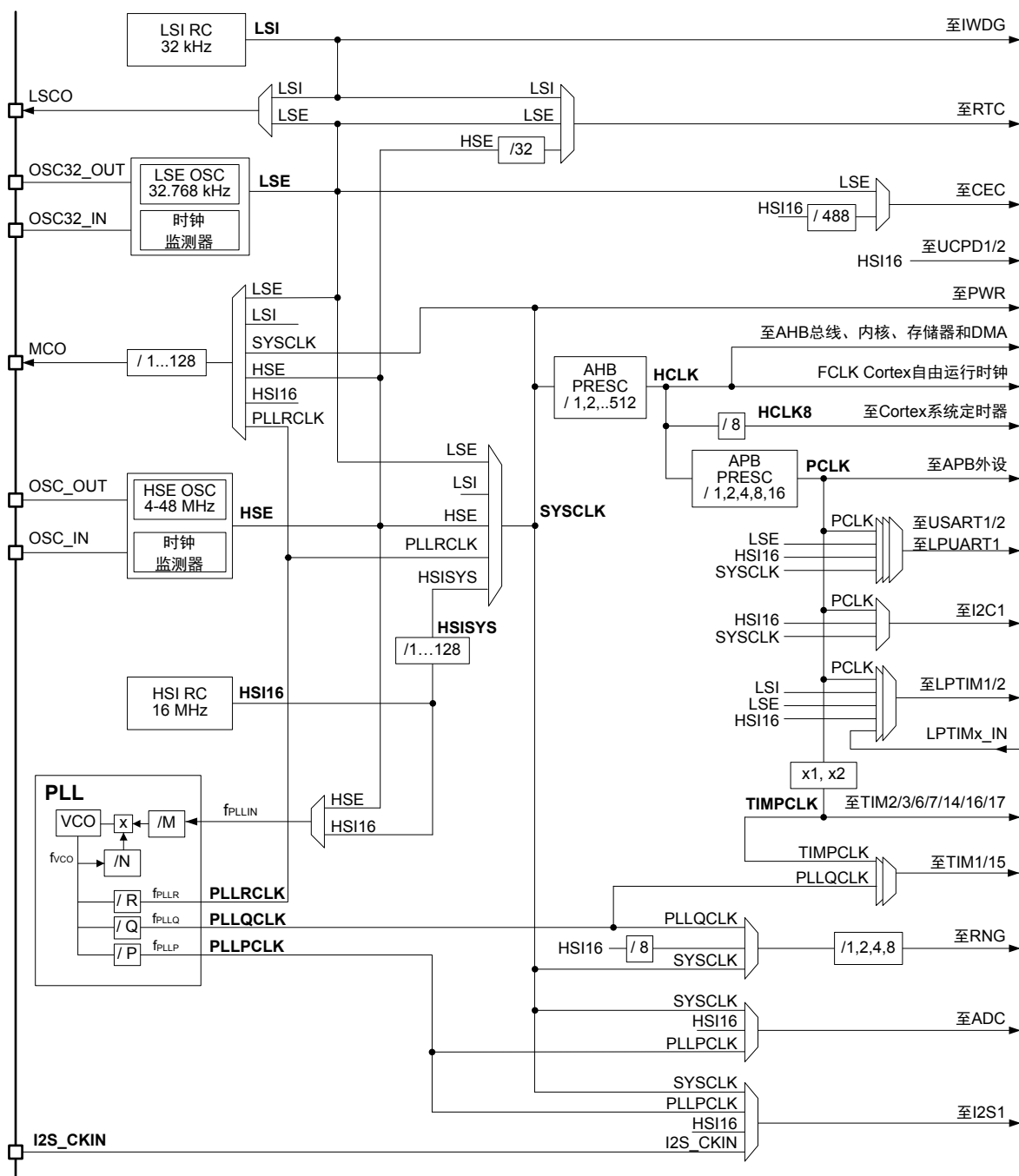
仅当时钟为 LSI 或 LSE 时，支持停止模式的功能（包括唤醒）。

- IWDG，总是使用 LSI 时钟计时。
- SysTick（Cortex®内核系统定时器），从以下选项中选择这些时钟源：
 - HCLK（AHB 时钟）
 - HCLK 时钟 8 分频

通过 SysTick 控制和状态寄存器执行选择。

HCLK 用作 Cortex®-M0+自由运行时钟（FCLK）。有关详细信息，请参考 STM32G0 和 STM32L0 Cortex M0+编程手册（PM0223）。

图 6. 时钟树



粗体：时钟源

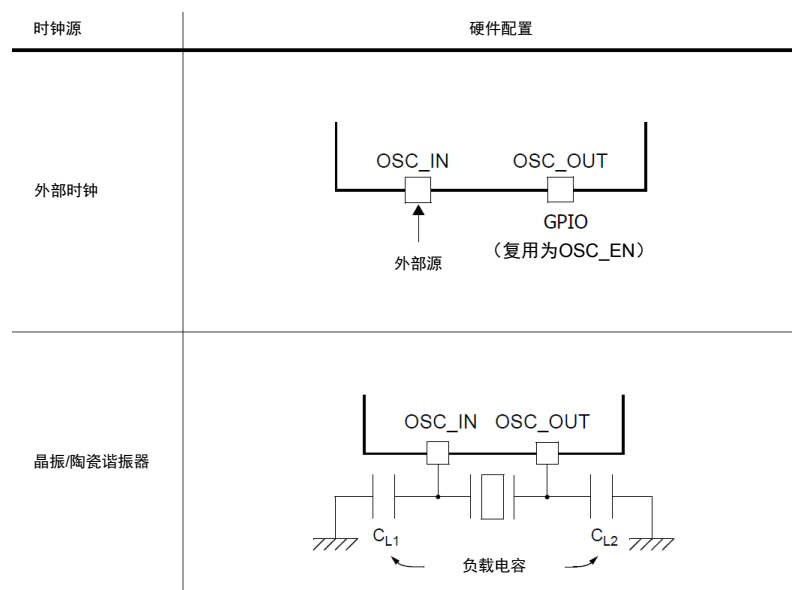
2.1 HSE 时钟

高速外部时钟信号 (HSE) 有 2 个时钟源：

- HSE 外部晶振/陶瓷谐振器
- HSE 用户外部时钟

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

图 7. HSE/LSE 时钟源



外部晶振/陶瓷谐振器 (HSE 晶振)

4 到 48 MHz 外部振荡器的优点是可以生成一个精度非常高的主时钟。

相关的硬件配置如上图所示。有关详细信息，请参见数据手册的电气特性部分。

时钟控制寄存器 (RCC_CR) 中的 HSERDY 标志指示了 HSE 振荡器是否稳定。在启动时，硬件将此位置 1 后，此时钟才可以使用。如在时钟中断使能寄存器 (RCC_CIR) 中使能中断，则可产生中断。

HSE 晶振可通过时钟控制寄存器 (RCC_CR) 中的 HSEON 位打开或关闭。

外部源 (HSE 旁路)

在此模式下，必须提供外部时钟源。最高频率不超过 48 MHz。通过将时钟控制寄存器 (RCC_CR) 中的 HSEBYP 和 HSEON 位置为 1 来选择此模式。在有 OSC_IN 和 OSC_OUT 引脚可用的器件上（参见上图），必须使用占空比为~40-60%的外部时钟信号（方波、正弦波或三角波）来驱动 OSC_IN 引脚，具体取决于频率（参考数据手册）。

OSC_OUT 引脚可以用作 GPIO 或配置为 OSC_EN 复用功能，以向外部时钟合成器提供使能信号。当器件进入低功耗模式时，它可以停止外部时钟源。

提示

有关引脚可用性的详细信息，请参见相应数据手册的引脚排列部分。

为最大程度地降低功耗，建议使用方波信号。

2.2 HSI16 时钟

HSI16 时钟信号是从 16MHz 内部 RC 振荡器生成的。

HSI16 RC 振荡器的优点是成本较低（无需使用外部组件）。它还比 HSE 晶振具有更快的启动时间。但即使校准后，其精度也不如使用频率基准的振荡器（例如石英晶振或陶瓷谐振器）的精度高。

从停止模式（停止 0 或停止 1）唤醒后，可选择从 HSI16 得到的 HSI16 时钟作为系统时钟。如果 HSE 晶体振荡器出现故障，它还可以作为备份时钟源（辅助时钟）使用。

校准

因为生产工艺偏差，不同芯片的 RC 振荡器频率也不同。为了补偿这种差异，每个器件都由工厂校准，在 $T_A = 25^\circ\text{C}$ 时达到 1% 精度。

复位后，工厂校准值将加载到内部时钟源校准寄存器 I (RCC_ICSCR) 的 HSICAL[7:0] 位中。

应用中的电压或温度变化可能影响 RC 振荡器的 HSI16 频率。用户可使用内部时钟源校准寄存器 (RCC_ICSCR) 中的 HSITRIM[6:0] 位进行微调。

有关如何测量 HSI16 频率变化的更多详细信息，请参考参考手册 RM0444。

时钟控制寄存器 (RCC_CR) 中的 HSIRDY 标志指示了 HSI16 RC 是否稳定。在启动时，硬件将该位置 1 后，HSI16 才可以使用。

HSI16 RC 可通过时钟控制寄存器 (RCC_CR) 中的 HSION 位打开或关闭。

HSI16 信号还可作为备份时钟源 (辅助时钟) 使用，以防 HSE 晶振发生故障。

2.3 PLL

内部 PLL 基于 HSI16 或 HSE 输入的时钟频率进行倍频，得到三个独立的时钟输出。允许的输入频率范围为 2.66 至 16 MHz。使用可编程分频因子 (1 - 8) 的 PLLM 允许将频率设置为有效 PLL 输入范围以内的值。请参考图 6. 时钟树和 RM0444 中的 PLL 配置寄存器 (RCC_PLLCFGR)。

PLL 配置 (对输入时钟和倍频因数进行选择) 必须在使能 PLL 之前完成。当 PLL 使能后，这些参数就不能再更改。

要修改 PLL 配置，请按照以下步骤操作：

1. 通过将时钟控制寄存器 (RCC_CR) 中的 PLLON 置为 0，来禁用 PLL。
2. 等待，直至 PLLRDY 清零。PLL 现已完全停止。
3. 根据需要更改参数。
4. 通过将 PLLON 位置 1 再次使能 PLL。
5. 通过配置 PLL 配置寄存器 (RCC_PLLCFGR) 中的 PLLPEN、PLLQEN、PLLREN，使能所需要的 PLL 输出。

如在时钟中断使能寄存器 (RCC_CIR) 中使能中断，则 PLL 就绪时可产生中断。

每个 PLL 输出时钟的使能位 (PLLPEN、PLLQEN 和 PLLREN) 可随时修改，而不必停止 PLL。如果 PLLRCLK 用作系统时钟，则 PLLREN 不可被清零。

2.4 LSE 时钟

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器。可作为实时时钟 (RTC) 的时钟源来提供时钟/日历或其他定时功能，具有功耗低且精度高的优点。

LSE 晶振通过 RTC 域控制寄存器 (RCC_BDCR) 中的 LSEON 位打开和关闭。使用 RTC 域控制寄存器 (RCC_BDCR) 中的 LSEDRV[1:0] 位，可在运行时更改晶振驱动强度，以实现稳定性、短启动时间和低功耗之间的最佳平衡。当 LSE 为 ON 时，LSE 驱动可降低为更低的驱动能力 (LSEDRV=00)。但是，当选择了 LSEDRV，如果 LSEON=1 则不能提高驱动能力。

RTC 域控制寄存器 (RCC_BDCR) 中的 LSERDY 标志指示了 LSE 晶振是否稳定。在启动时，硬件将此位置 1 后，LSE 晶振输出时钟信号才可以使用。如在时钟中断使能寄存器 (RCC_CIR) 中使能中断，则可产生中断。

外部源 (LSE 旁路)

在此模式下，必须提供外部时钟源。最高频率不超过 1 MHz。通过设置睡眠/停止模式 AHB 外设时钟使能寄存器 (RCC_AHBSMENR) 中的 LSEBYP 和 LSEON 位来选择此模式。必须使用占空比约为 50% 的外部时钟信号 (方波、正弦波或三角波) 来驱动 OSC32_IN 引脚，同时 OSC32_OUT 引脚可以作为 GPIO 使用。请参见图 6. 时钟树。

2.5 LSI 时钟

LSI RC 可作为低功耗时钟源在停机和待机模式下保持运行，供独立看门狗 (IWDG) 和 RTC 使用。时钟频率为 32 kHz。有关详细信息，请参见数据手册的电气特性部分。

LSI RC 可通过控制/状态寄存器 (RCC_CSR) 中的 LSION 位打开或关闭。

控制/状态寄存器 (RCC_CSR) 中的 LSIRDY 标志指示了 LSI 振荡器是否稳定。在启动时，硬件将此位置 1 后，此时钟才可以使用。如在时钟中断使能寄存器 (RCC_CIR) 中使能中断，则可产生中断。

2.6 系统时钟 (SYSCLK) 选择

可以选择下列时钟之一作为系统时钟 (SYSCLK)：

- LSI
- LSE
- HSI16
- HSE
- PLLRCLK

系统时钟最大频率为 64 MHz。系统复位时，选择来源于 HSI16 振荡器的 HSI16 时钟作为系统时钟。当一个时钟源被直接或通过 PLL 作为系统时钟使用时，该时钟源无法停止。

只有在目标时钟源已就绪时（时钟在启动延迟或 PLL 锁相后稳定时），才可从一个时钟源切换到另一个。如果选择尚未就绪的时钟源，则切换在该时钟源就绪时才会进行。内部时钟源校准寄存器 (RCC_ICSCR) 中的状态位指示哪个（些）时钟已就绪，以及当前哪个时钟正充当系统时钟。

2.7 时钟源频率与电压调节

下表给出了不同产品电压范围下不同的时钟源频率。

表 2. 时钟源频率

时钟	最大时钟频率 (MHz)	
	Range 1	范围 2
HSI16	16	16
HSE	48	16
PLLCLK	122 ⁽¹⁾	40 ⁽²⁾
PLLQCLK	128 ⁽¹⁾	32 ⁽²⁾
PLLRCLK	64 ⁽¹⁾	16 ⁽²⁾

1. 最大 VCO 频率为 344 MHz。

2. 最大 VCO 频率为 128 MHz。

2.8 时钟安全系统(CSS)

时钟安全系统可通过软件激活。激活后，时钟监测器将在 HSE 振荡器启动延迟后使能，并在此振荡器停止时被关闭。

如果检测到 HSE 时钟故障：

- HSE 振荡器自动禁用
- 一个时钟故障事件将被发送到 TIM1、TIM15、TIM16 和 TIM17 定时器的刹车输入
- 生成 CSSI（时钟安全系统中断）

CSSI 与 Cortex®-M0+ NMI（不可屏蔽中断）异常向量相链接。它让软件意识到 HSE 时钟故障，以允许其执行救援操作。

提示

在 CSS 使能后，如果 HSE 时钟发生故障，将发生 CSSI，并会自动生成 NMI。NMI 将无限期执行，除非将 CSS 中断挂起位清零。因此，NMI ISR 必须通过时钟中断清零寄存器 (RCC_CICR) 中 CSSC 位的置位将 CSSI 清零。

如果直接或间接（为 SYSCLK 选择 PLLRCLK，并选择 HSE 作为 PLL 输入）选择 HSE 作为系统时钟并且检出 HSE 时钟故障，则系统时钟将自动切换到 HSI16 且 HSE 振荡器将被禁用。当故障发生时，如果 HSE 时钟（分频或不分频）为 PLL 的时钟输入并使用 PLLRCLK 作为系统时钟，则也会禁用 PLL。

2.9 LSE 时钟的时钟安全系统 (LSECSS)

通过 RTC 域控制寄存器 (RCC_BDCR) 中 LSECSSON 位的置位, 可以激活 LSE 的时钟安全系统。此位可通过硬件复位或 RTC 软件复位或在 LSE 时钟故障检测后清零。在 LSE 和 LSI 使能 (LSEON 和 LSION 使能) 并就绪 (硬件设置 LSERDY 和 LSIRDY 标志) 后以及 RTCSEL 选择 RTC 时钟后必须写入 LSECSSON。

LSECSS 作用于除 VBAT 外的所有模式。它在系统复位时仍然保持工作状态 (不包括上电复位)。如果在 LSE 振荡器上检测到故障, 将不再向 RTC 提供 LSE 时钟, 但其寄存器不受影响。

提示

在 LSECSS 使能后, 如果 LSE 时钟发生故障, 将发生 LSECSSI 中断, 并会自动生成 NMI。NMI 将无限期执行, 除非将 LSECSS 中断挂起位清零。因此, NMI ISR 必须通过时钟中断清零寄存器 (RCC_CICR) 中 LSECSSC 位的置位将 LSECSSI 清零。

如果使用 LSE 作为系统时钟并检测到 LSE 时钟故障, 系统时钟将自动切换至 LSI。在低功耗模式下, LSE 时钟故障将生成唤醒。然后, 必须在 RCC 寄存器中将中断标志清零。

软件随后必须禁用 LSECSSON 位, 停止出现故障的 32 kHz 振荡器 (将 LSEON 清零), 并更改 RTC 时钟源 (无时钟、LSI 或 HSE, 通过 RTCSEL), 或者采取任何适当措施来确保应用安全。

为避免错误的检测, LSE 振荡器的频率必须超过 30 kHz。

2.10 ADC 时钟

ADC 时钟由系统时钟或 PLLPCLK 输出提供。它可以达到 122 MHz, 并能通过配置 ADC1_CCR 寄存器使用以下预分频器值进行分频: 1、2、4、6、8、10、12、16、32、64、128 或 256。它与 AHB 时钟异步。或者, ADC 时钟可由 ADC 总线接口的 AHB 时钟除以一个可编程的因数 (1、2 或 4) 来提供。该可编程因子使用 ADC1_CCR 中的 CKMODE 位字段进行配置。

当已编程因子为 1 时, AHB 预分频器必须设置为 1。

2.11 RTC 时钟

RTCCLK 时钟源可以是 HSE/32、LSE 或 LSI 时钟。通过设置 RTC 域控制寄存器 (RCC_BDCR) 中的 RTCSEL[1:0] 位进行选择。如果不复位 RTC 域, 就不能修改此选择。配置系统时, 必须始终使 PCLK 频率大于或等于 RTCCLK 频率, 以便 RTC 正常工作。

LSE 时钟位于 RTC 域中, 而 HSE 和 LSI 时钟则不是。因此:

- 如果选择 LSE 作为 RTC 时钟:
 - 只要 V_{BAT} 电源保持工作, 即使 V_{DD} 电源关闭, RTC 仍可继续工作。
- 如果选择 LSI 作为 RTC 时钟:
 - 在 V_{DD} 电源掉电时, RTC 的状态将不能保证。
- 如果使用按预分频器进行分频的 HSE 时钟作为 RTC 时钟:
 - 如果 V_{DD} 电源掉电或者内部调压器关闭 (切断 V_{CORE} 域的供电), 则 RTC 的状态将不能保证。

如果 RTC 时钟为 LSE 或 LSI, 则 RTC 在系统复位后仍可获得时钟并保持正常工作。

2.12 定时器时钟

定时器时钟 TIMPCLK 来源于 PCLK (用于 APB), 详情如下:

- 如果 APB 预分频器置为 1, 则 TIMPCLK 频率等于 PCLK 频率。
- 否则, TIMPCLK 频率为 PCLK 频率的两倍。

对于 TIM1 和 TIM15, 也可以选择 PLLQCLK 时钟。其设置频率不得超过 128 MHz。

2.13 看门狗时钟

如果独立看门狗 (IWDG) 已通过硬件选项或软件访问的方式启动, 则 LSI 振荡器将强制打开且不可禁止。在 LSI 振荡器稳定后, 时钟将提供给 IWDG。

2.14 时钟输出功能

MCO

微控制器时钟输出 (MCO) 功能允许将时钟输出到外部 MCO 引脚上。可以选择下列选项之一作为 MCO 时钟：

- LSI
- LSE
- SYSCLK
- HSI16
- HSE
- PLLRCLK

选项由时钟配置寄存器 (RCC_CFGR) 的 MCOSEL[3:0] 位控制。可以使用可通过时钟配置寄存器 (RCC_CFGR) 的 MCOPRE[2:0] 字段进行编程的因子对选择的时钟进行分频。

LSCO

LSCO 引脚允许低速时钟输出：

- LSI
- LSE

选项由 LSCSEL 控制，并通过 RTC 域控制寄存器 (RCC_BDCR) 中的 LSCOEN 使能。必须在复用功能模式下对相应 GPIO 端口的配置寄存器进行编程。

此功能在停止 0、停止 1 和待机模式下仍然可用。

2.15 基于 TIM14/TIM16/TIM17 的内部/外部时钟测量

可以通过 TIM14、TIM16 和 TIM17 通道 1 输入捕获间接测量所有板载时钟源的频率，如相应小节中的图所示。

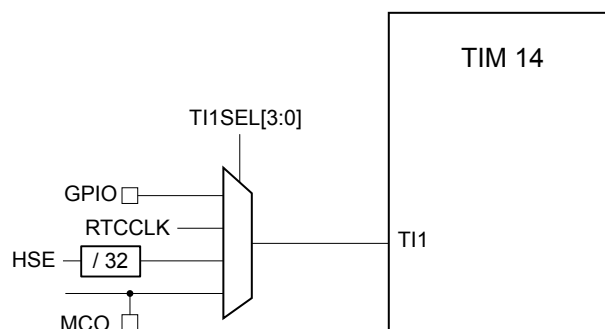
TIM14

通过设置 TIM14_TISEL 寄存器的 TI1SEL [3: 0] 字段，可以为 TIM14 的输入捕获通道 1 选择以下时钟之一：

- GPIO（参见器件数据手册中的复用功能映射表）
- RTC 时钟 (RTCCLK)
- HSE 时钟 32 分频
- MCO（MCU 时钟输出）

最后的选项由时钟配置寄存器 (RCC_CFGR) 的 MCOSEL[3:0] 字段控制。可以为 MCO 引脚选择所有时钟源。

图 8. TIM14 在捕获模式下的频率测量



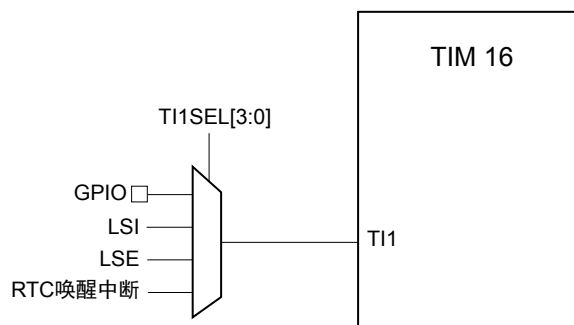
TIM16

通过设置 TIM16_TISEL 寄存器 TI1SEL[3:0]字段，可以为 TIM16 的输入捕获通道 1 选择以下时钟之一：

- GPIO（参见器件数据手册中的复用功能映射表）
- LSI 时钟
- LSE 时钟
- RTC 唤醒中断信号

最后的选项需使能 RTC 中断。

图 9. TIM16 在捕获模式下的频率测量



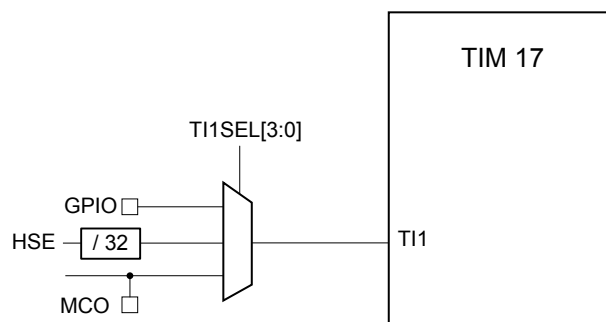
TIM17

通过设置 TIM17_TISEL 寄存器的 TI1SEL [3: 0]字段，可以为 TIM17 的输入捕获通道 1 选择以下时钟之一：

- GPIO（参见器件数据手册中的复用功能映射表）
- HSE 时钟 32 分频
- MCO（MCU 时钟输出）

最后的选项由时钟配置寄存器（RCC_CFGR）的 MCOSEL[3:0]字段控制。可以为 MCO 引脚选择所有时钟源。

图 10. TIM17 在捕获模式下的频率测量



HSI16 振荡器的校准

对于 TIM14、TIM15 和 TIM17，将 LSE 连接到通道 1 输入捕获的主要目的是为了精确测量被选为系统时钟的 HSI16 时钟（来源于 HSI16）。对 LSE 时钟的连续边沿之间的 HSI16 时钟脉冲进行计数可以测量 HSI16（和 HSI16）时钟周期。此类测量可以测定 HSI16 振荡器频率，其精度与 LSE 振荡器使用的 32.768 kHz 石英晶振的精度几乎相同（通常为几十 ppm）。然后，可以调节 HSI16 振荡器以补偿与目标频率之间的偏差，这些偏差是由制造、工艺、温度和/或电压变化导致的。

为此，HSI16 振荡器提供了用户可以访问的专用校准位。

其基本原理是基于相对测量（例如，HSISYS/LSE 比）：因此，精度与两个时钟源之比紧密相关。增大该比值可以提高测量精度。

使用 HSE 振荡器生成的 HSE 时钟（32 分频）作为时间参考是获得良好 HSI16 频率测量精度的次优方法。建议在 没有 LSE 时钟时使用。

为了进一步提高 HSI16 振荡器校准精度，建议使用下列措施中的一项或几项以提高频率测量精度：

- 为了让 HSISYS 频率等于 HSI16 频率，将 HSISYS 分频器置为 1
- 计算多个连续测量值的平均值
- 使用定时器的输入捕获预分频器（最多每 8 个周期 1 次捕获）
- 对 RTC 使用 LSE 时钟，并将 RTC 唤醒中断信号作为时间基准

最后一项将显著增大 HSI16 时钟脉冲计数的参考周期，从而提高单次测量的精度。必须使能 RTC 唤醒中断才能进行操作。

LSI 振荡器的校准

校准 LSI 振荡器与校准 HSI16 振荡器使用的是相同原理。必须对 LSI 时钟使用 TIM16 通道 1 输入捕获，并选择 HSE 作为系统时钟源。那么，LSE 信号的连续边沿之间的 HSE 时钟脉冲数（由 TIM16 计数）就代表了 LSI 时钟周期。

2.16 外设时钟使能寄存器

每个外设时钟都可以通过 RCC_AHBENR 或 RCC_APBENRx 寄存器的相应使能位使能。

当外设时钟未激活时，不支持外设寄存器进行读写访问。

提示

使能位的同步机制可为外设产生无干扰时钟。在使能位置位后、时钟激活前会有长度为 2 个时钟周期的延时，软件必须考虑这一延时。

3 自举配置

在 STM32G0 系列中，可通过 BOOT0 引脚、FLASH_SECR 寄存器中的 BOOT_LOCK 位以及用户选项字节中的自举配置位 nBOOT1、BOOT_SEL 和 nBOOT0 来选择三种不同的自举模式，如下表所示。

表 3. 自举模式

启动模式配置					选中的自举区域
BOOT_LOCK 位	nBOOT1 位	BOOT0 引脚	nBOOT_SEL 位	nBOOT0 位	
0	X	0	0	X	主 Flash
0	1	1	0	X	系统存储器
0	0	1	0	X	嵌入式 SRAM
0	X	X	1	1	主 Flash
0	1	X	1	0	系统存储器
0	0	X	1	0	内部 SRAM
1	X	X	X	X	强制主闪存

启动模式配置会在复位后锁存在 SYSCFG 的第四个上升沿。将由用户来设置与所需启动模式相关的启动模式配置。

退出待机模式后，还可以对启动模式配置进行重新采样。因此，所需的自举模式配置在待机模式中必须保持。该启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的自举存储器开始执行代码。

根据所选的启动模式，主 Flash 存储器、系统存储器或 SRAM1 可如下访问：

- 从主 Flash 存储器自举：主 Flash 存储器在自举存储器空间 (0x0000 0000) 中有别名，但也可从它原来的存储器空间 (0x0800 0000) 访问。换句话说，闪存内容可从地址 0x0000 0000 或 0x0800 0000 开始访问。
- 从系统存储器自举：系统存储器在自举存储器空间 (0x0000 0000) 中有别名，但也可从它原来的存储器空间 0x1FFF0000 访问。
- 从嵌入式 SRAM 启动：SRAM 在启动存储空间 (0x0000 0000) 中有别名，但也可从它原来的存储空间 (0x2000 0000) 访问。

强制从用户闪存启动

BOOT_LOCK 位允许强制主闪存中的唯一入口用于启动，不受其他启动模式配置位的限制。

空数据检查

使用内部空数据检查标记（闪存存取控制寄存器 FLASH_ACR 的 EMPTY 位）可以更轻松地通过启动程序对原始器件进行编程。当 BOOT0 引脚将主 Flash 存储器定义为目标启动区域时，会使用此标记。标记被置位后，器件会被视为空存储器，会选择系统存储器（启动程序）代替主 Flash 存储器作为启动区域，以允许用户对 Flash 存储器进行编程。

此标记仅会在选项字节加载期间进行更新：当地址 0x0800 0000 的内容读为 0xFFFF FFFF 时，此标记会置位，否则会清零。这意味着将原始器件设定为在系统复位后执行用户代码之后，需要上电复位或将 FLASH_CR 寄存器中的 OBL_LAUNCH 位置 1 才能清空此标记。EMPTY 位也可以直接通过软件写入。

提示

如果器件是首次进行编程设定，但选项字节未重新载入，器件在系统复位后仍将选择系统存储器作为启动区域。

物理重映射

选择启动模式后，应用软件可修改可在代码区域中访问的存储器。这种修改是通过对 SYSCFG 配置寄存器 1 (SYSCFG_CFGR1) 中的 MEM_MODE 进行编程设定实现的。

嵌入式自举程序

嵌入式自举程序位于系统内存，由 ST 在生产阶段编程。它被用来通过使用下列串行接口之一重新编程：

- USART，引脚 PA2/PA3、PA9/PA10 或 PC10/PC11
- I2C，引脚 PB6/PB7 或 PB10/PB11
- SPI，引脚 PA4/PA5/PA6/PA7 或 PB12/PB13/PB14/PB15

更多详细信息，请参见应用笔记 *STM32 微控制器系统存储器启动模式*(AN2606)。

4 调试管理

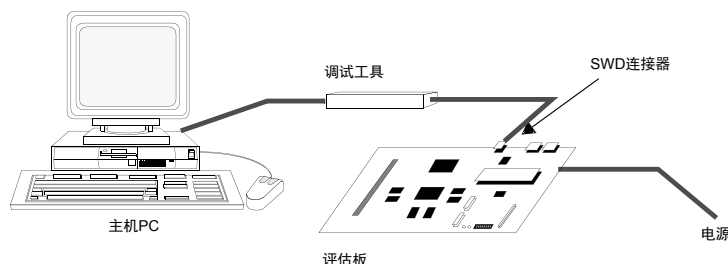
4.1 调试管理简介

主机/目标接口为连接主机与应用板的硬件设备。此接口由三部分组成：硬件调试工具、SWD 连接器，以及连接主机与调试工具的电缆。

下图显示了主机到评估板（STM32G081B_EVAL）的连接。

STM32G081B_EVAL 评估板嵌入了调试工具（ST-LINK）。因此，它可以通过 USB 数据线直接连接到 PC。

图 11. 主机到板的连接



4.2 SWD 接口（串行线调试）

STM32G0 系列内核集成了串行线调试端口(SW-DP)。这是 ARM® 标准的 CoreSight™ 调试端口，配有用于连接调试访问端口的双引脚（时钟 + 数据）接口。

4.3 引脚排列和调试端口引脚

STM32G0 系列器件的不同封装有不同的有效引脚数。

4.3.1 串行线调试 (SWD) 引脚分配

所有 STM32G0 系列封装上都采用该 SWD 引脚分配。

表 4. SWD 端口引脚

SWD 引脚名称	SWD 端口		引脚分配
	类型	调试分配	
SWDIO	I/O	串行线数据输入/输出	PA13
SWCLK	I	串行线时钟	PA14

复位（SYSRESETn 或 PORESETn）后，将用于 SWD 的引脚指定为专用引脚，可供调试工具立即使用。

但是，MCU 为禁用 SWD 提供了可能，因此可释放相关引脚供通用 I/O（GPIO）使用。关于怎样禁用 SWD 端口的更多详细信息，请参考 RM0444 的 I/O 引脚复用功能复用器和映射部分。

4.3.2 SWD 引脚上的内部上拉和下拉

用户软件释放 SWD I/O 后，GPIO 控制器便会控制这些引脚。GPIO 控制寄存器的复位状态会将 I/O 置于同等状态：

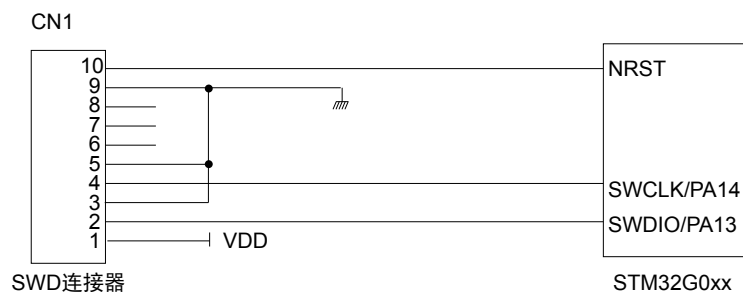
- SWDIO：复用功能上拉
- SWCLK：复用功能下拉

由于已经嵌入上拉和下拉电阻，因此无需添加外部电阻。

4.3.3 使用标准 SWD 连接器的 SWD 端口连接

下图显示了 STM32G0 系列器件和标准 SWD 连接器之间的连接。

图 12. SWD 端口连接



5 建议

5.1 印刷电路板

由于技术原因，最好使用多层印刷电路板（PCB）的单独一层专用于接地（ V_{SS} ），另一层专用于 V_{DD} 供电。这提供了不错的去耦和屏蔽效果。对于很多应用，由于经济原因不能使用此类板。在这种情况下，主要要求就是要确保接地和供电有良好的结构。

5.2 元件位置

一个初始的 PCB 布局必须分开下面电路：

- 高电流电路
- 低电压电路
- 数字元件电路
- 根据电路的 EMI 输出强弱分开电路。这会降低 PCB 上交叉耦合引入的噪声。

5.3 接地和供电（ V_{DD} ）

每个区域（噪声、低电平敏感或数字）应单独接地，所有接地回路都应为一个点。必须避免出现环，或使环有最小面积。为了改善模拟性能，去耦电容必须尽可能靠近器件。

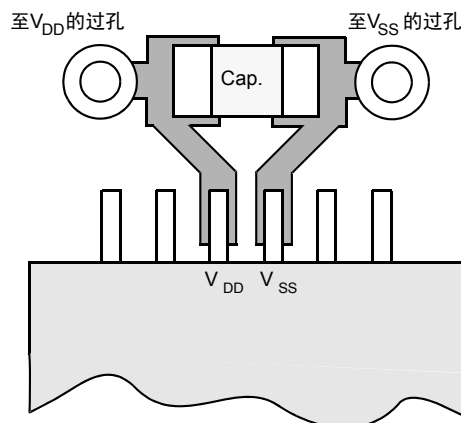
供电应靠近地线实现，以最小化供电环的面积。这是因为供电环的行为类似天线，因此它是 EMI 的主要发送者和接收者。所有无元件的 PCB 区域必须用额外的接地填充，以创造屏蔽（尤其是使用单层 PCB 时）。

5.4 去耦

所有供电和接地引脚都必须适当连至供电电源。这些连接，包括焊盘、线、过孔，都必须有尽可能低的阻抗。典型情况下，这可通过使用粗的线宽做到，最好在多层 PCB 中使用专用供电层。

此外，每一组供电对应使用 100 nF 滤波陶瓷电容去耦，并将约 4.7 μ F 的化学电容连接于 STM32G0 系列器件的供电引脚之间。这些电容应放置在 PCB 尽可能接近适当引脚的位置，或在这些引脚下面 PCB 的底层。其典型值为 10 nF 至 100 nF，但准确值取决于应用需要。下图显示了这种 V_{DD}/V_{SS} 对的典型布局。

图 13. V_{DD}/V_{SS} 引脚对的典型布局



5.5 其它信号

当设计应用时，可仔细研究下述信号以提高 EMC 性能：

- 暂时性干扰会永久影响运行过程的信号（例如中断和握手选通信号，而不是 LED 指令）。对于这些信号，可使用接地线包围的走线、较短的长度，附近没有噪声和敏感的走线（串扰影响）提高 EMC 性能。
- 对于数字信号，两个逻辑状态必须达到可能的最佳电气裕量，建议使用慢施密特触发器以消除寄生状态。
- 噪声信号（如时钟）
- 敏感信号（如高阻）

5.6 不使用的 I/O 和特性

所有微控制器都是为多种应用设计的，通常一个应用不会使用 100% 的 MCU 资源。

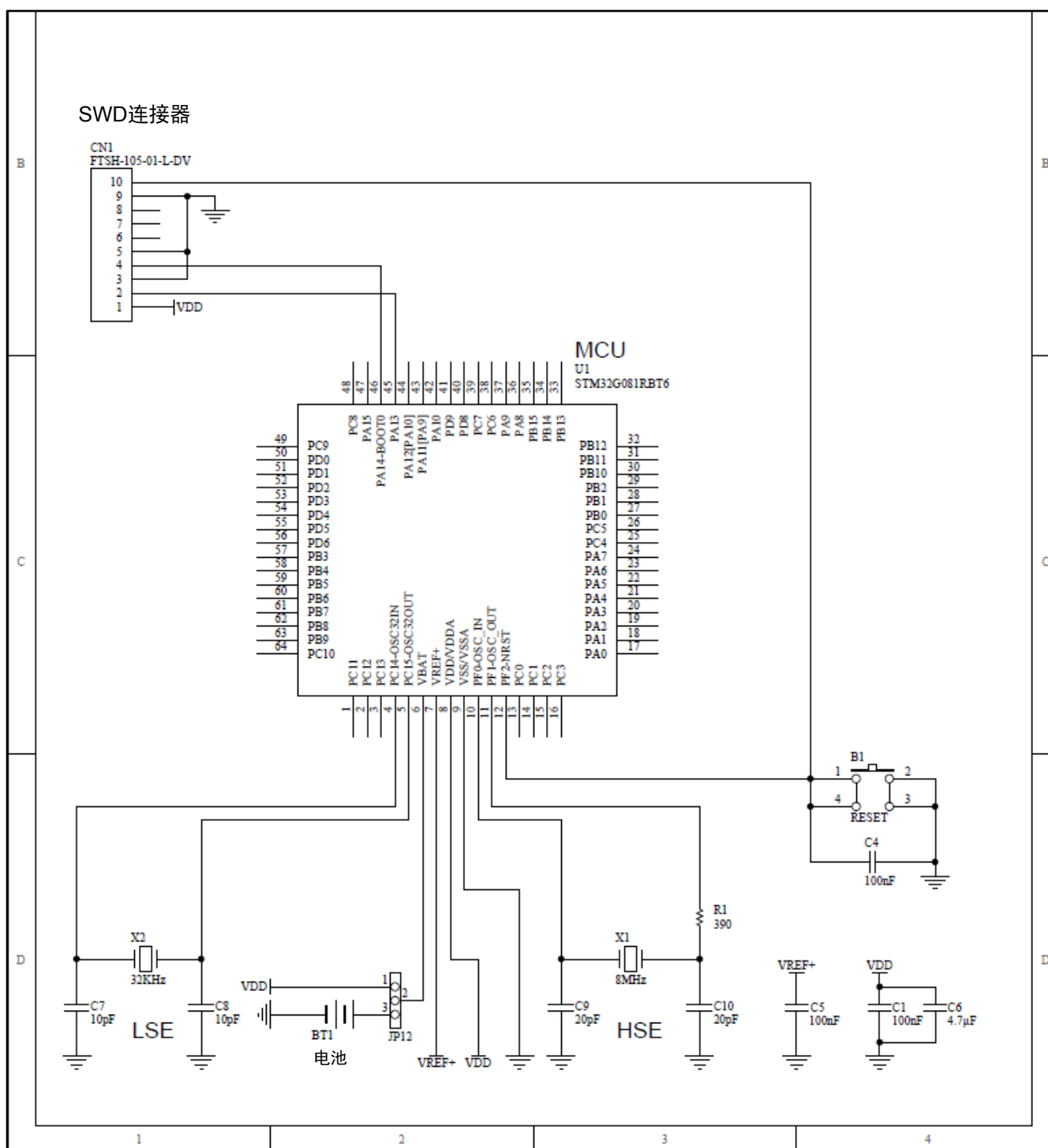
为增加 EMC 性能、避免额外功耗，不使用的时钟、计数器、I/O 都不应浮空。应在不用的 I/O 引脚上都使用外部或内部上拉或下拉电阻将 I/O 连至固定逻辑电平 0 或 1。其它选项为使用软件将 GPIO 配置为输出模式。不使用的特性应被冻结或禁用为其默认值。

6 参考设计

6.1 参考设计说明

下图所示的参考设计即高度集成的微控制器 STM32G081，运行于 64 MHz，它结合了 Cortex®-M0+ 32 位 RISC CPU 内核、128 KB 的嵌入式 Flash 存储器和 36 KB 的 SRAM。

图 14. STM32G0 系列参考原理图



提示 若应用中没有使用外部电池，则建议将V_{BAT}外部连至V_{DD}。

6.1.1 时钟

微控制器使用两个时钟源：

- HSE: X1 - 8 MHz 晶振用于微控制器
- LSE: X2 - 32.768 kHz 晶振用于嵌入式 RTC。

请参见第 2 节 时钟。

6.1.2 复位

图 14. STM32G0 系列参考原理图中的复位信号为低电平有效。复位源包括：

- 复位按钮(B1)
- 调试工具通过连接器 CN1 连接

请参见第 1.3 节 STM32G0 系列的复位。

提示

STM32G0 系列器件上的复位保持器默认激活。任何内部复位都会导致 NRST 引脚下拉，直至其达到其 V_{IL} 阈值，以确保该线路上的电容完全放电。

6.1.3 自举模式

默认通过选项字节配置自举选项。如果用户想要在重新编程选项字节后对自举入口点进行物理控制，可以使用 BOOT0 引脚。

6.1.4 SWD 接口

参考设计显示了 STM32G0 系列器件和标准 SWD 连接器之间的连接。请参见第 4 节 调试管理。

提示

建议连接复位引脚，以便能从工具复位应用。

6.1.5 电源

请参见第 1.1 节 STM32G0 系列的电源。

6.1.6 引脚排列和引脚说明

请参阅上的 STM32G0 系列数据手册了解每种器件的引脚排列和引脚说明。

6.2 元件参考

表 5. 必备元件

元件	参考	值	数量	注释
微控制器	U1	STM32G081RBT6	1	64 引脚封装
电容	C1	100 nF	1	陶瓷电容（去耦电容）
电容	C6	4.7 μ F	1	用于 VDD

表 6. 可选元件

元件	参考	值	数量	注释
电阻	R1	390 Ω	1	用于 HSE：值取决于晶振特性。 此电阻值仅为典型举例
电容	C4	100 nF	1	用于 RESET 按钮的陶瓷电容
电容	C5	100 nF	1	陶瓷电容（去耦电容）
电容	C7/C8	10 pF	2	用于 LSE：值取决于晶振特性
电容	C9/C10	20 pF	2	用于 HSE：值取决于晶振特性
石英	X1	8 MHz	1	用于 HSE
石英	X2	32 kHz	1	用于 LSE
电池	BT1	3 V	1	若应用中没有使用外部电池，则建议将 VBAT 外部连至 VDD
按钮	B1	-	1	用作复位按钮
SWD 连接器	CN1	FTSH-105-01-L-DV	1	用于对 MCU 进行编程/调试

版本历史

表 7. 文档版本历史

日期	版本	变更
2018 年 11 月 7 日	1	初始版本。

目录

1	STM32G0 系列的供电和复位源	2
1.1	STM32G0 系列的电源	2
1.1.1	独立模拟转换器供电	3
1.1.2	电池备份	4
1.1.3	调压器	4
1.2	STM32G0 系列的电源监控器	4
1.2.1	上电复位 (POR) /掉电复位 (PDR) /欠压复位 (BOR)	4
1.2.2	可编程电压检测器 (PVD)	5
1.3	STM32G0 系列的复位	6
1.3.1	电源复位	6
1.3.2	系统复位	6
1.3.3	RTC 域复位	8
2	时钟	9
2.1	HSE 时钟	12
2.2	HSI16 时钟	12
2.3	PLL	13
2.4	LSE 时钟	13
2.5	LSI 时钟	13
2.6	系统时钟 (SYSCLK) 选择	14
2.7	时钟源频率与电压调节	14
2.8	时钟安全系统 (CSS)	14
2.9	LSE 时钟的时钟安全系统 (LSECSS)	15
2.10	ADC 时钟	15
2.11	RTC 时钟	15
2.12	定时器时钟	15
2.13	看门狗时钟	15
2.14	时钟输出功能	16
2.15	基于 TIM14/TIM16/TIM17 的内部/外部时钟测量	16
2.16	外设时钟使能寄存器	18
3	自举配置	19

4	调试管理	21
4.1	调试管理简介	21
4.2	SWD 接口（串行线调试）	21
4.3	引脚排列和调试端口引脚	21
4.3.1	串行线调试 (SWD) 引脚分配	21
4.3.2	SWD 引脚上的内部上拉和下拉	21
4.3.3	使用标准 SWD 连接器的 SWD 端口连接	22
5	建议	23
5.1	印刷电路板	23
5.2	元件位置	23
5.3	接地和供电 (V_{DD})	23
5.4	去耦	23
5.5	其它信号	24
5.6	不使用的 I/O 和特性	24
6	参考设计	25
6.1	参考设计说明	25
6.1.1	时钟	26
6.1.2	复位	26
6.1.3	自举模式	26
6.1.4	SWD 接口	26
6.1.5	电源	26
6.1.6	引脚排列和引脚说明	26
6.2	元件参考	27
	Revision history	28
	目录	29
	表一览	31
	图一览	32

表一览

表 1.	STM32G0 系列的电源	2
表 2.	时钟源频率	14
表 3.	自举模式	19
表 4.	SWD 端口引脚	21
表 5.	必备元件	27
表 6.	可选元件	27
表 7.	文档版本历史	28

图一览

图 1.	STM32G0 系列电源.....	3
图 2.	肖特基二极管连接.....	3
图 3.	POR、PDR 和 BOR 阈值.....	5
图 4.	PVD 阈值.....	6
图 5.	复位电路简化框图.....	7
图 6.	时钟树.....	11
图 7.	HSE/LSE 时钟源.....	12
图 8.	TIM14 在捕获模式下的频率测量.....	16
图 9.	TIM16 在捕获模式下的频率测量.....	17
图 10.	TIM17 在捕获模式下的频率测量.....	17
图 11.	主机到板的连接.....	21
图 12.	SWD 端口连接.....	22
图 13.	VDD/VSS 引脚对的典型布局.....	23
图 14.	STM32G0 系列参考原理图.....	25

重要通知 - 请仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对 ST 产品和/或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于 ST 产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对 ST 产品的选择和使用，ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的 ST 产品如有不同于此处提供的信息的规定，将导致 ST 针对该产品授予的任何保证失效。

ST 和 ST 徽标是 ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2018 STMicroelectronics - 保留所有权利