

前言

本应用笔记为系统开发者们提供了所需的开发板特性硬件实现概述：

- 电源、
- 封装选择、
- 时钟管理、
- 复位控制、
- 自举模式设置、
- 调试管理。

本文档说明了基于 STM32F74xxx/STM32F75xxx 器件应用开发所需的最小硬件资源。

表 1. 适用产品

类型	产品编号
微控制器	STM32F745IE, STM32F745VE, STM32F745IG, STM32F745VG, STM32F745ZE, STM32F745ZG
	STM32F746VG, STM32F746ZG, STM32F746IG, STM32F746BG, STM32F746NG, STM32F746IE, STM32F746VE, STM32F746ZE, STM32F746BE, STM32F746NE
	STM32F756VG, STM32F756ZG, STM32F756IG, STM32F756BG, STM32F756NG

目录

1	电源	7
1.1	前言	7
1.1.1	独立 A/D 转换器电源以及参考电压	7
1.1.2	独立的 USB 收发器电源	7
1.1.3	电池备份域	8
1.1.4	调压器	9
1.2	供电方案	9
1.3	复位和电源监控	11
1.3.1	上电复位 (POR)/ 掉电复位 (PDR)	11
1.3.2	可编程电压检测器 (PVD)	11
1.3.3	系统复位	12
1.3.4	内部复位 ON	13
1.3.5	内部复位 OFF	13
1.3.6	调压器 OFF 模式	14
1.3.7	调压器 ON/OFF 及内部复位 ON/OFF 的可用性	16
2	引脚复用映射	17
3	时钟	18
3.1	HSE OSC 时钟	18
3.1.1	外部用户时钟 (HSE 旁路)	18
3.1.2	外部晶振 / 陶瓷谐振器 (HSE 晶振)	19
3.2	LSE OSC 时钟	19
3.2.1	外部时钟 (LSE 旁路)	20
3.2.2	外部晶振 / 陶瓷谐振器 (LSE 晶振)	20
3.3	时钟安全系统 (CSS)	20
4	启动配置	21
4.1	自举模式选择	21
4.2	自举引脚连接	22
4.3	系统自举程序模式	22
5	调试管理	23
5.1	前言	23

5.2	SWJ 调试端口（串行接口和 JTAG）	23
5.3	引脚排列和调试端口引脚	23
5.3.1	SWJ 调试端口引脚	24
5.3.2	灵活的 SWJ-DP 引脚分配	24
5.3.3	JTAG 引脚上的内部上拉和下拉	25
5.3.4	使用标准 JTAG 连接器的 SWJ 调试端口连接	25
6	建议	26
6.1	印刷电路板	26
6.2	元件位置	26
6.3	接地和供电（VSS、VDD）	26
6.4	去耦	26
6.5	其它信号	27
6.6	不使用的 I/O 和特性	27
7	参考设计	28
7.1	说明	28
7.1.1	时钟	28
7.1.2	复位	28
7.1.3	启动模式	28
7.1.4	SWJ 接口	28
7.1.5	电源	28
7.2	元件参考	29
8	推荐的 PCB 布线指南	
	STM32F745xx/STM32F756xx 器件	34
8.1	PCB 层叠	34
8.2	晶体振荡器	35
8.3	电源去耦	35
8.4	高速信号布局	36
8.4.1	SDMMC 总线接口	36
8.4.2	可变存储控制器 (FMC) 接口	37
8.4.3	四线 SPI 接口 (Quad SPI)	38
8.4.4	嵌入式跟踪宏单元 (ETM)	39
8.5	封装布局推荐	39
8.5.1	BGA 216 0.8 mm 脚间距设计示例	39

	8.5.2	WLCSP143 0.4 mm 脚间距设计示例	41
9		结论	43
10		修订历史	44



表格索引

表 1. 适用产品 1

表 2. 调压器 ON/OFF 及内部复位 ON/OFF 的可用性 16

表 3. 启动模式 21

表 4. STM32F74xxx/STM32F75xxx 自举程序通信外设 22

表 5. SWJ 调试端口引脚 24

表 6. 灵活的 SWJ-DP 引脚分配 24

表 7. 必备元件 29

表 8. 可选元件 29

表 9. 所有封装的参考连接 31

表 10. BGA 216 0.8 mm 脚间距封装信息 39

表 11. 圆片级芯片封装信息 41

表 12. 文档修订历史 44

表 13. 中文文档修订历史 44

图片索引

图 1.	VDDUSB 连接到电源 VDD	8
图 2.	VDDUSB 连接到外部电源。	8
图 3.	供电方案	10
图 4.	上电复位 / 掉电复位波形	11
图 5.	PVD 阈值	12
图 6.	复位电路	13
图 7.	电源监控器与内部复位 OFF 的互连	13
图 8.	STM32F74xxx/STM32F75xxx 的 NRST 电路时序示例	14
图 9.	BYPASS_REG 监控器复位连接	15
图 10.	STM32CubeMX 示例截图	17
图 11.	HSE 外部时钟	18
图 12.	HSE 晶振 / 陶瓷谐振器	18
图 13.	LSE 外部时钟	19
图 14.	LSE 晶振 / 陶瓷谐振器	19
图 15.	启动模式选择实现样例	22
图 16.	主机到板的连接	23
图 17.	JTAG 连接器实现	25
图 18.	VDD/VSS 引脚对的典型布局	27
图 19.	STM32F756NGH6 参考原理图	30
图 20.	四层 PCB 层叠示例	34
图 21.	六层 PCB 层叠示例	35
图 22.	在 STM32F74xxx/STM32F75xxx 下面的旁路电容布置示例	36
图 23.	BGA 0.8 mm 脚间距扇出示例	40
图 24.	通孔扇出	40
图 25.	FMC 信号扇出布线实例	40
图 26.	143 凸块 WLCSP, 0.40 mm 脚间距布线示例	42

1 电源

1.1 前言

该器件的工作电压 (V_{DD}) 要求介于 1.8 V 到 3.6 V 之间。正如产品手册所述, 当 PDR OFF 时, 工作电压也可以降低至 1.7 V。内嵌的线性调压器用于提供内部 1.2 V 数字电源。

当主电源 V_{DD} 关断时, 实时时钟 (RTC)、备份寄存器和备份 SRAM(BKP SRAM) 可通过 V_{BAT} 供电。

1.1.1 独立 A/D 转换器电源以及参考电压

为了提高转换精度, ADC 配有独立电源, 可以单独滤波并屏蔽 PCB 上的噪声。

- 一个独立的 V_{DDA} 引脚给 ADC 供电。
- V_{SSA} 引脚提供了独立的电源接地连接。

为了保证在低电压输入时的精度, 用户可以连接一个单独的参考电压到 V_{REF} 引脚上。 V_{REF} 上的电压范围为 1.8 V 到 V_{DDA} 。

当存在 V_{REF-} 引脚时 (取决于封装), V_{REF-} 必须从外部连至 V_{SSA} 。

1.1.2 独立的 USB 收发器电源

USB 收发器通过一个单独的电源引脚 V_{DDUSB} 供电。

USB 收发器的电源 V_{DDUSB} 可以直接连接到 V_{DD} 或者一个外部独立电源 (3.0 到 3.6 V) 上 (参考图 1 和图 2)。例如, 当器件通过 1.8 V 电压供电时, 可在 V_{DDUSB} 上连接 3.3 V 独立电源。当 V_{DDUSB} 连接到单独的电源时, 它独立于 V_{DD} 或 V_{DDA} , 但它必须是晚于 V_{DD} 和 V_{DDA} 上电, 且先于 V_{DD} 和 V_{DDA} 掉电。 V_{DDUSB} 必须遵守以下条件:

- 在电源开启情况下, ($V_{DD} < V_{DD_MIN}$), V_{DDUSB} 应该始终小于 V_{DD}
- 在电源关闭情况下, ($V_{DD} < V_{DD_MIN}$), V_{DDUSB} 应该始终小于 V_{DD}
- 必须考虑 V_{DDSUB} 上升和下降时间速率规格 (参考 STM32F74xxx/STM32F75xxx 数据手册中上电 / 掉电 (稳压器开) 时的工作条件表格和上电 / 掉电 (稳压器关) 时的工作条件表格)。
- 在工作模式下, V_{DDUSB} 可以低于或者高于 V_{DD} :
 - 如果 USB(USB OTG_HS/OTG_FS) 在使用, 相关的由 V_{DDUSB} 供电的 GPIO 工作在 V_{DDUSB_MIN} 和 V_{DDUSB_MAX} 之间。
 - V_{DDUSB} 同时为两个 USB 收发器 (USB OTG_HS 和 USB OTG_FS) 供电。如果应用项目仅使用一个 USB 收发器, 则与另一个 USB 收发器相关的 GPIO 仍由 V_{DDUSB} 供电。
 - 如果 USB(USB OTG_HS/OTG_FS) 没有使用, 相关的由 V_{DDUSB} 供电的 GPIO 工作在 V_{DDUSB_MIN} 和 V_{DDUSB_MAX} 之间。

图 1. V_{DDUSB} 连接到电源 V_{DD}

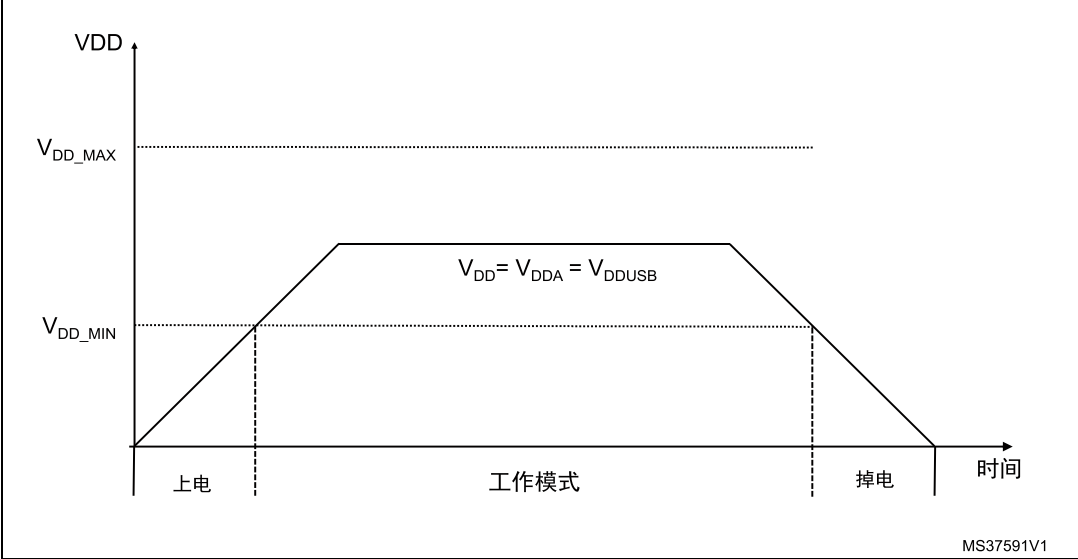
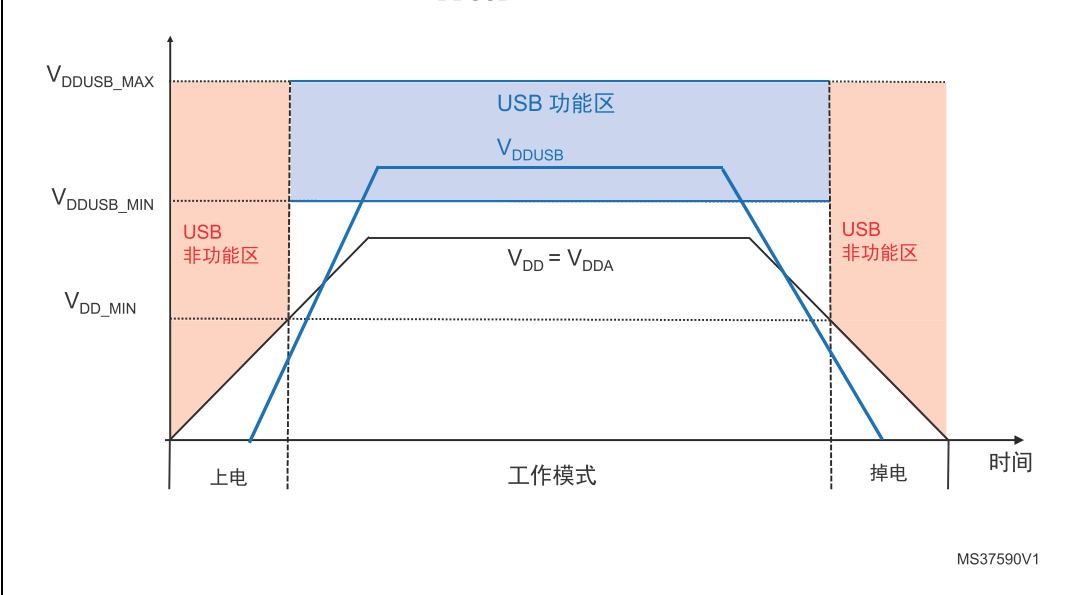


图 2. V_{DDUSB} 连接到外部电源。



1.1.3 电池备份域

备份域说明

为了在 V_{DD} 掉电时，还能保留 RTC 备份寄存器和备份 RAM 的内容，且让 RTC 继续工作，可将 V_{BAT} 引脚连接到电池或者其他备用电源上。

通过 V_{BAT} 对备份域供电时（由于不存在 V_{DD} ，内部电源开关连接到 V_{BAT} ），可实现以下功能：

- PC14 和 PC15 只可用作 LSE 引脚。
- PC13 可用作入侵引脚 (TAMP1)。
- PI8 可用作入侵引脚 (TAMP2)。

1.1.4 调压器

此调压器在复位后始终处于使能状态。根据应用模式的不同，可采用三种不同的模式工作。

- 在运行模式中，调压器为 1.2 V 电源（内核、存储器和数字外设）提供全功率。
- 停止模式：调压器为 1.2 V 电源供电，以保留寄存器和内部 SRAM 中的内容。
- 待机模式，调压器掉电。除涉及待机电路和备份域外，寄存器和 SRAM 的内容都将丢失。

注：根据不同的封装选择，为激活或停用调压器，应将特定引脚连接到 V_{SS} 或 V_{DD} 。有关详细信息，请参见数据手册的调压器部分。

1.2 供电方案

- $V_{DD}=1.7$ 至 3.6 V: I/O 和内部调压器（若启用）的外部电源，通过 V_{DD} 引脚外部提供。 V_{DD} 引脚必须连接到带外部去耦电容（每个引脚一个 100 nF 的陶瓷电容，再加一个单独的钽电容或者是最小 4.7 μ F 的陶瓷电容）的 V_{DD} 电源。
- V_{SSA} 、 $V_{DDA}=1.7$ 至 3.6 V: ADC、DAC、复位模块、RC、PLL 的外部模拟电源。 V_{DDA} 和 V_{SSA} 必须分别连至 V_{DD} 和 V_{SS} 。
 V_{DDA} 引脚必须连至两个外部去耦电容（100 nF 陶瓷电容 +1 μ F 钽电容或陶瓷电容）。
- USB 收发器使用的 V_{DDUSB} 既可以连接到 V_{DD} 上，也可以连接到外部独立电源（3.0V 到 3.6V）上。例如，当器件工作在 1.8V 时，一个独立的 3.3V 电源可以连接到 V_{DDUSB} 。
 V_{DDUSB} 引脚必须连至两个外部去耦电容（100 nF 陶瓷电容 +1 μ F 钽电容或陶瓷电容）。
- $V_{BAT}=1.65$ 到 3.6 V: 当 V_{DD} 不存在时，作为 RTC、32 kHz 外部时钟振荡器和备份寄存器的电源（通过内部开关切换）。
 V_{BAT} 引脚可连至外部电池 ($1.65 \text{ V} < V_{BAT} < 3.6 \text{ V}$)。如果没有使用任何外部电池，建议将该引脚连接到带有 100 nF 外部去耦陶瓷电容的 V_{DD} 上。

注：当内部复位为关闭时， V_{DD} 和 V_{DDA} 的供电范围可低至 1.7 V（请参考第 1.3.5 节：内部复位 OFF）。

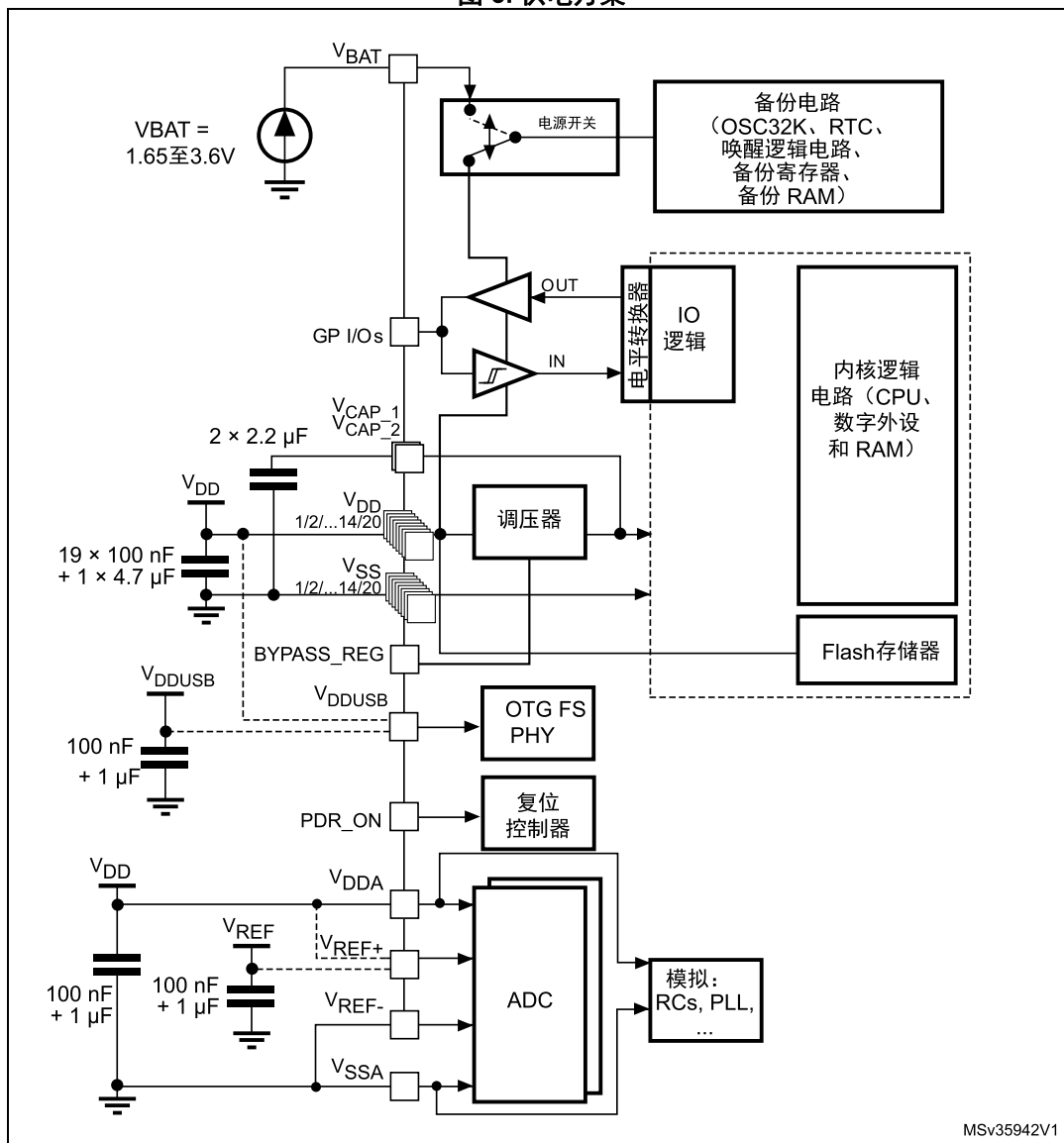
- V_{REF+} 引脚可连至 V_{DDA} 外部供电电源。若在 V_{REF+} 上施加了一个单独的外部参考电压，则必须将一个 100 nF 和一个 1 μ F 电容连至此引脚。在所有情况下， V_{REF+} 必须保持在 ($V_{DDA}-1.2 \text{ V}$) 和 V_{DDA} （最小值为 1.7 V）。

- 进一步过滤模拟噪声的方法：
 - V_{DDA} 可通过铁氧体磁环连至 V_{DD} 。
 - V_{REF+} 引脚可通过一个电阻连至 V_{DDA} 外部供电电源（典型值 47 Ω ）。
- 为激活或停用稳压器，必须将特定引脚 $BYPASS_REG$ （不是所有的封装都有）连接到 V_{SS} 或 V_{DD} 。

注：有关详细信息，请参见数据手册的稳压器部分。

- 当稳压器开启时, VCAP1 和 VCAP2 引脚必须与 $2 \times 2.2\mu\text{F}$ 低 $\text{ESR} < 2\Omega$ 的陶瓷电容连接。

图 3. 供电方案



1. 可选。若在 V_{REF+} 上施加了一个单独的外部参考电压，则必须将一个 100 nF 和一个 1 μ F 电容连至此引脚。

2. V_{REF+} 连至 V_{REF+} 或 V_{DDA} （取决于封装）。
3. V_{REF-} 连至 V_{REF-} 或 V_{SSA} （取决于封装）。
4. 19 为 V_{DD} 和 V_{SS} 输入数目。
5. 参考第 1.3.7 节：调压器 ON/OFF 及内部复位 ON/OFF 的可用性连接 BYPASS_REG 引脚和 PDR_ON 引脚。

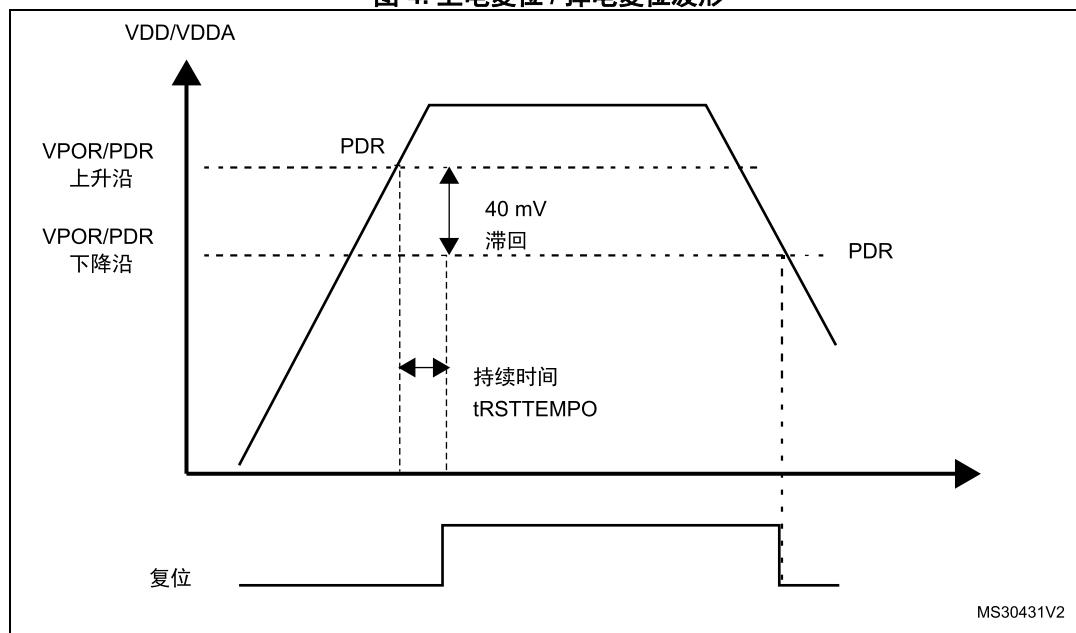
1.3 复位和电源监控

1.3.1 上电复位 (POR)/ 掉电复位 (PDR)

本器件内部集成有 POR/PDR 电路，可以从 1.8 V 开始正常工作。

当 V_{DD}/V_{DDA} 低于指定阈值 V_{POR}/PDR 时，器件无需外部复位电路便会保持复位模式。有关上电 / 掉电复位阈值的相关详细信息，请参见数据手册的电气特性部分。

图 4. 上电复位 / 掉电复位波形



1. $t_{RSTTEMPO}$ 大约为 2.6 ms。VPOR/PDR 的上升沿为 1.74 V（典型值），VPOR/PDR 下降沿为 1.70 V（典型值）。真正的实际值，请参见 STM32F756xx 数据手册。

在内置了 PDR_ON 引脚的封装上，通过保持 PDR_ON 为高电平来启用电源监控器。在其它封装上，电源监控器一直启用。

1.3.2 可编程电压检测器 (PVD)

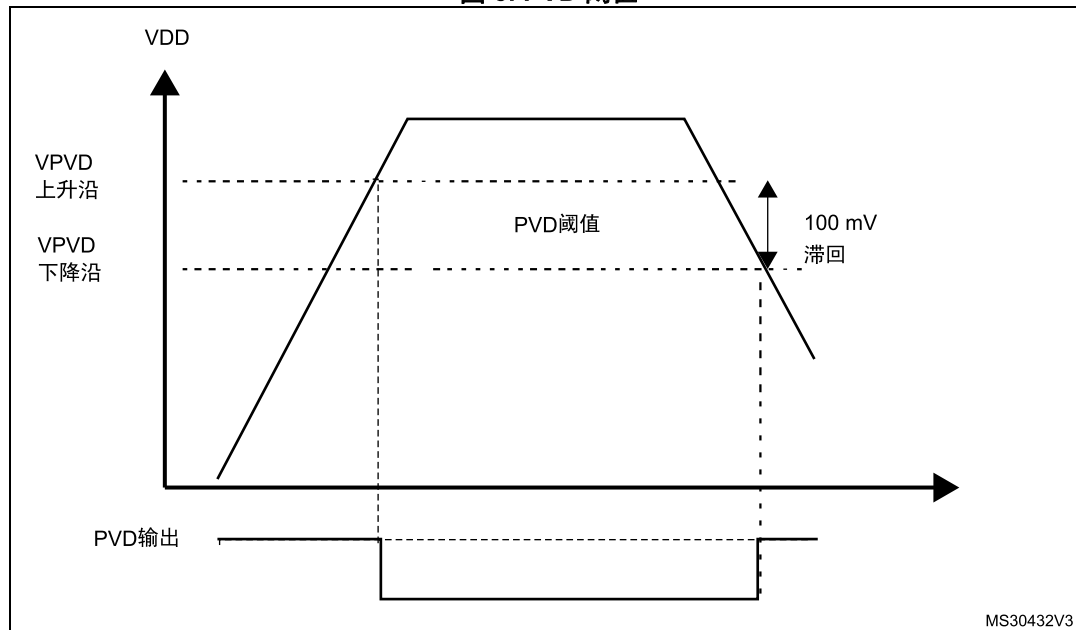
可以使用 PVD 监视 V_{DD} 电源，将其与电源控制寄存器（PWR_CR）中 PLS[2:0] 位所选的阈值进行比较。

通过设置 PVDE 位来使能 PVD。

PWR 电源控制 / 状态寄存器 (PWR_CSR1) 中提供了 PVDO 标志, 用于指示 V_{DD} 是大于还是小于 PVD 阈值。该事件内部连接到 EXTI 线 16, 如果通过 EXTI 寄存器使能, 则可以产生中断。

当 V_{DD} 降至 PVD 阈值以下以及 / 或者当 V_{DD} 升至 PVD 阈值以上时, 可以产生 PVD 输出中断, 具体取决于 EXTI 线 16 上升沿 / 下降沿的配置。该功能的用处之一就是可以在中断服务程序中执行紧急关闭系统的任务。

图 5. PVD 阈值



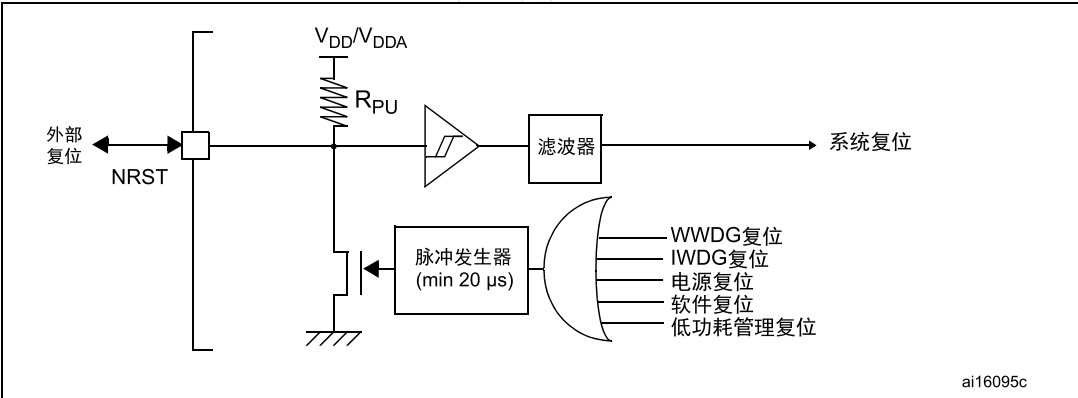
1.3.3 系统复位

除了时钟控制寄存器 CSR 中的复位标志和备份域中的寄存器外, 系统复位会将其它全部寄存器都复位为复位值 (请参见图 6)。

只要发生以下事件之一, 就会产生系统复位:

1. NRST 引脚低电平 (外部复位)。
2. 窗口看门狗计数结束 (WWDG 复位)。
3. 独立看门狗计数结束 (IWDG 复位)。
4. 软件复位 (SW 复位) (请参见软件复位)。
5. 低功耗管理复位 (参见低功耗管理复位)。

图 6. 复位电路



1.3.4 内部复位 ON

在内置了 PDR_ON 引脚的封装上，通过保持 PDR_ON 为高电平来启用电源监控器。在其它封装上，电源监控器一直启用。

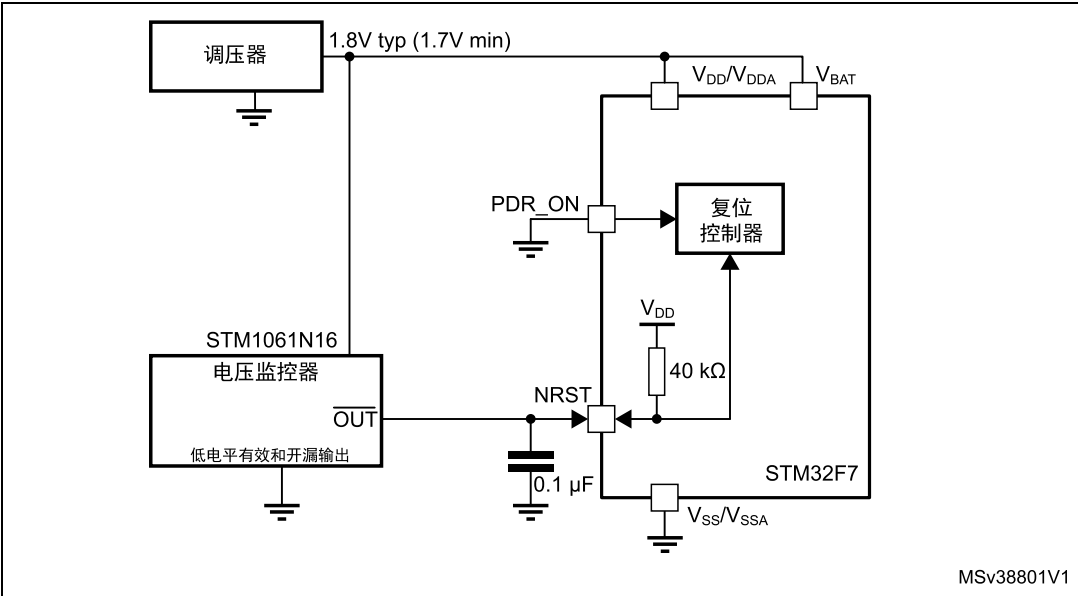
有关内部复位 ON 的更多详细信息，参考数据手册 (DS10915, DS10916)。

1.3.5 内部复位 OFF

此特性仅在具有 PDR_ON 引脚的封装上可用。通过 PDR_ON 引脚可禁用内部上电复位 (POR) / 掉电复位 (PDR) 电路。

在 V_{DD} 低于指定门限时，外部电源监控器应监控 V_{DD} 和 NRST 并将器件保持在复位模式。PDR_ON 应该连接到 V_{SS} 。参考图 7：电源监控器与内部复位 OFF 的互连。

图 7. 电源监控器与内部复位 OFF 的互连



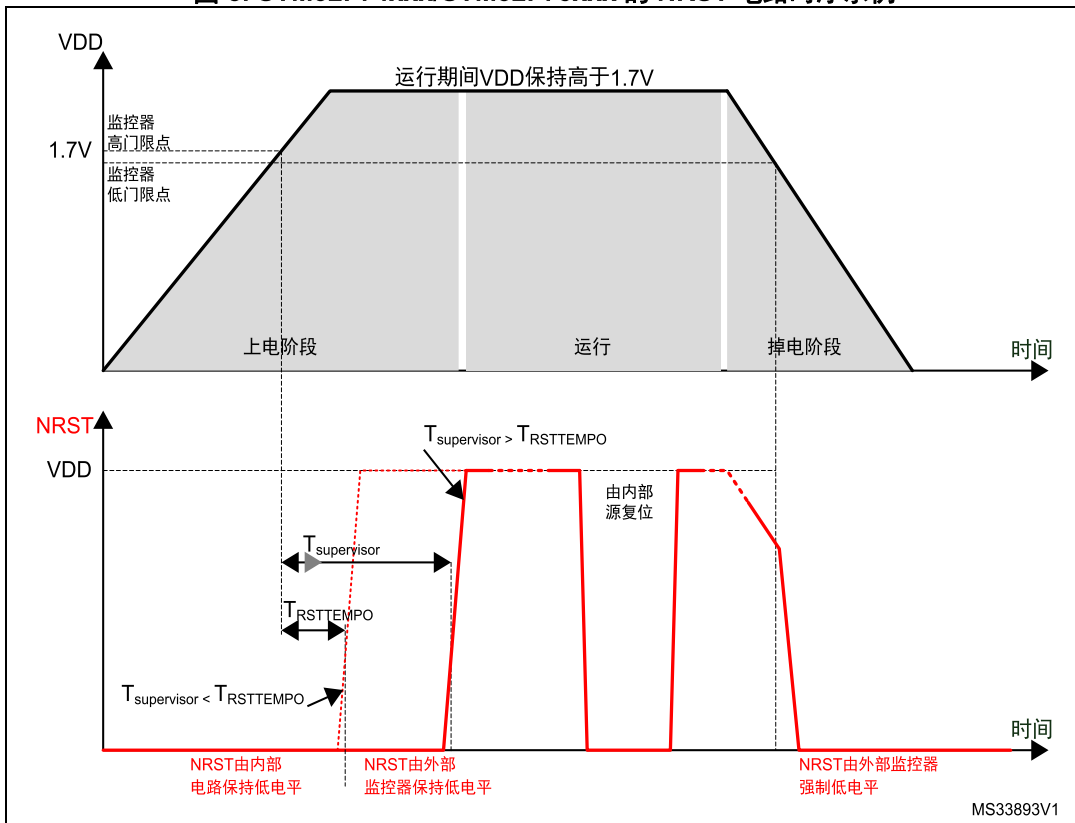
供电电压可以由内部电路更好地控制，且永远不低于 1.8V（由于具有内嵌的复位控制器，因此不需要额外的元件）。

当内部复位为 OFF 时，将不再支持下列特性：

- 集成的上电复位（POR）/ 掉电复位（PDR）电路禁用。
- 欠压复位（BOR）电路必须禁用。
- 内嵌的可编程电压检测器（PVD）禁用。
- V_{BAT} 功能不再可用， V_{BAT} 引脚应连至 V_{DD} 。

除了 LQFP100，所有封装都可通过将 PDR_ON 信号连接到 V_{SS} 禁用内部复位。

图 8. STM32F74xxx/STM32F75xxx 的 NRST 电路时序示例



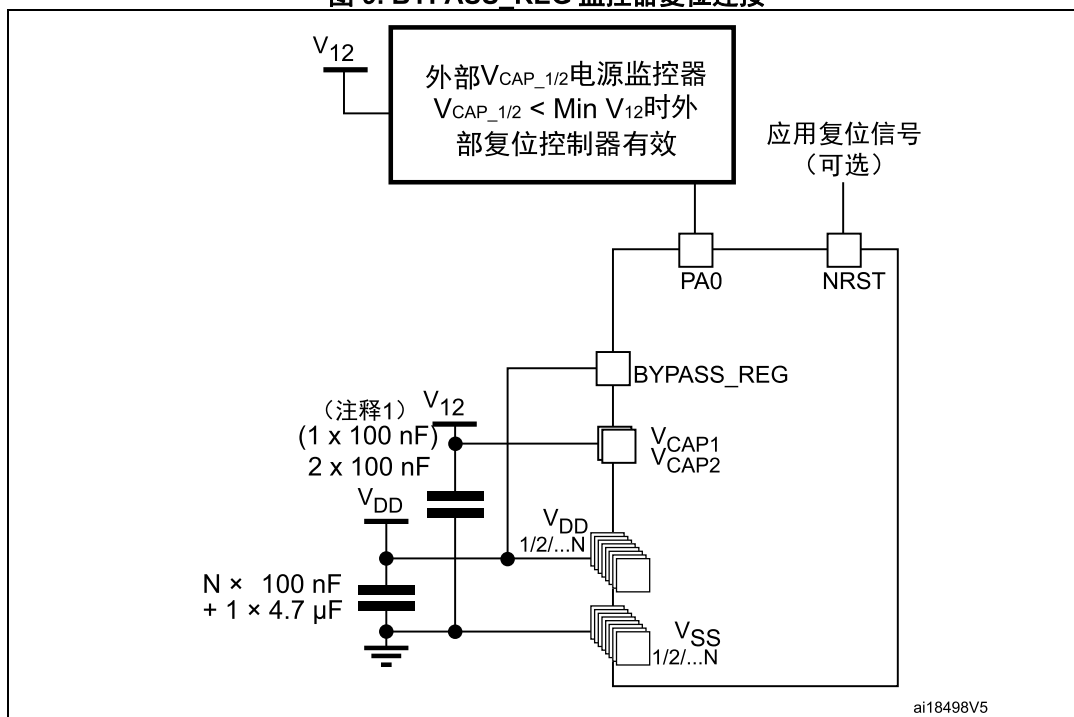
1.3.6 调压器 OFF 模式

有关详细信息，请参见数据手册的稳压器部分。

- 当 $BYPASS_REG = V_{DD}$ 时，内核供电应该由 V_{CAP1} 提供，并且 V_{CAP1} 的引脚连接到一起。
 - 两个 V_{CAP} 陶瓷电容应替换为两个 100 nF 去耦电容。
 - 因为内部电压分级并不在内部管理，所以外部电压值必须与目标的最大频率匹配。
 - 当内部调压器 OFF 时，V12 上不再有内部监控。应使用外部电源监控器来监控逻辑电源域的 V12 (V_{CAP})。PA0 引脚应用于此目的，作为 V12 电源域上的上电复位。

- 在调压器 OFF 模式，不再支持下列特性：
 - PA0 不能用作 GPIO 引脚，因为它可复位一部分 V12 逻辑电源域，而该域不能由 NRST 引脚复位。
 - 当 PA0 为低电平时，不能在上电复位下使用调试模式。因此，若需要复位或预复位下的调试连接，则必须单独管理 PA0 和 NRST 引脚。
 - 超载和低载模式不可用。
 - 待机模式不可用。

图 9. BYPASS_REG 监控器复位连接



1. V_{CAP2} 并不是在所有封装上都有。在这种情况下，一个单独的 100 nF 去耦电容连接到 V_{CAP1} 上。

必须考虑以下条件：

- V_{DD} 应一直高于 V_{CAP_1} ，以防止电源域之间的电流注入。
- 若 V_{CAP} 达到 V_{12} 最小值的时间比 V_{DD} 达到 1.7 V 的时间更短，则 PA0 应保持为低电平直到满足两个条件： V_{CAP} 达到 V_{12} 最小值以及 V_{DD} 达到 1.7 V。
- 否则，若 V_{CAP} 达到 V_{12} 最小值的时间比 V_{DD} 达到 1.7 V 的时间短，则 PA0 应外部处于低电平。
- 如果 V_{CAP} 小于 V_{12} 的最小值以及 V_{DD} 高于 1.7 V，则 PA0 应外部处于低电平。

1.3.7 调压器 ON/OFF 及内部复位 ON/OFF 的可用性

表 2. 调压器 ON/OFF 及内部复位 ON/OFF 的可用性

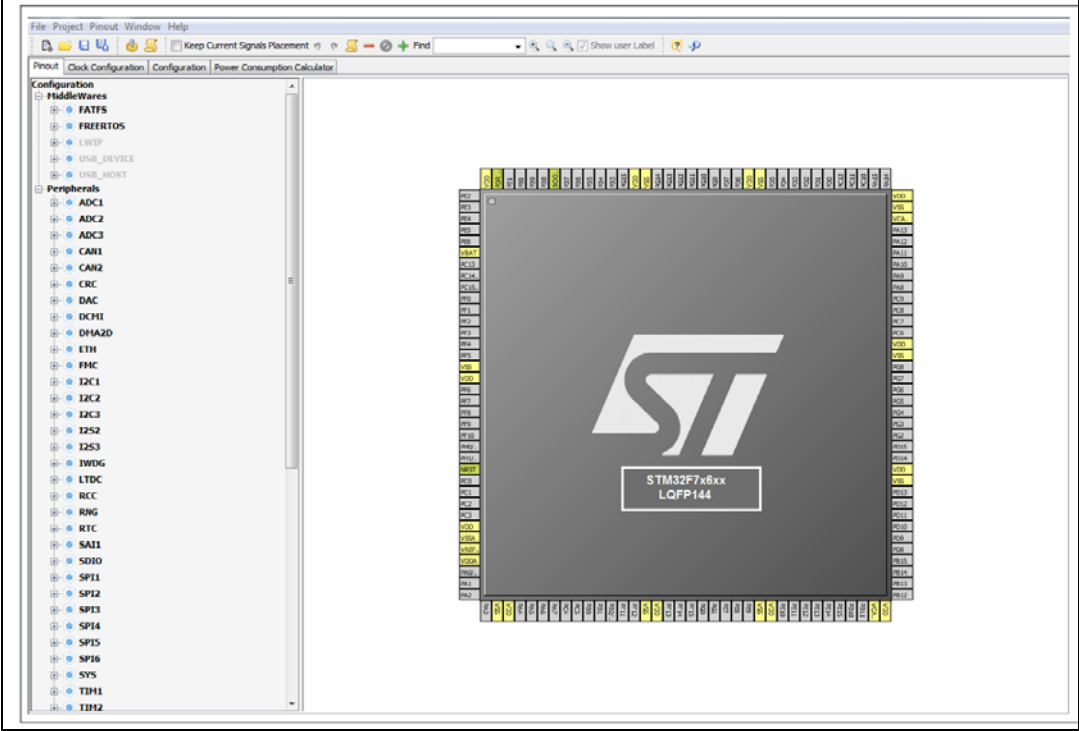
封装	调压器 ON	调压器 OFF	内部复位 ON	内部复位 OFF
LQFP100	有	无	有	无
LQFP144, LQFP208			有 PDR_ON 设为 V_{DD}	有 PDR_ON 设为 V_{SS}
LQFP176, WLCSP143, UFBGA176, TFBGA216	有 BYPASS_REG 设 为 V_{SS}	有 BYPASS_REG 设 为 V_{DD}		



2 引脚复用映射

为了更容易地探索外设复用映射，建议使用 STM32CubeMX 工具，该工具可以在 www.st.com 上获得。

图 10. STM32CubeMX 示例截图



3 时钟

可以使用三种不同的时钟源来驱动系统时钟 (SYSCLK):

- HSI 振荡器时钟。
- HSE 振荡器时钟。
- 主 PLL(PLL) 时钟。

器件具有以下两个次级时钟源:

- 32 kHz 低速内部 RC(LSIRC), 该 RC 用于驱动独立看门狗, 也可选择提供给 RTC 用于停机 / 待机模式下的自动唤醒。
- 32.768 kHz 低速外部晶振 (LSE 晶振), 用于驱动 RTC 时钟 (RTCCLK)。

对于每个时钟源来说, 在未使用时都可单独打开或者关闭, 以降低功耗。

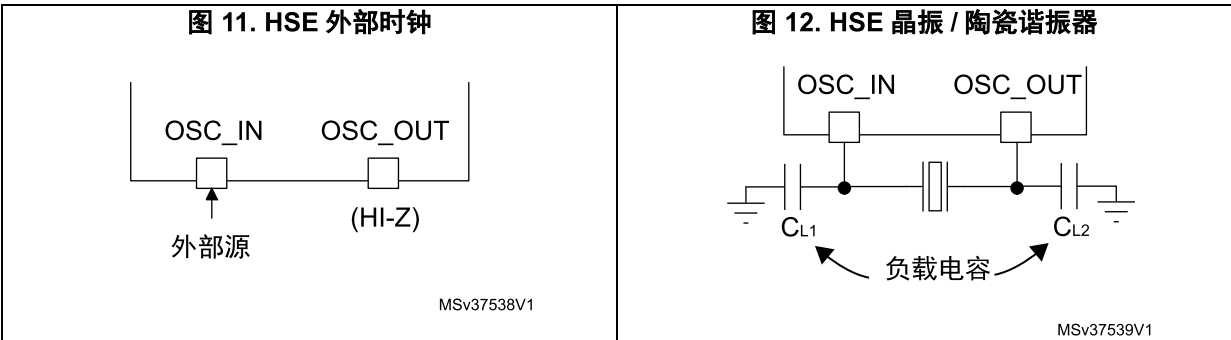
若需时钟树的说明, 请参考 RM0385 参考手册。

3.1 HSE OSC 时钟

高速外部时钟信号 (HSE) 有 2 个时钟源:

- HSE 外部用户时钟 (参见图 11)。
- HSE 外部晶振 / 陶瓷谐振 (参见图 12)。

谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。



3.1.1 外部用户时钟 (HSE 旁路)

在此模式下, 必须提供外部时钟源。此模式通过设置时钟控制寄存器 (RCC_CR) 中的 HSEBYP 和 HSEON 位进行选择。必须使用占空比约为 50% 的外部时钟信号 (方波、正弦波或三角波) 来驱动 OSC_IN 引脚, 同时 OSC_OUT 引脚应保持为 HI-Z。

3.1.2 外部晶振 / 陶瓷谐振器（HSE 晶振）

外部振荡器频率范围为 4 至 26 MHz。外部振荡器的优点是主时钟精度非常高。相关的硬件配置如 [图 12](#) 所示。使用一个 25 MHz 的振荡器频率有利于得到精确的时钟给以太网、USB OTG 高速外设、I2S 和 SAI 来使用。

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

对于 CL1 和 CL2，建议使用专为高频应用设计、可满足晶振或谐振器的要求且大小介于 5 pF 到 25 pF（典型值）之间的高质量陶瓷电容。CL1 和 CL2 的大小通常相同。晶振制造商指定的负载电容通常是 CL1 和 CL2 的串联组合。确定 CL1 和 CL2 的规格时，必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 10 pF）。

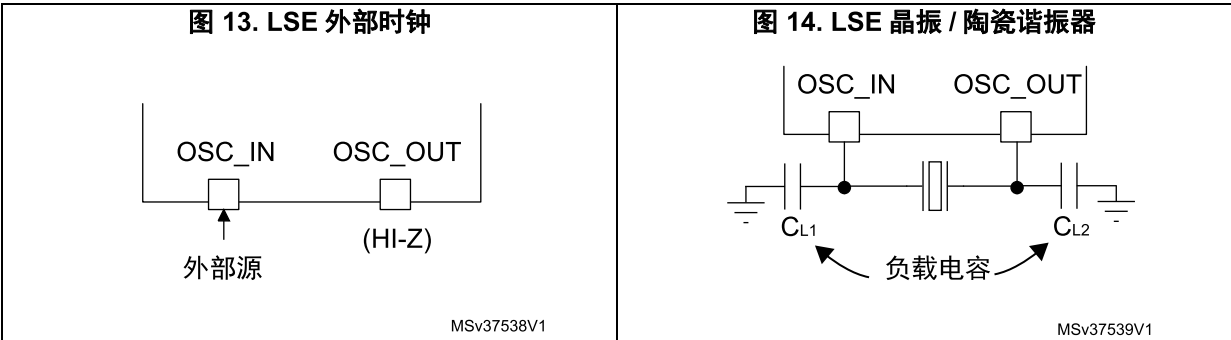
RCC 时钟控制寄存器中的 HSERDY 标志（RCC_CR）指示了高速外部振荡器是否稳定。在启动时，硬件将此位置 1 后，此时钟才可以使用。如在 RCC 时钟中断寄存器（RCC_CIR）中使能中断，则可产生中断。

HSE 晶振可通过时钟控制寄存器（RCC_CR）中的 HSEON 位打开或关闭。

3.2 LSE OSC 时钟

低速外部时钟信号 (LSE) 有 2 个时钟源：

- LSE 用户外部时钟（参见 [图 13](#)）。
- LSE 外部晶振 / 陶瓷谐振器（参见 [图 14](#)）。



1. [图 14：LSE 晶振 / 陶瓷谐振器](#)：
为避免超过 CL1 和 CL2 的最大值（15 pF），强烈建议使用负载电容 $CL \leq 7$ pF 的谐振器。
2. [图 13：LSE 外部时钟](#)和[图 14：LSE 晶振 / 陶瓷谐振器](#)：
OSC32_IN 和 OSC32_OUT 引脚也可用作 GPIO，但建议在同一应用中不要既用作 RTC 又用作 GPIO 引脚。

LSE 振荡器通过 RCC 备份域控制寄存器（RCC_BDCR）中的 LSEON 位打开和关闭。

LSE 振荡器包括新的模式，并且使用 RCC_BDCR 寄存器中的 LSEDRV[1:0] 可以实现可配置的驱动：

- 00：低驱动。
- 10：中低驱动。
- 01：中高驱动。
- 11：高驱动。

RCC 备份域控制寄存器（RCC_BDCR）中的 LSERDY 标志指示了 LSE 晶振是否稳定。在启动时，硬件将此位置 1 后，LSE 晶振输出时钟信号才可以使用。如在 RCC 时钟中断寄存器（RCC_CIR）中使能中断，则可产生中断。

3.2.1 外部时钟（LSE 旁路）

在此模式下，必须提供外部时钟源。最高频率不超过 1 MHz。此模式通过设置 RCC 备份域控制寄存器（RCC_BDCR）中的 LSEBYP 和 LSEON 位进行选择。必须使用占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC32_IN 引脚，同时 OSC32_OUT 引脚应保持为高阻态 (Hi-Z)。请参见图 13。

3.2.2 外部晶振 / 陶瓷谐振器（LSE 晶振）

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器。可作为实时时钟外设 (RTC) 的时钟源来提供时钟 / 日历或其它定时功能，具有功耗低且精度高的优点。

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

3.3 时钟安全系统 (CSS)

时钟安全系统可通过软件激活。激活后，时钟监测器将在 HSE 振荡器启动延迟后使能，并在此振荡器停止时被关闭。

- 如果 HSE 时钟发生故障，此振荡器将自动禁止，一个时钟故障事件将发送到高级控制定时器 TIM1 和 TIM8 的断路输入，并且同时还将生成一个中断来向软件通知此故障（时钟安全系统中断，CSSI），以使 MCU 能够执行救援操作。CSSI 与 Cortex®-M7 NMI（不可屏蔽中断）异常向量相链接。
- 如果直接或间接使用 HSE 振荡器作为系统时钟（间接是指该振荡器直接用作 PLL 的输入时钟，并且该 PLL 时钟为系统时钟）并且检出故障，则系统时钟将切换到 HSI 振荡器并且 HSE 振荡器将被禁止。
- 如果 HSE 振荡器时钟是充当系统时钟的 PLL 的时钟源，则在发生故障时，PLL 也会被禁止。在此情况下，如果 PLLI2S 或 PLLSAI 已使能，则在 HSE 发生故障时也会将其禁止。

4 启动配置

4.1 自举模式选择

在 STM32F74xxx/STM32F75xxx 器件中，可通过 BOOT 引脚选择两种不同的自举空间并且 BOOT_ADD0 和 BOOT_ADD1 选项字节中编程的自举基址如表 3 所示。

表 3. 启动模式

STM32F74xxx/STM32F75xxx		
自举模式选择		自举空间
BOOT 引脚	自举地址选项字节	
0	BOOT_ADD0[15:0]	- 自举地址由用户选择字节 BOOT_ADD0[15:0] 定义 -ST 编程值：闪存 ITCM 在 0x00200000
1	BOOT_ADD1[15:0]	- 自举地址由用户选择比特 BOOT_ADD1[15:0] 定义 -ST 编程值：系统自举程序在 0x00100000

BOOT_ADD0 和 BOOT_ADD1 地址选项字节允许将启动存储器地址配置为从 0x0000 0000 到 0x2004 FFFF 的任意地址，包括：

- 映射到 ITCM 或 AXIM 接口上的所有 Flash 存储器地址空间
- 所有 RAM 地址空间：映射到 AXIM 接口上的 ITCM、DTCMRAM 和 SRAM。
- 系统存储器自举程序。

可在复位后修改 BOOT_ADD0/BOOT_ADD1 选项字节以在下次复位后从任何其它自举地址自举。

如果编程的自举存储器地址位于存储器映射区域或保留区域之外，则按如下方式编程默认自举获取地址：

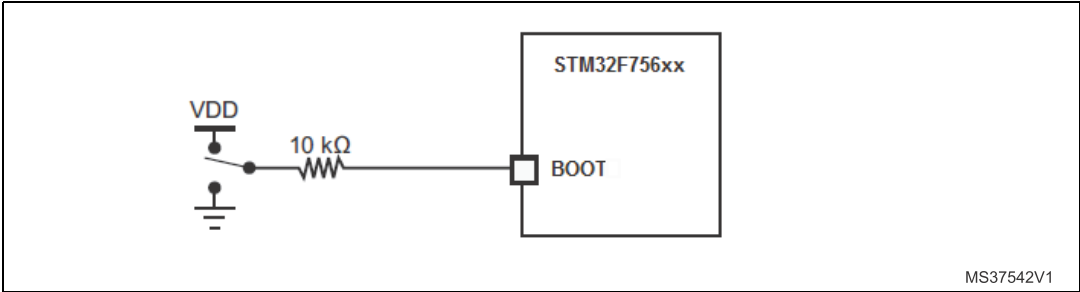
- 自举地址 0：位于 0x00200000 的 ITCM-FLASH
- 自举地址 1：位于 0x00000000 的 ITCM-RAM

当 Flash 的保护级别被配置为级别 2 之后，只能从 Flash 存储器（位于 ITCM 或 AXIM 接口上）或系统自举程序自举。如果 BOOT_ADD0 和 / 或 BOOT_ADD1 选项字节中自举地址被配置为位于存储器范围或 RAM 地址（位于 ITCM 或 AXIM 上）之外，则系统只能从位于地址 0x00200000 的 ITCM 接口上的 Flash 存储器开始执行。

4.2 自举引脚连接

图 15 显示了选择 STM32F756xx 的自举存储器所需的外部连接。

图 15. 启动模式选择实现样例



1. 电阻值仅作为典型举例给出。

4.3 系统自举程序模式

内部自举程序代码位于系统存储器中，在芯片生产期间由 ST 编程。它用于通过以下串行接口重新编程 Flash。

表 4 展示了系统自举程序所支持的通信外设。

表 4. STM32F74xxx/STM32F75xxx 自举程序通信外设

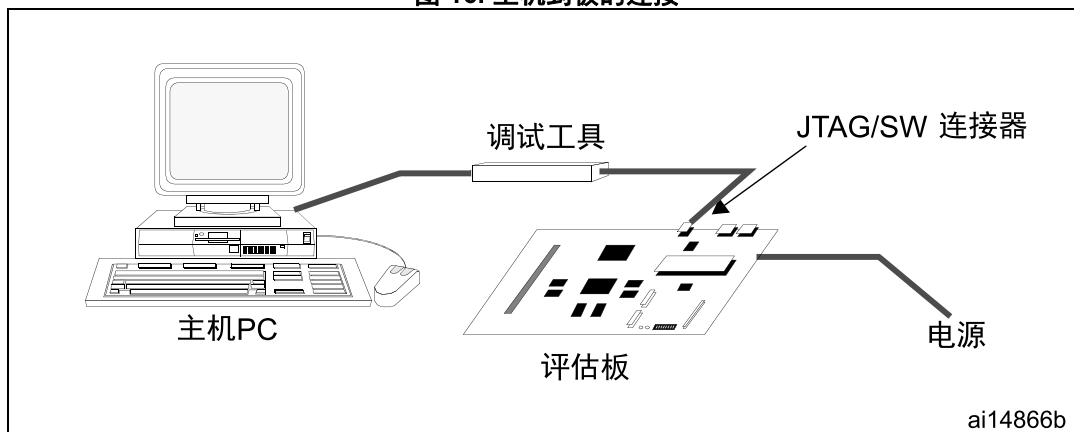
自举程序外设	STM32F74xxx/STM32F75xxx
DFU	USB OTG FS(PA11/PA12) 处于设备模式
USART1	PA9/PA10
USART3	PB10/PB11 和 PC10/PC11
CAN2	PB5/PB13
I2C1	PB6/PB9
I2C2	PF0/PF1
I2C3	PA8/PC9

5 调试管理

5.1 前言

主机 / 目标接口为连接主机与应用板的硬件设备。此接口由三部分组成：硬件调试工具、JTAG 或 SW 连接器，以及连接主机与调试工具的电缆。图 16 显示了主机到评估板的连接。

图 16. 主机到板的连接



5.2 SWJ 调试端口（串行接口和 JTAG）

STM32F74xxx/STM32F75xxx 的内核集成有串行线 /JTAG 调试端口 (SWJ-DP)。该端口是 ARM® 标准 CoreSight 调试端口，具有 JTAG-DP（5 引脚）接口和 SW-DP（2 引脚）接口。

- JTAG 调试端口 (JTAG-DP) 提供用于连接到 AHP-AP 端口的 5 引脚标准 JTAG 接口。
- 串行线调试端口 (SW-DP) 提供用于连接到 AHP-AP 端口的 2 引脚（时钟 + 数据）接口。

在 SWJ-DP 中，SW-DP 的 2 个 JTAG 引脚与 JTAG-DP 的 5 个 JTAG 引脚中的部分引脚复用。

有关 SWJ 调试端口的更多详细信息，参考 RM0385 SWJ 调试端口部分（串行线和 JTAG）。

5.3 引脚排列和调试端口引脚

STM32F74xxx/STM32F75xxx 器件的不同封装有不同的有效引脚数。因此，某些与引脚相关的功能（TPIU 并行输出接口）可能随封装而不同。

5.3.1 SWJ 调试端口引脚

STM32F74xxx/STM32F75xxx 的五个通用 I/O 可用作 SWJ-DP 接口引脚。所有封装都提供这些引脚。

表 5. SWJ 调试端口引脚

SWJ-DP 引脚名称	JTAG 调试端口		SW 调试端口		引脚分配
	类型	说明	类型	调试分配	
JTMS/SWDIO	I	JTAG 测试模式选择	IO	串行线数据输入 / 输出	PA13
JTCK/SWCLK	I	JTAG 测试时钟	I	串行线时钟	PA14
JTDI	I	JTAG 测试数据输入	-	-	PA15
JTDO/TRACESWO	O	JTAG 测试数据输出	-	TRACESWO（如果使能异步跟踪）	PB3
NJTRST	I	JTAG 测试 nReset	-	-	PB4

5.3.2 灵活的 SWJ-DP 引脚分配

复位（SYSRESETn 或 PORESETn）后，会将用于 SWJ-DP 的全部 5 个引脚指定为专用引脚，可供调试工具立即使用（请注意，除非由调试工具明确编程，否则不分配跟踪输出）。

但是，STM32F74xxx/STM32F75xxx 器件可以禁止部分或全部 SWJ-DP 端口，进而释放相关引脚以用作通用 IO(GPIO)。

表 6 显示了释放一些引脚的多种可能。

表 6. 灵活的 SWJ-DP 引脚分配

可用的调试端口	分配的 SWJIO 引脚				
	PA13/ JTMS/ SWDIO	PA14/ JTCK/ SWCLK	PA15/ JTDI	PB3/ JTDO	PB4/ NJTRST
全部 SWJ(JTAG-DP+SW-DP)- 复位状态	X	X	X	X	X
全部 SWJ(JTAG-DP+SW-DP), 但不包括 NJTRST	X	X	X	X	-
禁止 JTAG-DP 和使能 SW-DP	X	X	-		
禁止 JTAG-DP 和禁止 SW-DP	已释放				

关于怎样禁用 SWJ-DP 端口引脚的更多详细信息，请参考 RM0385 I/O 引脚复用功能复用器和映射部分。



5.3.3 JTAG 引脚上的内部上拉和下拉

必须确保 JTAG 输入引脚不悬空，因为这些引脚直接连接到用于控制调试模式功能的触发器。还必须特别注意 SWCLK/TCK 引脚，该引脚直接连接到一些触发器的时钟。

为避免 IO 电平浮空，器件在 JTAG 引脚上内置有内部上拉和下拉：

- NJTRST：内部上拉。
- JTDI：内部上拉。
- JTMS/SWDIO：内部上拉。
- TCK/SWCLK：内部下拉。

用户软件释放 JTAGIO 后，GPIO 控制器便会再次取得控制权。

GPIO 控制寄存器的复位状态会将 I/O 置于：

- NJTRST：AF 输入上拉。
- JTDI：AF 输入上拉。
- JTMS/SWDIO：AF 输入上拉。
- JTCK/SWCLK：AF 输入下拉。
- JTDO：AF 输出悬空。

软件可以把这些 I/O 口作为普通的 I/O 口使用。

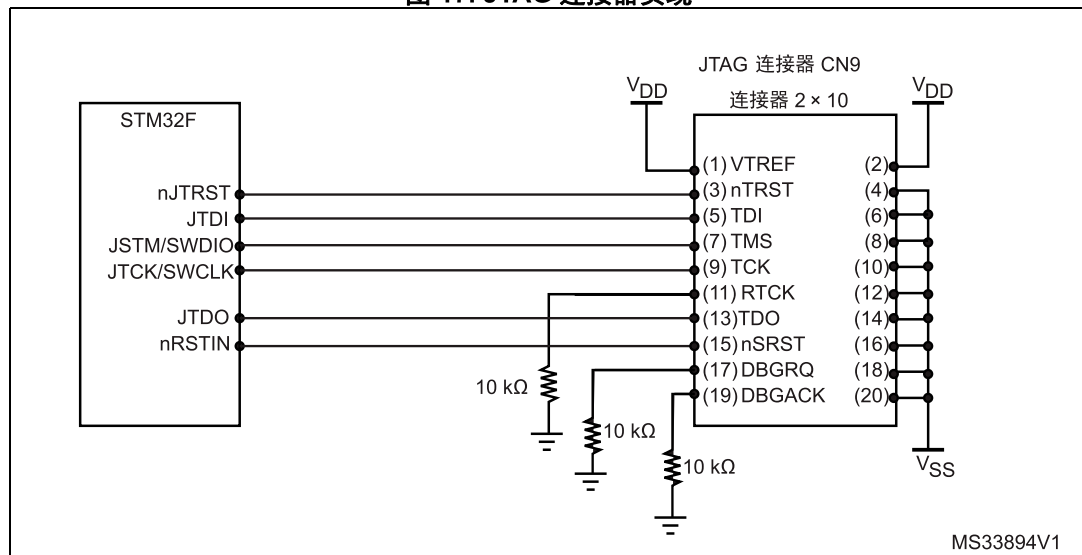
注： JTAG IEEE 标准建议在 TDI、TMS 和 nTRST 上添加上拉，但对 TCK 没有特殊建议。但是，对于 JTCK，器件需要集成下拉。

由于带有上拉和下拉电阻，因此无需添加外部电阻。

5.3.4 使用标准 JTAG 连接器的 SWJ 调试端口连接

图 17 显示了 STM32F7xxxx 和标准 JTAG 连接器之间的连接。

图 17. JTAG 连接器实现



6 建议

6.1 印刷电路板

由于技术原因，最好使用多层印刷电路板（PCB）的单独一层专用于接地（ V_{SS} ），另一层专用于 V_{DD} 供电。这提供了不错的去耦和屏蔽效果。对于很多应用，由于经济原因不能使用此类板。在这种情况下，主要要求就是要确保接地和供电有良好的结构。

6.2 元件位置

为了减少 PCB 上的交叉耦合，PCB 的初始布局必须对不同的电路的 EMI 贡献进行区分，不同的电路包括噪声、大电流电路、低电压电路和数字部分。

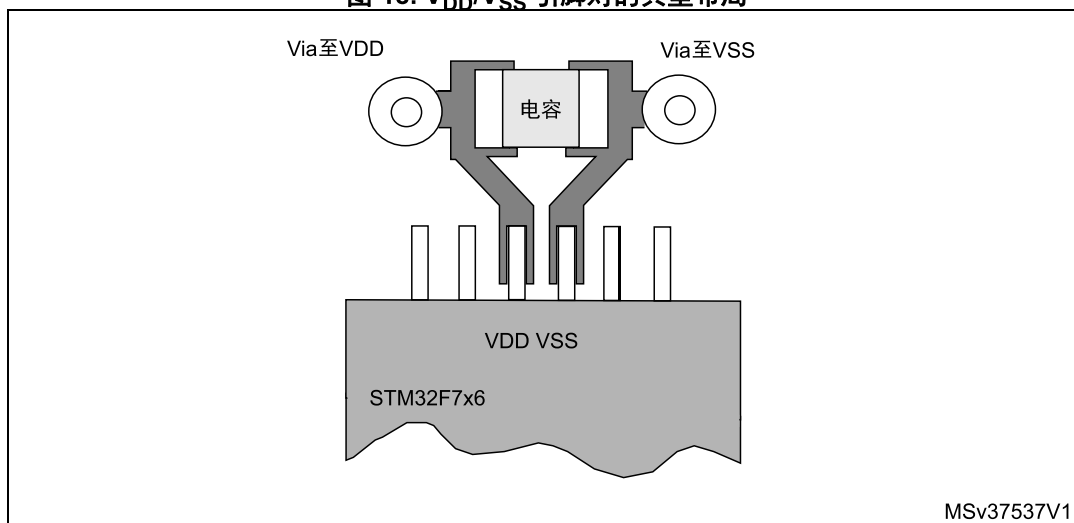
6.3 接地和供电（ V_{SS} 、 V_{DD} ）

每个块（噪声、底层敏感、数字等等）都应单独接地，所有接地返回都应为一个点。必须避免出现环，或使环有最小面积。供电应靠近地线实现，以最小化供电环的面积。这是因为供电环的行为类似天线，因此它是 EMI 的主要发送者和接收者。所有无元件的 PCB 区域必须用额外的接地填充，以创造屏蔽（尤其是使用单层 PCB 时）。

6.4 去耦

所有供电和接地引脚都必须适当连至供电电源。这些连接，包括焊盘、线、过孔，都必须有尽可能低的阻抗。典型情况下，这可通过使用粗的线宽做到，最好在多层 PCB 中使用专用供电层。

此外，每个供电电源对都应使用滤波陶瓷电容（100 nF）及单独的钽电容或陶瓷电容去耦（最小值 4.7 μ F），两个电容并联。这些电容应放置在 PCB 下侧尽可能接近或低于适当引脚的位置。其典型值为 10 nF 至 100 nF，但准确值取决于应用需要。[图 18](#) 显示了这种 V_{DD}/V_{SS} 对的典型布局。

图 18. V_{DD}/V_{SS} 引脚对的典型布局

MSv37537V1

6.5 其它信号

当设计应用时，可仔细研究下述信号以提高 EMC 性能：

- 临时扰动会永久影响运行过程的信号（中断和握手选通信号就是这个情况，但 LED 指令不是这个情况）。对于这些信号，可使用周围接地跟踪、更短的长度、无噪声、附近敏感跟踪（串扰影响）提高 EMC 性能。对于数字信号，两个逻辑状态必须达到可能的最佳电气边界，建议使用慢施密特触发器以消除寄生状态。
- 噪声信号（时钟等）。
- 敏感信号（高阻等）。

6.6 不使用的 I/O 和特性

所有微控制器都是为多种应用设计的，通常一个应用不会使用 100% 的 MCU 资源。为了提高 EMC 性能，不使用的时钟、计数器、I/O 都不应浮空，例如，I/O 应该设置为 0 或者 1（上拉或者下拉那些不用的 I/O 引脚），并且不使用的模块应被冻结或禁用。

7 参考设计

7.1 说明

[图 19](#) 中所示的参考设计基于 STM32F756NGH6，它是高度集成的微控制器，运行于 216 MHz，它结合了 Cortex®-M7 32 位 RISC CPU 内核、1 MB 的嵌入式 Flash 存储器、多达 320 KB 的系统 SRAM（包括 64 KB 的数据 TCM RAM）、16 KB 的指令 RAM(ITCM-RAM) 和 4 KB 的备份 SRAM。

7.1.1 时钟

微控制器使用两个时钟源：

- LSE: X2–32.768 kHz 晶振用于嵌入式 RTC。
- HSE: X1–25 MHz 晶振。

参阅 [第 3 节：时钟第 18 页](#)。

7.1.2 复位

STM32F74xxx/STM32F75xxx 器件的复位信号是低动态的，复位源包括：

- 复位按钮 B1
- 来自于 JTAG/SWD 连接器 CN15 和 ETM 走线连接器 CN12 的调试工具

参阅 [第 1.3 节：复位和电源监控第 11 页](#)。

7.1.3 启动模式

STM32F74xxx/STM32F75xxx 器件可以从 0x0000 0000 到 0x2004 FFFF 的任何区域自举。

可以通过设置 BOOT 引脚、BOOT_ADD0 和 BOOT_ADD1 选项字节中编程的自举基址来配置自举空间。

有关详细信息，请参见 [第 4 节：启动配置第 21 页](#)。

注：在低功耗模式（特别是待机模式）下，自举模式是强制的，以便与工具连接（器件应该从 SRAM 自举）。

7.1.4 SWJ 接口

请参见 [第 5 节：调试管理第 23 页](#)。

7.1.5 电源

参阅 [第 1 节：电源第 7 页](#)。

7.2 元件参考

表 7. 必备元件

Id	元件名称	缩写	数量	注释
1	微控制器	STM32F756NGH6	1	TFBGA216 封装
2	电容	100 nF	19	陶瓷电容 (去耦电容)
3	电容	4.7 μ F	1	陶瓷电容 (去耦电容)

表 8. 可选元件

Id	元件名称	缩写	数量	注释
1	电阻	10 k Ω	6	用于 JTAG、BOOT、PDR 和旁路稳压器的上拉和下拉电阻
2	电阻	0 Ω	2	– 用作 V_{DDA} 和 V_{REF+} 之间的星形连接点 – 用作 V_{DD_MCU} 和 V_{DDUSB} 之间的星形连接点
3	电容	100 nF	5	陶瓷电容
4	电容	1.5 pF	2	用于 LSE：值取决于晶振特性。
5	电容	1 μ F	3	用于 V_{DDA} 、 V_{REF} 和 V_{DDUSB} 。
6	电容	2.2 μ F	2	用于内部稳压器（当其开启的时候）。
7	电容	20 pF	2	用于 HSE：值取决于晶振特性。
8	石英	25 MHz	1	用于 HSE。
9	石英	32.768 kHz	1	用于 LSE。
10	JTAG 连接器	HE10-20	1	-
11	嵌入式	3V	1	若应用中没有使用外部电池，则建议将 V_{BAT} 外部连至 V_{DD} 。
12	开关	SPDT	1	用于选择正确的自举模式。
13	按钮	B1	1	复位按钮
14	跳线	3 个引脚	2	用于选择 V_{BAT} 源和 BYPASS_REG 引脚。
15	铁氧体磁环	FCM1608KF-601T03	1	用于 V_{DDA} 的额外的去耦

图 19. STM32F756NGH6 参考原理图

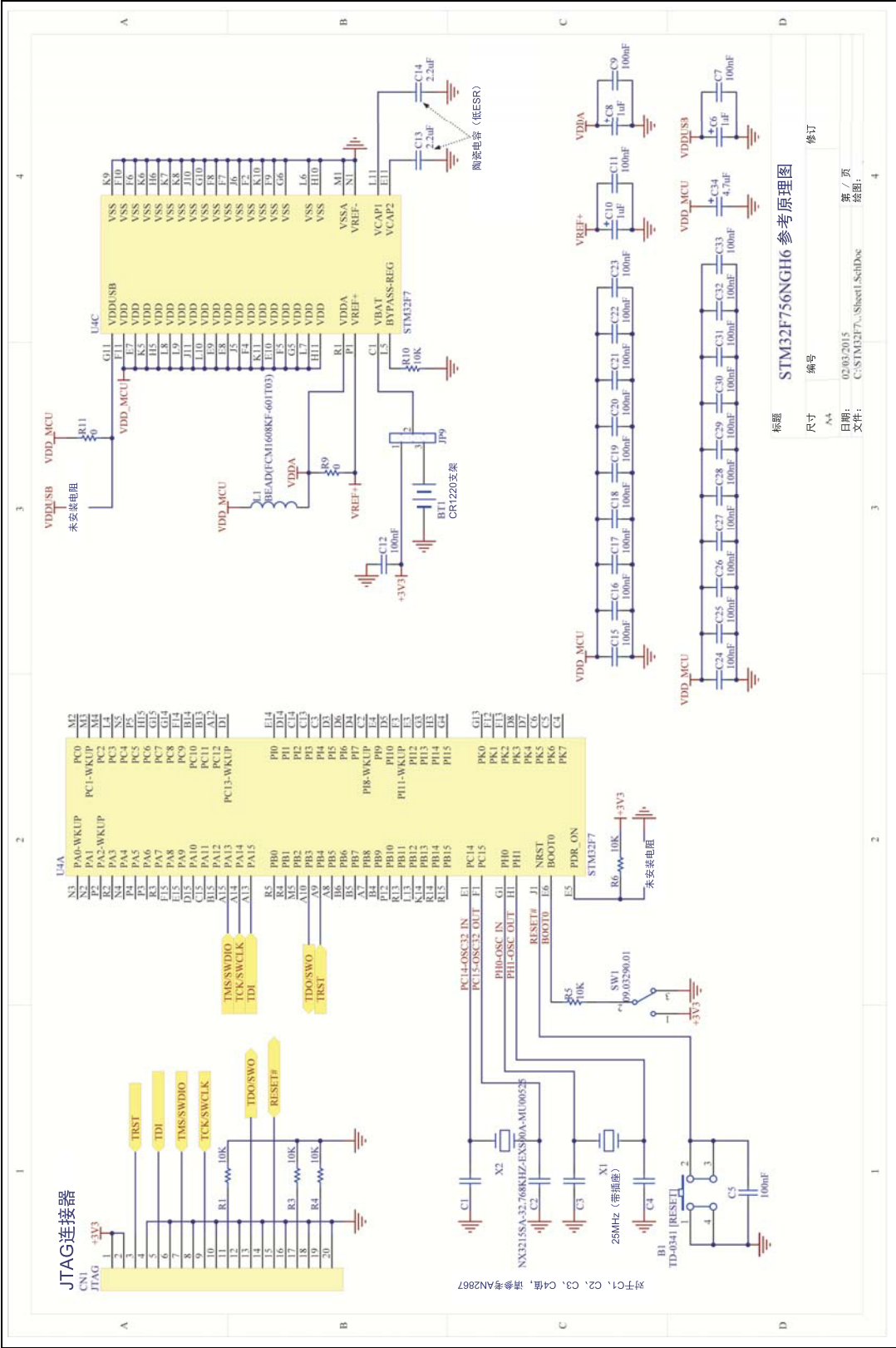


表 9. 所有封装的参考连接

引脚名称	LQFP100	WLCSP143	LQFP144	UFBGA176	LQFP176	LQFP208	TFBGA216
PA13(JTMS-SWDIO)	72	D3	105	A15	124	147	A15
PA14(JTCK-SWCLK)	76	B1	109	A14	137	159	A14
PA15(JTDI)	77	C2	110	A13	138	160	A13
PB3(JTDO/TRACESWO)	89	B7	133	A10	161	192	A10
PB4(NJTRST)	90	C7	134	A9	162	193	A9
PC14(PC14-OSC32_IN) ⁽¹⁾⁽²⁾	8	D11	8	E1	9	9	E1
PC15(PC15-OSC32_OUT) ⁽¹⁾⁽²⁾	9	E11	9	F1	10	10	F1
PH0(PH0-OSC_IN) ⁽²⁾	12	J11	23	G1	29	32	G1
PH1(PH1-OSC_OUT) ⁽²⁾	13	H10	24	H1	30	33	H1
BOOT	94	C9	138	D6	166	197	E6
NRST	14	H9	25	J1	31	34	J1
BYPASS_REG	-	N11	-	L4	48	-	L5
PDR_ON	-	A11	143	C6	171	203	E5
V _{BAT}	6	C11	6	C1	6	6	C1
V _{DDA}	21	L10	33	R1	39	42	R1
V _{REF+}	20	L11	32	P1	38	41	P1
V _{SSA}	19	K10	31	M1	37	40	M1
V _{REF-}	-	-	-	N1	-	-	N1
V _{CAP1}	48	N2	71	M10	81	92	L11
V _{CAP2}	73	D1	106	F13	125	148	E11
V _{DD}	50	J6	72	N10	82	94	L10
V _{DD}	75	C1	108	G13	127	150	F11
V _{DD}	100	D7	144	C5	172	204	E7
V _{DDUSB}	-	G1	95	H13	114	137	G11
V _{DD}	27	J8	39	K4	49	52	K5
V _{DD}	11	-	17	G3	23	26	H5
V _{DD}	-	-	52	N8	62	73	L8
V _{DD}	-	J5	62	N9	72	83	L9
V _{DD}	-	L1	84	J13	103	115	J11
V _{DD}	-	C5	121	C8	149	171	E9
V _{DD}	-	E6	131	C7	159	185	E8

表 9. 所有封装的参考连接 (续)

引脚名称	LQFP100	WLCSP143	LQFP144	UFBGA176	LQFP176	LQFP208	TFBGA216
V_{DD}	-	G7	30	G3	36	39	J5
V_{DD}	-	E10	-	F3	15	15	F4
V_{DD}	-	-	-	J12	91	103	K11
V_{DD}	-	A1	-	C9	136	158	E10
V_{DD}	-	-	-	-	-	-	F5
V_{DD}	-	-	-	-	-	-	G5
V_{DD}	-	J7	-	-	-	59	L7
V_{DD}	-	-	-	-	-	124	H11
V_{SS}	49	H2	-	-	-	93	K9
PA0-WKUP ⁽³⁾	22	K9	34	N3	40	43	N3
PC13 ⁽¹⁾	7	D10	7	D1	8	8	D1
PI8 ⁽¹⁾	-	-	-	D2	7	7	C2
V_{SS}	74	D2	107	F12	126	149	F10
V_{SS}	99	-	-	D5	-	202	F6
V_{SS}	26	-	38	-	-	51	K6
V_{SS}	10	H7	16	G2	22	25	H6
V_{SS}	-	-	51	M8	61	72	K7
V_{SS}	-	H3	61	M9	71	82	K8
V_{SS}	-	-	83	-	102	114	J10
V_{SS}	-	D2	94	G12	113	136	G10
V_{SS}	-	-	120	D8	148	170	F8
V_{SS}	-	-	130	D7	158	184	F7
V_{SS}	-	-	-	-	-	-	J6
V_{SS}	-	-	-	-	-	-	F2
V_{SS}	-	-	-	H12	90	-	K10
V_{SS}	-	F5	-	D9	135	-	F9
V_{SS}	-	-	-	-	-	-	G6
V_{SS}	-	-	-	-	-	-	F2
V_{SS}	-	-	-				
V_{SS}	-	-	-	-	-	125	H10

1. PC13、PC14、PC15 和 PC18 通过电源开关供电。由于该开关的灌电流能力有限 (3 mA)，因此在输出模式下使用 GPIO PC13 到 PC15 和 PI8 时存在以下限制：
 - 速率不得超过 2 MHz，最大负载为 30 pF，
 - 这些 I/O 不能用作电流源（如用于驱动 LED）。
2. 除了模拟管脚或振荡器管脚（PC14、PC15、PH0、PH1），其他管脚均是 5 V 容限。
3. 若器件采用 WLCSP143、UFBGA176、LQFP176 或 TFBGA216 封装，且 BYPASS_REG 引脚设为 VDD（调压器 OFF/ 内部复位 ON 模式），则 PA0-WKUP 被用作内部复位（低电平有效）。

8 推荐的 PCB 布线指南 STM32F745xx/STM32F756xx 器件

8.1 PCB 层叠

为了减少对高速信号的影响，有必要对源、漏和传输线进行阻抗匹配。信号线的阻抗取决于它的几何状和它与参考面的相对位置。

对于特定的阻抗要求的差分对走线宽度和间距，取决于选择的 PCB 层叠。根据 PCB 工艺的类型和成本要求，存在对最小走线宽度和间距的限制，因此需要选择能实现所有阻抗要求的 PCB 层叠。

能够采用的最小配置是 4 层或者 6 层层叠。对于一个具有多种 SDRAM/SRAM/NOR/LCD 元件的高密度的 PCB，可能会需要一个 8 层板。

下面的层叠是用来作为帮助层叠评估和选择入门的示例。这些层叠配置采用一个与电源平面相邻的 GND 平面，用于增加电容和减小 GND 和电源平面的距离。因此在顶层的高速信号将会有有一个可靠的 GND 参考平面，这有助于降低 EMC 辐射，随着层数增加并且每个 PCB 信号层都具有一个 GND 参考平面，这将进一步提高辐射 EMC 性能。

图 20. 四层 PCB 层叠示例

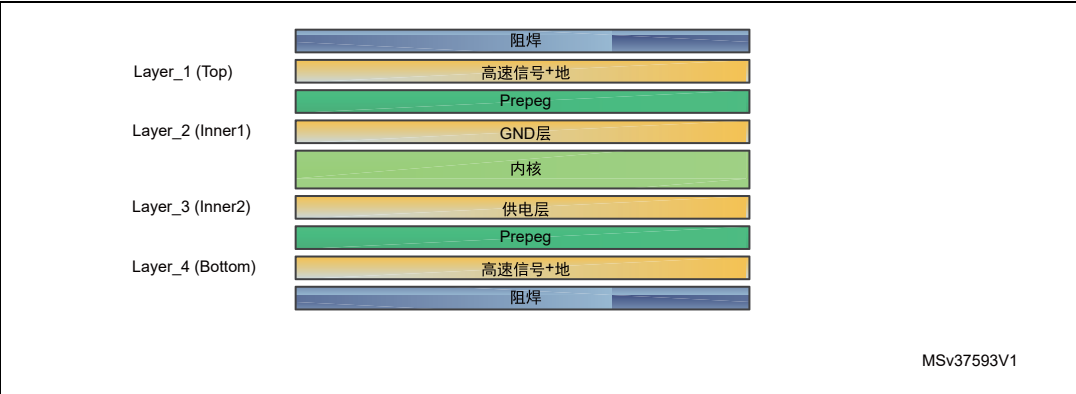
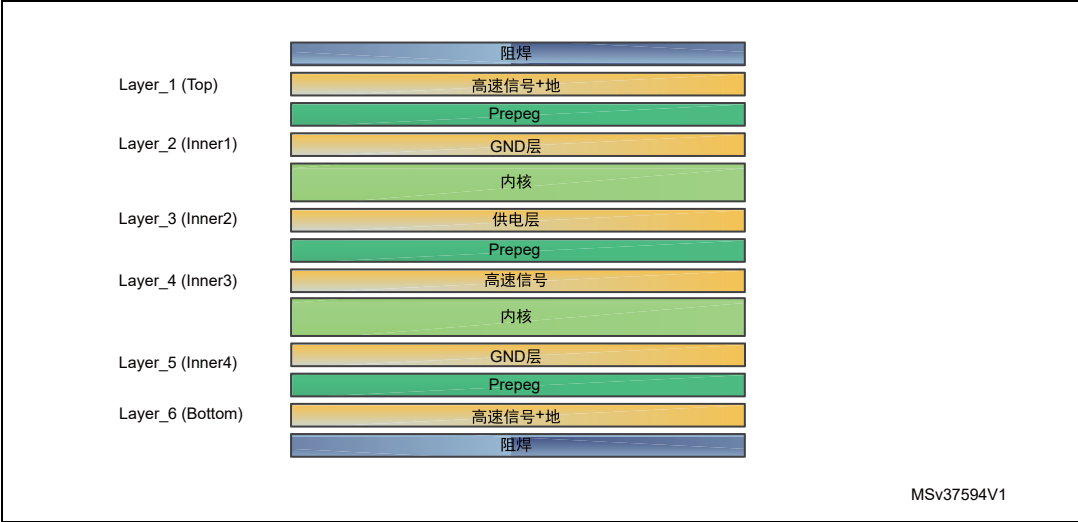


图 21. 六层 PCB 层叠示例



8.2 晶体振荡器

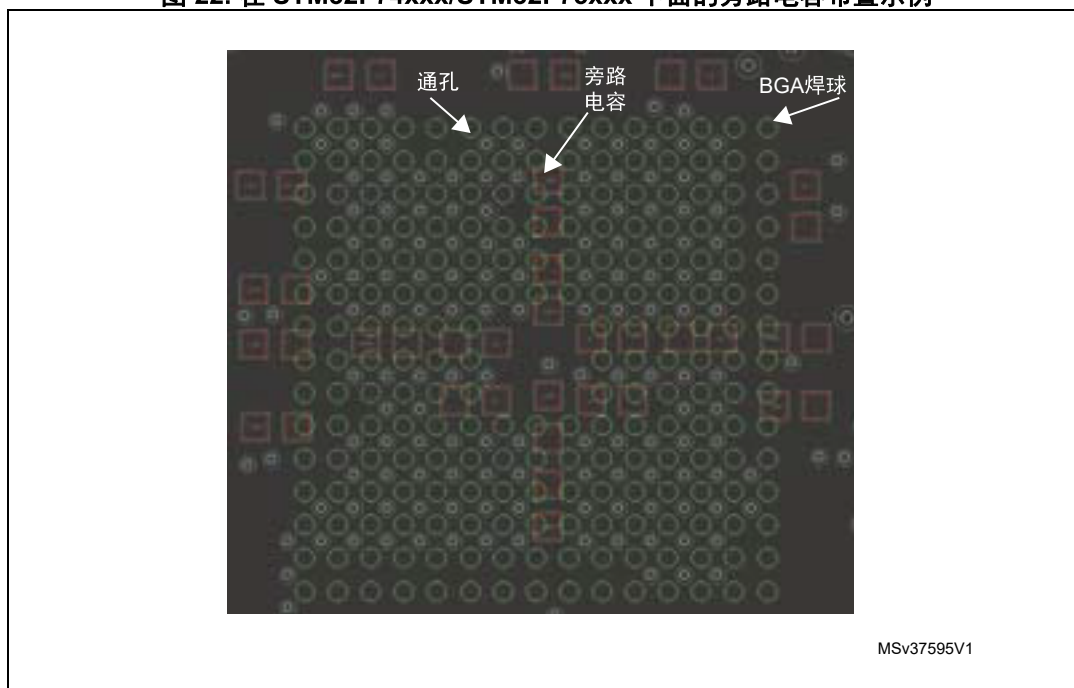
使用应用笔记：参考对于 STM8S、STM8A 和 STM32 微控制器 (AN2867) 的振荡器设计指南，以获得更多关于怎样布局和布线晶体振荡器电路的指导。

8.3 电源去耦

充足的电源去耦对于 STM32F74xxx/STM32F75xxx 器件是有必要的，它可以防止过度的电源噪声和地突变噪声。请参见 [第 1.2 节：供电方案](#)。

[图 22](#) 显示了一个在 STM32F74xxx/STM32F75xxx 下面，接近引脚并具有少量通孔的旁路电容布置示例：

图 22. 在 STM32F74xxx/STM32F75xxx 下面的旁路电容布置示例



- 旁路电容布置在尽可能靠近 MCU 的电源引脚和地引脚。
- 尽可能添加与 V_{DD}/GND 对一样多的推荐旁路电容。
- 旁路电容焊盘与电源和地平面之间使用较宽的短走线 / 通孔来连接，以减少串联电感，这样可以允许通过一个最大的电流并且减小来自电源平面的瞬态电压降。这同样也可以减少地突变噪声的可能性。

8.4 高速信号布局

8.4.1 SDMMC 总线接口

接口连接

SD/SDIOMMC 卡主机接口 (SDMMC) 提供 APB2 外设总线与多媒体卡 (MMC)、SD 存储卡以及 SDIO 卡之间的接口。SDMMC 是一个串行数据总线接口，它包括一个时钟 (CK)、指令信号 (CMD) 和 8 条数据线 (D[0:7])。

接口信号布局指南：

- 参考使用 GND 或者 PWR 的平面（如果是 PWR，就要在 PWR 和 GND 之间添加 10 nF 的开关电容）
- 走线阻抗：50Ω±10%
- 时钟系统中引入的偏差是由不等的走线长度和负载造成的，可最大限度减少板级偏差，保持数据与时钟之间的走线长度相等。
- 数据和时钟之间的最大偏差应该小于 250 ps@10mm
- 最大的走线长度应该小于 120mm。如果信号走线超过了走线长度 / 速度标准，就需要使用一个终端
- 走线电容不应该在 3.3V 时超过 20 pF 或在 1.8V 超过 15 pF
- 最大的信号走线电感应该小于 16nH
- 对于 CMD 和数据信号，使用推荐的上拉电阻来防止总线浮空。
- 数据总线、数据和 CK，或者 CK 和 CMD 之间的走线失配需要小于 10mm。
- 数据信号间保持相同数量的通孔

注：SD 存储卡总线的总电容是总线主控器电容 C_{HOST} 、总线电容 C_{BUS} 本身和每个连接到这条线上的卡的电容 C_{CARD} 的加和。总线的总电容是 $C_L = C_{Host} + C_{Bus} + N * C_{Card}$ ，这里的主机是 STM32F74xxx/STM32F75xxx，总线是所有的信号，卡是 SD 卡。

8.4.2 可变存储控制器 (FMC) 接口

接口连接

FMC 控制器特别是具有许多信号的 SDRAM 存储控制器，它们大部分具有相似的功能并且在一起工作。控制器的 I/O 信号可以被分为如下所示的四组：

- 一个包括行 / 列地址和存储区域地址的地址组
- 一个包括行地址选通 (NRAS)、列地址选通 (NCAS)、写入使能 (SDWE) 的命令组
- 一个包括片选 bank1 和 bank2 (SDNE0/1)、时钟使能 bank1 和 bank2 (SDCKE0/1) 和写访问的输出字节屏蔽 (DQM) 的控制组。
- 一个包括 8 个信号^(a)（八个 D(D7–D0) 和数据屏蔽）的数据组 / 通道。

a. 这取决于使用的存储器：带有 x8 总线宽度的 SDRAM 仅仅只有一个数据组，然而带有 x16 和 x32 总线宽度的 SDRAM 分别拥有 2 到 4 条通道。

接口信号布局指南：

- 参考使用 GND 或者 PWR 的平面（如果是 PWR，就要在 PWR 和 GND 之间添加 10 nf 的开关电容）
- 走线阻抗：50Ω±10%
- 最大的走线长度应该小于 120mm。如果信号走线超过了走线长度 / 速度标准，就需要使用一个终端
- 如果可能，为减少串扰，将地址和控制通道与数据通道布置在不同的层。然而，当数据和地址 / 控制线共存在同一层上，它们必须保持至少 5 mm 的间距。
- 使数据组的走线长度匹配在 ±10 mm 以内以减少偏差。蛇形走线（以“S”形来增加走线长度）可以用来进行长度匹配。
- 将时钟 (SDCLK) 信号布置在内部层，以尽可能减少噪声 (EMI)。时钟信号走线与其它信号走线之间保持至少 3 倍线宽距离。使用尽可能少的通孔以避免阻抗变化和反射。避免使用蛇形走线。
- 使时钟走线与数据 / 地址组走线匹配在 ±10mm 以内。
- 使时钟走线与地址组和命令组中的每个信号走线匹配在 ±10mm 以内（最大值 ≤20mm）。
- 走线电容：
 - 在 3.3 V 时，保持走线电容在 20 pF，这含有所有的容性负载（包括数据、地址、SDCLK 和控制），不超过 30pF。
 - 在 1.8 V 时，保持走线电容在 15 pF，这含有所有的容性负载（包括数据、地址、SDCLK 和控制），不超过 20pF。

8.4.3 四线 SPI 接口 (Quad SPI)**接口连接**

QUADSPI 是一种专用的通信接口，连接单、双或四（条数据线）SPIFLASH 存储介质。QUAD SPI 是一个串行数据总线接口，它包括一个时钟（SCLK）、片选信号 (nCS) 和 4 条数据线 (IO[0:3])。

接口信号布局指南：

- 参考使用 GND 或者 PWR 的平面（如果是 PWR，就要在 PWR 和 GND 之间添加 10 nf 的开关电容）
- 走线阻抗：50Ω±10%
- 最大的走线长度应该小于 120mm。如果信号走线超过了走线长度 / 速度标准，就需要使用一个终端
- 避免使用多个信号层用于数据信号走线。
- 时钟信号走线与其它信号走线之间保持至少 3 倍线宽距离。使用尽可能少的通孔以避免阻抗变化和反射。避免使用蛇形走线。
- 使数据组的每条走线长度匹配在 ±10 mm 以内以减少偏差。蛇形走线（以“S”形来增加走线长度）可以用来进行长度匹配。

避免对时钟信号使用蛇形走线，整个路径通孔尽可能少。通孔会改变阻抗，同时增加了对信号的反射。

8.4.4 嵌入式跟踪宏单元 (ETM)

接口连接

ETM 能够重建程序执行。使用“数据观察点和跟踪”(DWT) 组件或“指令跟踪宏单元”(ITM) 跟踪数据，而使用“嵌入式跟踪宏单元”(ETM) 跟踪指令。ETM 接口与 4 条数据线 D[0:3] 和时钟信号 CLK 保持同步。

接口信号布局指南：

- 参考使用 GND 或者 PWR 的平面（如果是 PWR，就要在 PWR 和 GND 之间添加 10 nf 的开关电容）
- 走线阻抗：50Ω±10%
- 所有的数据走线应该尽可能短 (<=25 mm)。
- 走线应该布置在同一层，这一层下面具有一个可靠的地平面并且没有通孔。
- 时钟走线应该仅保持点对点连接。尽量避免短线。
- 强烈建议对于其它的数据线也只保持点对点连接。如果需要短线，那么它们应该尽可能短。如果需要更长走线，那么应该可以有机会不连接（比如通过跳线）。

8.5 封装布局推荐

8.5.1 BGA 216 0.8 mm 脚间距设计示例

表 10. BGA 216 0.8 mm 脚间距封装信息

封装信息 (mm)	设计参数 (mm)
焊球间距：0.8	通孔尺寸：孔尺寸：φ=0.2，焊盘尺寸：0.45，平面间距：0.65
焊球尺寸：0.4	走线宽度：0.10/0.125
行 / 列数：15x15	走线宽度 / 走线间距：0.10/0.125
封装焊盘：SMD	BGA 尺寸（球形焊盘）：φ=0.4，阻焊：0.5

对于 0.8 mm 脚间距的 BGA 焊球，需要扇出通孔来连接焊球和 PCB 的其它层。这个例子中使用了贯穿孔，其成本小于盲孔和埋孔。对于四个相邻的 BGA 焊盘，我们只能有一个通孔，如图 [图 23](#) 和 [图 24](#) 所示。走线布置在两个第一行和两个没有扇出孔的第一列。现在的脚间距只允许在相邻的 BGA 焊盘之间布置一条走线。

[图 25](#) 显示了一个带有电源和地信号的理想 SDRAM 信号扇出孔。在连接到一个 SDRAM IC 之前，这些信号可以在另外一层上进行优化以实现走线和长度匹配。

图 23. BGA 0.8 mm 脚间距扇出示例

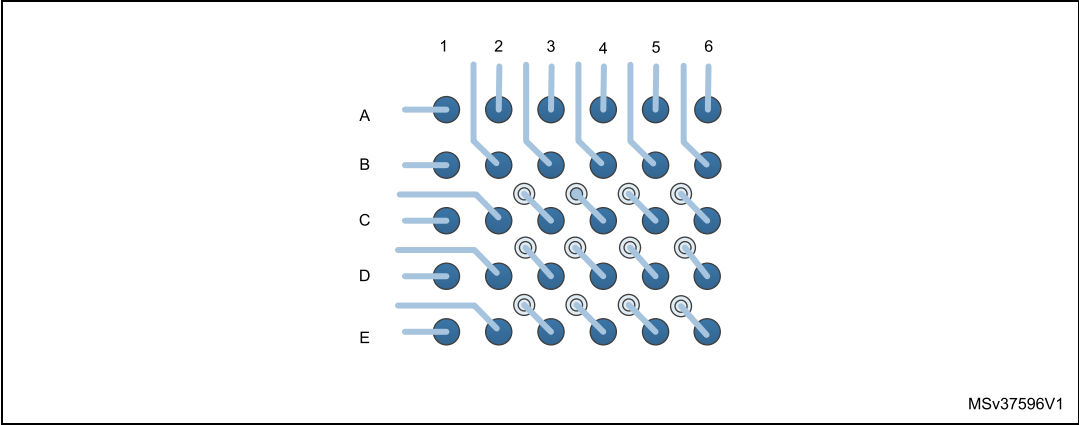


图 24. 通孔扇出

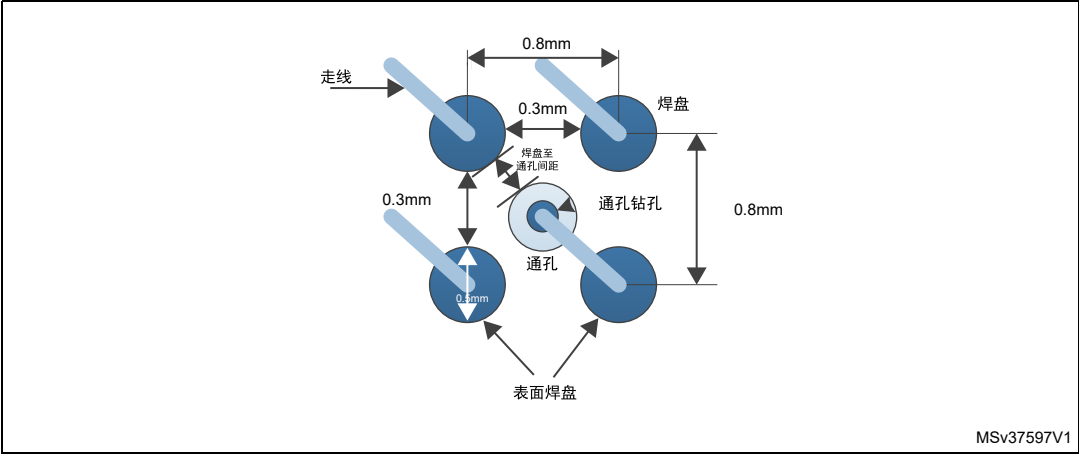
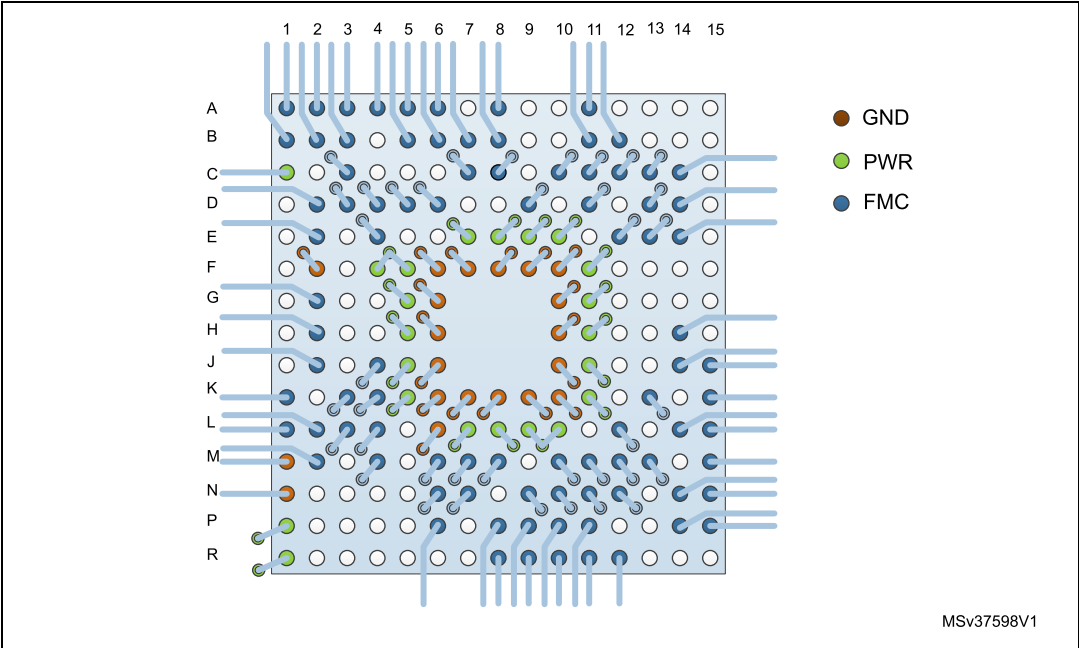


图 25. FMC 信号扇出布线实例



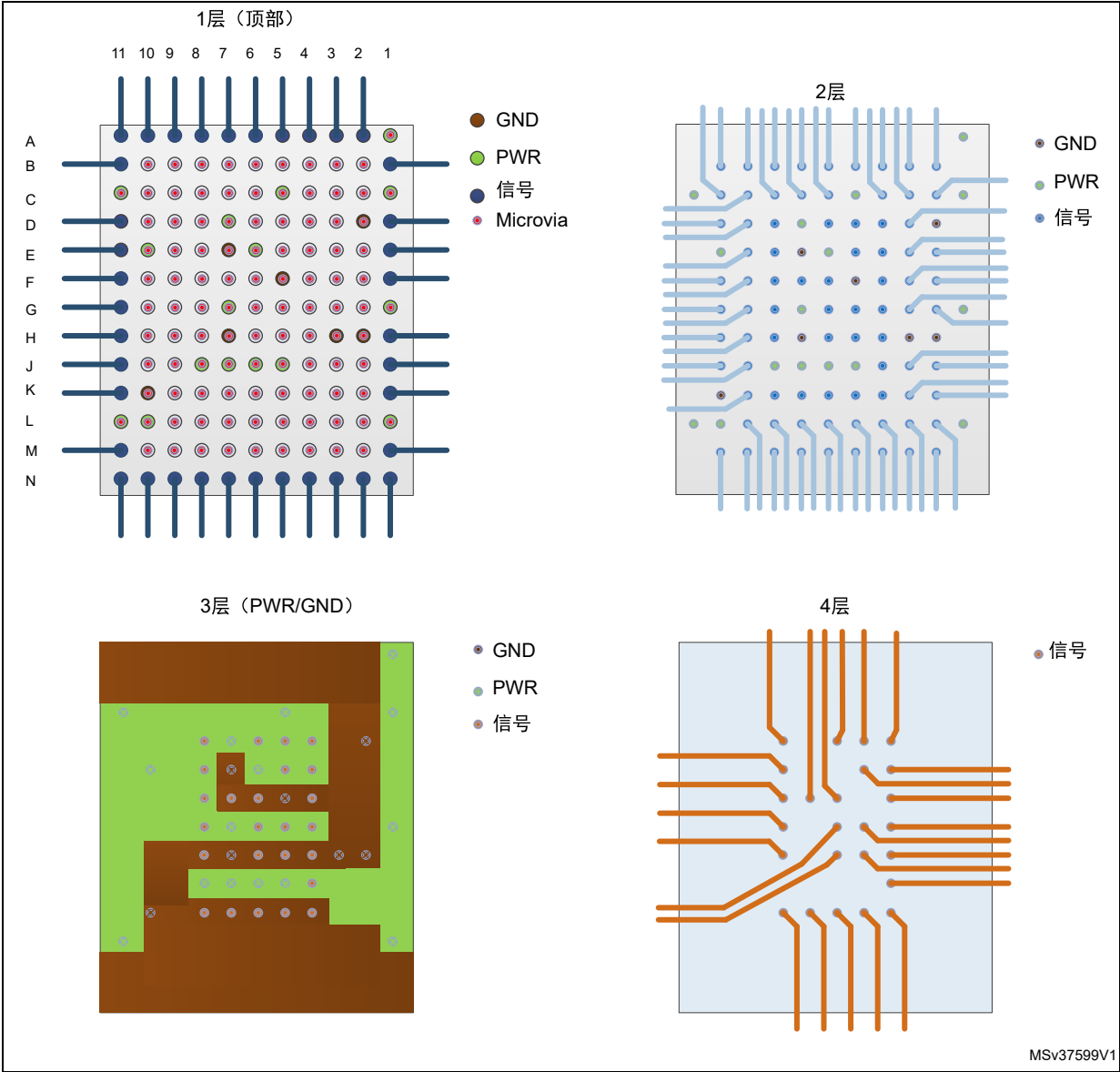
8.5.2 WLCSP143 0.4 mm 脚间距设计示例

表 11. 圆片级芯片封装信息

封装信息 (mm)	设计参数 (mm)
凸块间距: 0.4	微孔尺寸: 孔大小 $\varphi=0.1$, 孔环: 0.2
凸块尺寸: 0.25	走线宽度 / 间距: 0.07/0.05 或 0.07/0.07
行 / 列数: 13x11	凸块焊盘尺寸 $\varphi=0.26$ 最大值 -0.22 推荐值
允许非阻焊层限定凸点下微型过孔	阻焊开窗凸块 $\varphi=0.3$ 最小值 (适用于 0.26 直径的焊盘)

用于封装和扇出信号布线的更好方法是使用穿微孔技术。微孔将内部的凸块布线到 PCB 中间的一个埋层。为了实现这一点，WLCSP 封装焊盘必须通过微孔与这个内部埋层连接。在 4 层 PCB 的情况下，第一层是 WLCSP 元件，第二层应该作为信号层，第三层作为电源和地，最底层作为信号布局。[图 26](#) 显示了一个 4 层 PCB 布局的示例。

图 26. 143 凸块 WLCSP， 0.40 mm 脚间距布线示例



9 结论

本应用笔记应该用来作为 STM32F74xxx 和 STM32F75xxx 器件新设计的入门参考。

10 修订历史

表 12. 文档修订历史

日期	版本	变更
2015 年 3 月 24 日	1	初始版本。
2015 年 6 月 8 日	2	<p>增加 第 8 节：推荐的 PCB 布线指南 STM32F745xx/STM32F756xx 器件。</p> <p>更新了标题和整个文档，由 STM32F746xx/STM32F756xx 改为 STM32F74xxx/STM32F75xxx。</p> <p>更新了 表 1：适用产品，添加了 STM32F745xx RPN。</p> <p>更新了 第 1.1.2 节：独立的 USB 收发器电源，与相应的数据手册类似。</p> <p>更新了 第 1.3.6 节：调压器 OFF 模式。</p> <p>更新了 图 9：BYPASS_REG 监控器复位连接，整个文档中 BOOT0 改成了 BOOT。</p> <p>更新了 第 1.1.1 节：独立 A/D 转换器电源以及参考电压。</p> <p>更新了 第 1.1.3 节：电池备份域。</p> <p>更新了 第 1.2 节：供电方案，添加了注释。</p> <p>更新了 第 1.3.5 节：内部复位 OFF，添加了段落，修改了 图 7：电源监控器与内部复位 OFF 的互连和添加了 图 8：STM32F74xxx/STM32F75xxx 的 NRST 电路时序示例。</p> <p>更新了 第 7.1 节：说明，更改了 216 MHz 下的频率。</p>

表 13. 中文文档修订历史

日期	版本	变更
2015 年 9 月 9 日	1	中文初始版本。



重要通知 - 请仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对 ST 产品和 / 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于 ST 产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对 ST 产品的选择和使用，ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的 ST 产品如有不同于此处提供的信息的规定，将导致 ST 针对该产品授予的任何保证失效。

ST 和 ST 徽标是 ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2015 STMicroelectronics - 保留所有权利 2015