

前言

本应用笔记为系统开发者们提供了所需的开发板特性硬件实现概述，如供电电源、时钟管理、复位控制、自举模式设置、调试管理。它显示了如何使用 STM32L4 MCU，说明了开发使用 STM32L4 系列的应用所需的最低硬件资源。

本文还包括了详细的参考设计原理图，说明了其主元件、接口和模式。

目录

1	电源	7
1.1	电源	7
1.1.1	独立模拟外设电源	9
1.1.2	独立 I/O 电源轨	10
1.1.3	独立的 USB 收发器电源	10
1.1.4	独立 LCD 供电	10
1.1.5	电池备份域	11
1.1.6	调压器	12
1.1.7	动态电压调节管理	13
1.2	电源方案	14
1.3	复位和电源监控	16
1.3.1	上电复位 (POR)/ 掉电复位 (PDR)/ 欠压复位 (BOR)	16
1.3.2	电源复位	17
1.3.3	系统复位	17
1.3.4	备份域复位	19
2	封装	20
2.1	封装选择	20
2.2	引脚排列兼容性	21
3	时钟	22
3.1	HSE 时钟	26
3.1.1	外部晶振 / 陶瓷谐振器 (HSE 晶振)	27
3.1.2	外部源 (HSE 旁路)	27
3.2	HSI 时钟	27
3.2.1	校准	27
3.3	MSI 时钟	28
3.3.1	利用 LSE 进行硬件自动校准 (PLL 模式)	28
3.3.2	软件校准	28
3.4	PLL	28
3.5	LSE 时钟	29
3.5.1	外部源 (LSE 旁路)	30

3.6	LSI 时钟	30
3.7	系统时钟 (SYSCLK) 选择	30
4	自举配置	31
4.1	物理重映射	32
4.2	嵌入式自举程序	32
4.3	BOOT0 引脚连接	32
5	调试管理	33
5.1	前言	33
5.2	SWJ 调试端口 (JTAG 和串行线)	33
5.3	引脚排列和调试端口引脚	34
5.3.1	JTAG 引脚上的内部上拉和下拉电阻	34
5.3.2	灵活的 SWJ-DP 引脚分配	34
5.3.3	使用标准 JTAG 连接器的 SWJ 调试端口连接	35
5.3.4	串行线调试 (SWD) 引脚分配	35
5.4	SWD 引脚分配	36
5.4.1	SWD 引脚分配	36
5.4.2	SWD 引脚上的内部上拉和下拉	36
5.4.3	使用标准 SWD 连接器的 SWD 端口连接	37
6	建议	38
6.1	印刷电路板	38
6.2	元件位置	38
6.3	接地和供电 (V_{SS} 、 V_{DD} 、 V_{SSA} 、 V_{DDA} 、 V_{DDUSB} 、 V_{DDIO2})	38
6.4	去耦	38
6.5	其它信号	39
6.6	不使用的 I/O 和特性	39
7	参考设计	40
7.1	说明	40
7.1.1	时钟	40
7.1.2	复位	40
7.1.3	自举模式	40
7.1.4	SWD 接口	40

7.1.5	电源	40
7.2	元件参考	41
8	修订历史	44

表格索引

表 1.	封装总览（不包括 WCSP）	20
表 2.	WCSP 封装总览	20
表 3.	引脚排列总览	21
表 4.	自举模式	31
表 5.	调试端口引脚分配	34
表 6.	用到的 SWJ I/O 引脚	34
表 7.	SWD 端口引脚	36
表 8.	必备元件	41
表 9.	可选元件	41
表 10.	所有封装的参考连接	42
表 11.	文档修订历史	44
表 12.	中文文档修订历史	44

图片索引

图 1.	电源概述	9
图 2.	电源方案	15
图 3.	可选的 LCD 供电电源方案	16
图 4.	欠压复位波形	17
图 5.	复位电路简图	18
图 6.	时钟树	25
图 7.	HSE/LSE 时钟源	26
图 8.	主机到板的连接	33
图 9.	JTAG 连接器实现	36
图 10.	SWD 端口连接	37
图 11.	V_{DD}/V_{SS} 引脚对的典型布局	39
图 12.	参考设计 STM32L4 系列	42

1 电源

1.1 电源

STM32L4 系列器件要求 1.71 V 至 3.6 V 的 V_{DD} 工作电压电源。多个独立电源 (V_{DDA} , V_{DDIO2} , V_{DDUSB} , V_{LCD})，可支持特定外设：

- $V_{DD} = 1.71 \text{ V}$ 至 3.6 V
 V_{DD} 是为 I/O、内部调压器和系统模拟信号（如复位、电源管理和内部时钟）供电的外部电源。通过 VDD 引脚从外部提供。
- $V_{DDA} = 1.62 \text{ V}$ (ADC/COMP) / 1.8 V (DAC/OPAMP) / 2.4 V (VREFBUF) 至 3.6 V
 V_{DDA} 是为 A/D 转换器、D/A 转换器、电压参考缓冲器、运算放大器和比较器供电的外部模拟电源。 V_{DDA} 电压电平独立于 V_{DD} 电压。
- $V_{DDUSB} = 3.0$ 至 3.6 V (使用 USB)
 V_{DDUSB} 为外部独立电源，为 USB 收发器供电。 V_{DDUSB} 电压电平独立于 V_{DD} 电压。
- $V_{DDIO2} = 1.08$ 至 3.6 V
 V_{DDIO2} 是为 14 个 I/O (Port G[15:2]) 供电的外部电源。 V_{DDIO2} 电压电平独立于 V_{DD} 电压。

注：当功能由 V_{DDA} 供电时，不使用 V_{DDIO2} 或 V_{DDUSB} ，这些电源应当分别短接到 V_{DD} 。

- $V_{LCD} = 2.5$ 至 3.6 V
LCD 控制器可由 $VLCD$ 引脚外部供电，或由嵌入式升压转换器产生的内部电压内部供电。 $VLCD$ 与 PC3 (当 LCD 不用时，PC3 可用作 GPIO) 复用。
- $V_{BAT} = 1.55$ 到 3.6 V
当 V_{DD} 掉电时， V_{BAT} 作为 RTC、32 kHz 外部时钟振荡器和备份寄存器的电源（通过电源开关供电）。

- V_{REF-} , V_{REF+}

V_{REF+} 为 ADC 和 DAC 的输入参考电压。使能时，它还是内部电压参考缓冲器的输出。

当 $V_{DDA} < 2\text{ V}$ 时， V_{REF+} 必须等于 V_{DDA} 。

当 $V_{DDA} \geq 2\text{ V}$ 时， V_{REF+} 必须在 2 V 和 V_{DDA} 之间。

当 ADC 和 DAC 不活动时， V_{REF+} 可接地。

内部电压参考缓冲器支持两个输出电压，可利用 VREF_CSR 寄存器中的 VRS 位进行配置：

- V_{REF+} 大约 2.048 V 。这要求 V_{DDA} 大于等于 2.4 V 。

- V_{REF+} 大约 2.5 V 。这要求 V_{DDA} 大于等于 2.8 V 。

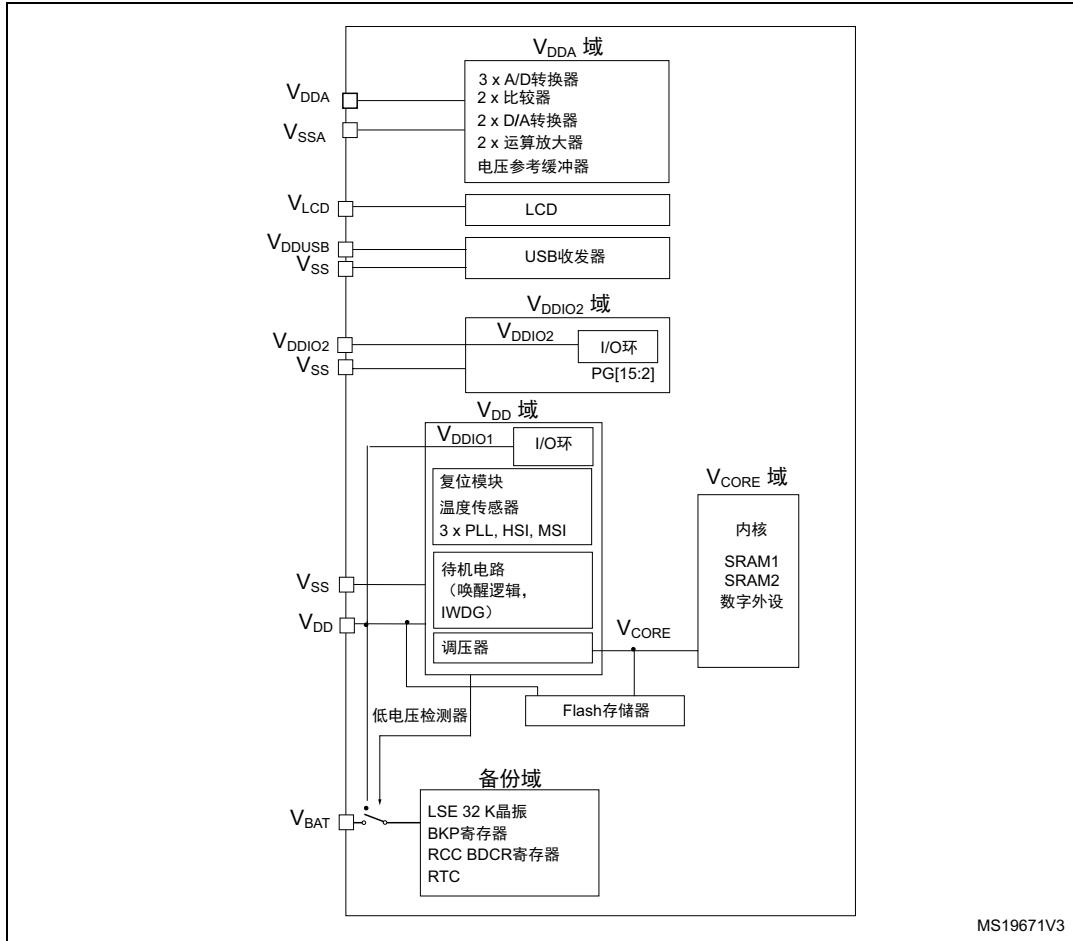
VREF- 和 VREF+ 引脚不是在所有封装上都可用。当不可用时，它们分别与 VSSA 和 VDDA 绑定。

当 VREF+ 与 VDDA 在一个封装中互相绑定时，内部电压参考缓冲器不可用且必须禁用（关于封装引脚分配说明，请参考数据手册）。

V_{REF-} 必须始终等于 V_{SSA} 。

使用一个嵌入式线性调压器来为内部数字电源 V_{CORE} 供电。 V_{CORE} 是为数字外设，SRAM1 和 SRAM2 供电的电源。Flash 由 V_{CORE} 和 V_{DD} 供电。

图 1. 电源概述



1.1.1 独立模拟外设电源

为了提高 ADC 和 DAC 转换精度、扩展供电的灵活性，模拟外设配独立电源，可以单独滤波并屏蔽 PCB 上的噪声。

- 模拟外设电压源从单独的 V_{DDA} 引脚输入。
- V_{SSA} 引脚提供了独立的电源接地连接。

V_{DDA} 供电电压可与 V_{DD} 不同。在使能任一由 V_{DDA} 供电的模拟外设（A/D 转换器，D/C 转换器，比较器，运算放大器，电压参考缓冲器）之前，必须检查是否存在 V_{DDA} 。

V_{DDA} 电源可由外设电压监测功能监测，并与两个阈值（对于 PVM3，阈值为 1.65 V，或对于 PVM4，为 2.2 V）进行比较，更多详细内容请参考参考手册章节：外设电压监测 (PVM)。

当使用单供电时， V_{DDA} 可外部连接至 V_{DD} ，为得到无噪声的 V_{DDA} 参考电压，需通过外部滤波电路。

ADC 和 DAC 参考电压

为确保低电压输入和输出上的更好精度，用户可将 V_{REF+} 连接至一个独立的，低于 V_{DDA} 的参考电压源。对于模拟输入（ADC）或输出（DAC）信号， V_{REF+} 为最高电压，以满量程值表示。

V_{REF+} 可由外部参考或内部缓冲的电压参考（VREF）来提供。

通过设置 VREF 控制和状态寄存器（VREF_CSR）中的 ENVR 位，可使能内部电压参考。当 VRS 位置位时，电压参考设为 2.5 V，当 VRS 位清零时，电压参考设为 2.048 V。内部电压参考还可通过 V_{REF+} 引脚为外部元件供电。请查阅器件数据手册或参考手册以获取更多信息。

1.1.2 独立 I/O 电源轨

来自 Port G (PG[15:2]) 的一些 I/O 由一个单独的电源轨供电。此轨的电源范围为 1.08 至 3.6 V，可通过 V_{DDIO2} 引脚外部提供。 V_{DDIO2} 电压电平与 V_{DD} 或 V_{DDA} 完全独立。 V_{DDIO2} 引脚仅在一些封装中可用。关于 I/O 列表，请参考相关器件数据手册中的引脚分配图表。

复位后，由 V_{DDIO2} 供电的 I/O 是逻辑隔离且电隔离的，因而不可用。当 V_{DDIO2} 电源存在时，从 PG[15:2] 使用任一 I/O 前，须通过设置 PWR_CR2 寄存器中的 IOSV 位，解除此隔离。

V_{DDIO2} 电源可由外设电压监测功能（PVM2）监测，并与内部参考电压（3/4 V_{REFINT} , 0.9 V 左右）进行比较，更多详细内容请参考参考手册章节：外设电压监测（PVM）。

1.1.3 独立的 USB 收发器电源

USB 收发器通过一个单独的电源引脚 V_{DDUSB} 供电。 V_{DDUSB} 范围是从 3.0 V 到 3.6 V，完全独立于 V_{DD} 或 V_{DDA} 。

复位后，由 V_{DDUSB} 供电的 USB 功能是逻辑隔离且电隔离的，因而不可用。当 V_{DDUSB} 电源存在时，使用 USB OTG 外设前，须通过设置 PWR_CR2 寄存器中的 USV 位，解除此隔离。

V_{DDUSB} 电源可由外设电压监测功能（PVM1）监测，并与内部参考电压（ V_{REFINT} , 1.2 V 左右）进行比较，更多详细内容请参考参考手册章节：外设电压监测（PVM）。

1.1.4 独立 LCD 供电

$VLCD$ 引脚用于控制玻璃 LCD 的对比度。可用两种方法使用这一引脚：

- 它可从外部电路接收所需的最大电压，由微控制器通过 segment 和 common 线供给玻璃 LCD。
- 还可用它连接外部电容，微控制器将该电容用于内部的升压转换器。此升压转换器由软件控制，以向玻璃 LCD 的 segment 和 common 线提供所需的电压。

向 segment 和 common 线提供的电压定义了玻璃 LCD 像素的对比度。当对帧之间的死区时间进行配置，可降低此对比度。

- 向 VLCD 引脚提供外部电源时，该电源范围应为 2.5 V 至 3.6 V。它不依赖于 V_{DD} 。
- 当 LCD 基于内部升压转换器时，VLCD 引脚应当连接一个电容（更多信息请参见产品数据手册）。

1.1.5 电池备份域

为了在 V_{DD} 掉电时，还能保留备份寄存器的内容，且让 RTC 继续工作，可将 V_{BAT} 引脚连接到电池或者其他备用电源上。

V_{BAT} 引脚为 RTC 单元、LSE 振荡器和 PC13 到 PC15 I/O 供电，允许 RTC 在主电源关闭时也可工作。 V_{BAT} 电源的开关由复位模块中内置的掉电复位电路进行控制。

警告： 在 $t_{RSTTEMPO}$ (V_{DD} 启动后的一段延迟) 期间或检测到 PDR 后， V_{BAT} 与 V_{DD} 之间的电源开关仍连接到 V_{BAT} 。在启动阶段，如果 V_{DD} 的建立时间小于 $t_{RSTTEMPO}$ (有关 $t_{RSTTEMPO}$ 的值，请参见数据手册) 且 $V_{DD} > V_{BAT} + 0.6$ V，会有电流经由 V_{DD} 和电源开关 (V_{BAT}) 之间连接的内部二极管注入 V_{BAT} 引脚。如果连接到 V_{BAT} 引脚的电源 / 电池无法承受此注入电流，则强烈建议在该电源与 V_{BAT} 引脚之间连接一个低压降二极管。

如果没有使用任何外部电池，建议将该 V_{BAT} 连接到带有 100 nF 外部去耦电容的 V_{DD} 上。

当备份域由 V_{DD} (模拟开关连接到 V_{DD}) 供电时，PC13、PC14 和 PC15 引脚 (属于 V_{BAT} 域) 有这些功能：

- GPIO 引脚
- RTC 或 LSE 引脚 (请参考参考手册章节：RTC 功能说明)

注： 由于模拟开关仅能传递有限的电流 (3 mA)，因此使用输出模式的 GPIO PC13 到 PC15 是受限的：速率必须限制在 2 MHz，最大负载为 30 pF，且这些 I/O 不能作为电流源使用 (如，驱动 LED)。

通过 V_{BAT} 对备份域供电时 (由于不存在 V_{DD} ，内部电源开关连接到 V_{BAT})，可实现以下功能：

- PC13、PC14 和 PC15 可仅由 RTC 或 LSE 控制，请参考参考手册章节：RTC 功能说明
- PA0 和 PE6 可用作 RTC 的入侵输入 (分别为 RTC_TAMP2 和 RTC_TAMP3)

备份域访问

系统复位后，备份域（RTC 寄存器和备份寄存器）将受到保护，以防止意外的写访问。要使能对备份域的访问，请按以下步骤进行操作：

1. 将 APB1 外设时钟使能寄存器 1 (RCC_APB1ENR1) 中的 PWREN 位置 1，可使能电源接口时钟。
2. 将电源控制寄存器 1 (PWR_CR1) 中的 DBP 位置 1，使能对备份域的访问。
3. 在备份域控制寄存器 (RCC_BDCR) 中选择 RTC 时钟源。
4. 将备份域控制寄存器 (RCC_BDCR) 中的 RTCEN [15] 位置 1，使能 RTC 时钟。

VBAT 电池充电

当 VDD 存在时，可通过内部电阻为 VBAT 上的外部电池充电。

VBAT 充电可通过一个 $5\text{ k}\Omega$ 的电阻或 $1.5\text{ k}\Omega$ 的电阻来实现，取决于 PWR_CR4 寄存器中 VBRS 位的值。

可将 PWR_CR4 寄存器中的 VBE 位置 1 来使能电池充电。在 VBAT 模式下自动禁用。

1.1.6 调压器

两个嵌入式线性调压器为待机电路和备份域以外的所有数字电路供电。根据系统的最大工作频率，主调压器输出电压 (V_{CORE}) 可由软件编程为两种不同的电源范围 (Range 1 和 Range 2)，以优化功耗 (请参考参考手册章节：时钟源频率与电压的比例关系和章节：读访问延迟)。

调压器在复位后始终处于使能状态。根据应用模式， V_{CORE} 电源由主调压器 (MR) 或低功耗调压器 (LPR) 提供。

- 在运行模式和睡眠模式中，两个调压器使能，主调压器 (MR) 为 V_{CORE} 域 (内核、存储器和数字外设) 提供全功率。
- 在低功耗运行模式和低功耗睡眠模式中，主调压器关闭，低功耗调压器 (LPR) 为 V_{CORE} 域提供低功率，保持寄存器及内部 SRAM1 和 SRAM2 的内容。
- 在 Stop 1 和 Stop 2 模式中，主调压器关闭，低功耗调压器 (LPR) 为 V_{CORE} 域提供低功率，保持寄存器及内部 SRAM1 和 SRAM2 的内容。但是可使主调压器在 Stop 1 模式下保持为 ON。
- 在待机模式且 SRAM2 内容保持时 (PWR_CR3 寄存器中的 RRS 位置 1)，主调压器 (MR) 关闭，低功耗调压器 (LPR) 仅为 SRAM2 供电。内核和数字外设 (待机电路和备份域除外) 和 SRAM1 掉电。
- 在待机模式中，两个调压器均掉电。除待机电路和备份域外，寄存器、SRAM 和 SRAM2 的内容都将丢失。
- 在关断模式中，两个调压器均掉电。离开关断模式时，产生一个上电复位。因此，除备份域外，寄存器、SRAM 和 SRAM2 的内容都将丢失。

1.1.7 动态电压调节管理

动态电压调节是一种电源管理技术，包括根据应用性能和功耗要求，增大或减小用于数字外设的电压 (V_{CORE})。

动态电压调节增大 V_{CORE} 称作过压。它可提高器件性能。

动态电压调节减小 V_{CORE} 称作欠压。它用来节省功率，尤其是用于笔记本电脑和其他移动设备，其有限能源来自电池的场合。

- Range 1: 高性能范围。

主调压器提供了 1.2 V 的典型输出电压。系统时钟频率可达 80 MHz。读访问的 Flash 访问时间最小，可进行写入和擦除操作。

- Range 2: 低功耗范围。

主调压器提供了 1.0 V 的典型输出电压。系统时钟频率可达 26 MHz。相比于 Range 1，其读访问的 Flash 访问时间增加；可进行写入和擦除操作。

通过 PWR_CR1 寄存器中的 VOS 位选择电压调节。

从 Range 1 进入 Range 2 的时序为：

1. 降低系统频率至低于 26 MHz。
2. 根据 Range2 中新的频率目标来调整等待状态的数量（FLASH_ACR 中的 LATENCY 位）。
3. 将 PWR_CR1 寄存器中的 VOS 位编程为“10”。

从 Range 2 进入 Range 1 的时序为：

1. 将 PWR_CR1 寄存器中的 VOS 位编程为“01”。
2. 等待，直至 PWR_SR2 寄存器中的 VOSF 标志清零。
3. 根据 Range1 中新的频率目标来调整等待状态的数量（FLASH_ACR 中的 LATENCY 位）。
4. 增加系统频率。

1.2 电源方案

电路由稳定的供电电源 V_{DD} 供电。

- V_{DD} 引脚必须连至带有外部去耦电容的 V_{DD} ；封装的单个钽电容或陶瓷电容（最低 4.7 μF , 典型 10 μF ）+ 每个 V_{DD} 引脚一个 100 nF 陶瓷电容）。
- V_{DDA} 引脚必须连至两个外部去耦电容（100 nF 陶瓷电容 + 1 μF 钽电容或陶瓷电容）。可采用更多措施过滤数字噪声： V_{DDA} 可通过铁氧体磁环连至 V_{DD} 。这种情况下，注意保持 $(V_{DDA} - V_{DD})$ 差小于 300 mV。
- V_{REF+} 引脚可由外部电压参考供电，这种情况下此引脚上必须连接 100 的外部电容和 1 μF 电容。
它也可由电压参考缓冲器内部供电，这种情况下此引脚上必须连接 1 μF （典型值）的电容。
- V_{BAT} 引脚可连接到外部电池来保持备份域内容。
当 V_{DD} 存在时，可通过 5 k Ω 或 1.5 k Ω 的内部电阻为 V_{BAT} 上的外部电池充电。
如果没有使用任何外部电池，建议将该 V_{BAT} 连接到带有 100 nF 外部去耦电容的 V_{DD} 上。
- V_{LCD} 引脚可由外部电压参考供电，这种情况下此引脚上必须连接 100 nF 的外部电容和 1 μF 电容。
它也可由升压转换器内部供电，这种情况下此引脚上必须连接 1 μF （典型值）的外部电容。

图 2. 电源方案

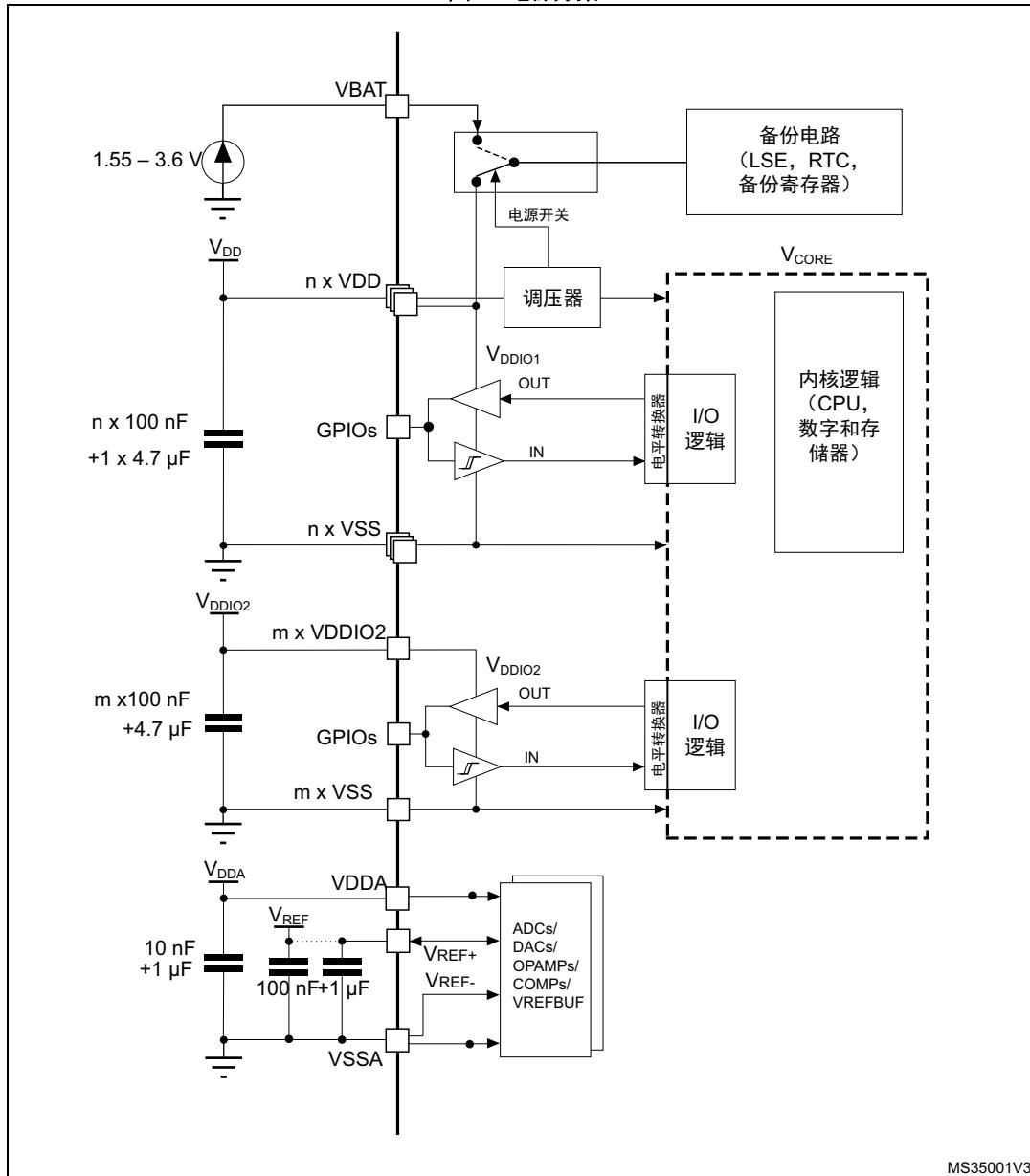
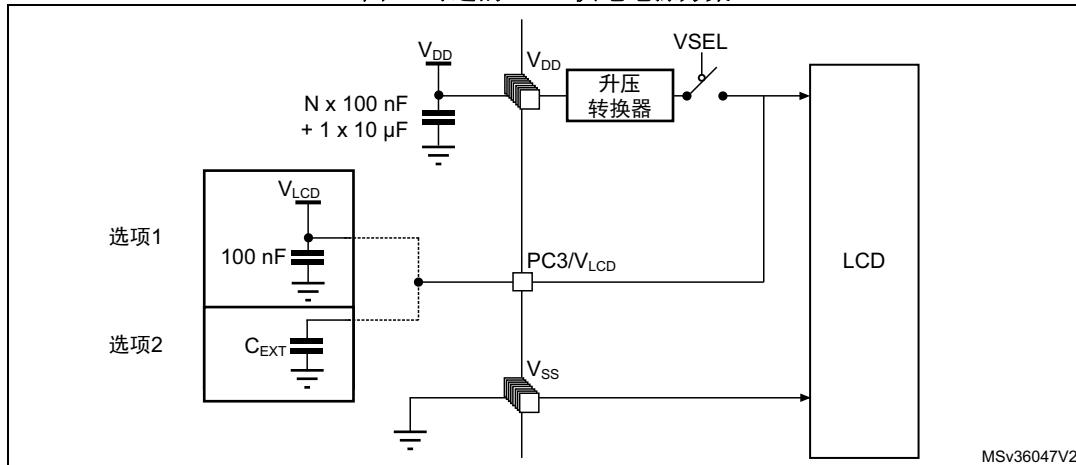


图 3. 可选的 LCD 供电电源方案



- **选项 1:** 由专用 VLCD 电源为 LCD 供电, VSEL 开关为开。
- **选项 2:** 由内部升压转换器为 LCD 供电, VSEL 开关关闭, 需要外部电容以确保此转换器行为正确。

注:

VLCD 在 PC3 GPIO 上复用, PC3 GPIO 需要配置为 VLCD 选择功能。

1.3 复位和电源监控

1.3.1 上电复位 (POR)/ 掉电复位 (PDR)/ 欠压复位 (BOR)

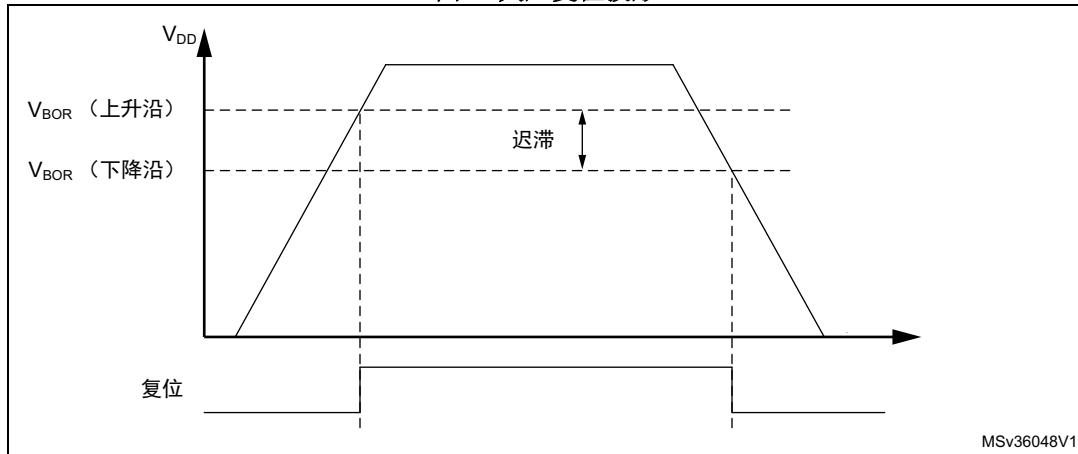
该器件具有一个集成的上电复位 (POR) / 掉电复位 (PDR), 与欠压复位 (BOR) 电路耦合。除关断模式外, BOR 在所有功耗模式下均激活, 且不可禁用。

通过选项字节, 可对 5 个 BOR 阈值进行选择。

上电期间, BOR 将使器件保持复位状态, 直到电源电压 V_{DD} 达到指定的 V_{BORx} 阈值。当 V_{DD} 降至所选阈值以下时, 将使器件复位。当 V_{DD} 高于 V_{BORx} 上限时, 释放器件复位, 系统可以启动。

有关欠压复位阈值的相关详细信息, 请参见数据手册的电气特性部分。

图 4. 欠压复位波形



1.3.2 电源复位

只要发生以下事件之一，就会产生电源复位：

1. 欠压复位 (BOR)。
2. 离开待机模式或关断模式。

欠压复位，包括上电或掉电复位 (POR/PDR)，将所有寄存器设置为其复位值，备份域除外。

离开待机或关断模式时， V_{CORE} 域的所有寄存器都设置为其复位值。 V_{CORE} 域外的寄存器 (RTC, WKUP, IWDG, 以及待机 / 关断模式控制) 不受影响。

1.3.3 系统复位

除了时钟控制 / 状态寄存器 (RCC_CSR) 中的复位标志和备份域中的寄存器外，系统复位会将其全部寄存器都复位为复位值。

只要发生以下事件之一，就会产生系统复位：

1. NRST 引脚低电平 (外部复位)
2. 窗口看门狗事件 (WWDG 复位)
3. 独立看门狗事件 (IWDG 复位)
4. 防火墙事件 (FIREWALL 复位)
5. 软件复位 (SW 复位)
6. 低功耗管理复位
7. 选项字节加载复位
8. 欠压复位

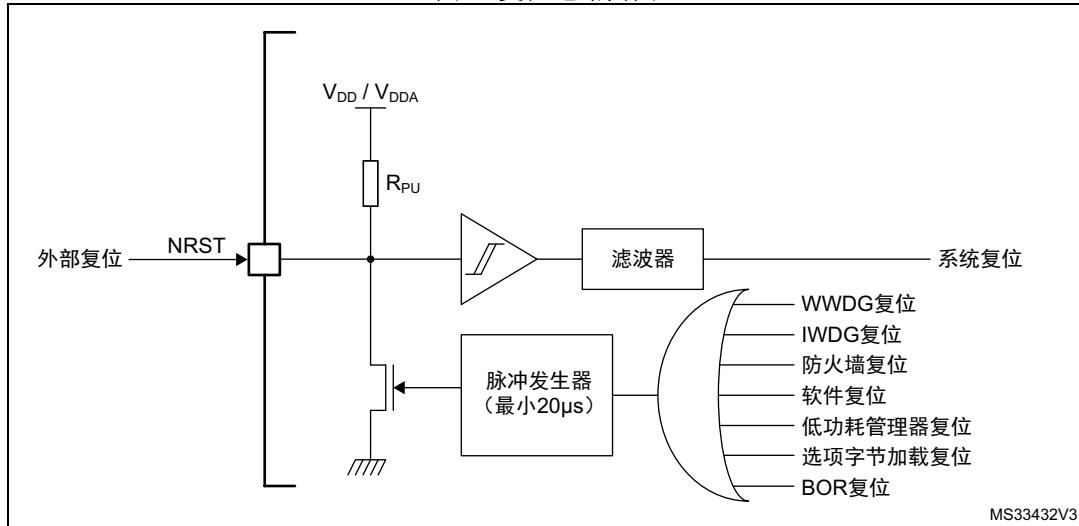
可通过查看控制 / 状态寄存器 (RCC_CSR) 中的复位标志确定复位源。

这些源均作用于 NRST 引脚，该引脚在复位过程中始终保持低电平。RESET 复位入口向量在存储器映射中固定在地址 0x0000_0004。

芯片内部的复位信号会向 NRST 引脚上输出一个低电平脉冲。脉冲发生器可确保每个内部复位源的复位脉冲都至少持续 20 μ s。对于外部复位，在 NRST 引脚处于低电平时产生复位脉冲。

内部复位情况下，内部上拉 R_{PU} 失效，通过上拉电阻节约功耗。

图 5. 复位电路简图



软件复位

Cortex[®]-M4 应用中断和复位控制寄存器中的 SYSRESETREQ 位必须设置为强制器件上的软件复位（参见 STM32F3xx/F4xx/L4xx Cortex[®]-M4 程序设计手册（PM0214））。

低功耗模式安全复位

为了防止关键应用错误地进入低功耗模式，提供了两种低功耗模式安全复位。如果在选项字节中使能，则在下列情况下会产生这种复位：

1. 进入待机模式：此复位的使能方式是清零用户选项字节中的 nRST_STDBY 位。使能后，只要成功执行进入待机模式序列，器件就将复位，而非进入待机模式。
2. 进入停止模式：此复位的使能方式是清零用户选项字节中的 nRST_STOP 位。使能后，只要成功执行进入停止模式序列，器件就将复位，而非进入停止模式。
3. 进入关断模式：此复位的使能方式是清零用户选项字节中的 nRST_SHDW 位。使能后，只要成功执行进入关断模式序列，器件就将复位，而非进入关断模式。

关于用户选项字节的更多信息，请参考参考手册章节：选项字节说明。

选项字节加载复位

当 OBL_LAUNCH 位（位 27）在 FLASH_CR 寄存器中置位时，产生选项字节加载复位。此位用来通过软件启动选项字节加载。

通过内部电阻对下拉电容充电 / 放电会增加器件功耗。该电容的建议值为 100 nF，可将其降至 10 nF 以限制此功耗。

1.3.4 备份域复位

备份域具有两个特殊复位。

只要发生以下事件之一，就会产生备份域复位：

1. 软件复位通过设置备份域控制寄存器 (*RCC_BDCR*) 中的 **BDRST** 位触发。
2. 在电源 V_{DD} 和 V_{BAT} 都已掉电后，其中任何一个又再上电。

备份域复位仅影响 LSE 振荡器、RTC、备份寄存器和 RCC 备份域控制寄存器。

2 封装

2.1 封装选择

封装选择应该考虑一些主要取决于应用的限制。

下面汇总了常见的一些限制：

- 需要的接口数量。某些接口在有的封装上可能没有。某些接口组合在有的封装上可能没有。
 - PCB 技术限制。窄间距和高焊球密度可能要求更多的 PCB 层数和更高级的 PCB
 - 封装高度
 - 可用的 PCB 面积
 - 噪声发射或者高速接口的信号完整性。
- 更小的封装通常具有更好的信号完整性。由于窄间距和高焊球密度需要多层 PCB，这样可以有更好的电源 / 地分布，因此这一点得到进一步增强。
- 与其它器件的兼容性。

表 1. 封装总览（不包括 WCSP）

封装类型	LQFP64	LQFP100	LQFP144	UFBGA132
大小 (mm) ⁽¹⁾	10 x 10	14 x 14	20 x 20	7 x 7
脚间距 (mm)	0.5	0.5	0.5	0.5
高度 (mm)	1.6	1.6	1.6	0.6
参考产品	STM32L486xx / 476xx			

1. 不包括引脚的大小

表 2. WCSP 封装总览

封装类型	WCSP
球数目	72
大小 (mm)	4.4284 x 3.7784
脚间距 (mm)	0.4
高度 (mm)	0.585
参考产品	STM32L486xx / 476xx

2.2 引脚排列兼容性

表 3 允许根据要求的信号选择正确的封装。

表 3. 引脚排列总览

引脚名称	封装和引脚号				
	LQFP			UFBGA	WCSP
	64	100	144	132	72
是否有专用 IO					
PC14/OSC32_IN	X	X	X	X	X
PC15/OSC32_OUT	X	X	X	X	X
PH0/OSC_IN	X	X	X	X	X
PH1/OSC_OUT	X	X	X	X	X
PC3/VLCD	X	X	X	X	X
系统相关引脚					
BOOT0	X	X	X	X	X
NRST	X	X	X	X	X
电源引脚					
VBAT	X	X	X	X	X
VDDUSB	X	X	X	X	X
VSSA	X	X	X	X	X
VREF-	-	X	X	X	-
VREF+	-	X	X	X	X
VDDA	X	X	X	X	X
VDDIO2	-	-	X	X	X
VDD 数量 ⁽¹⁾	3	5	9	6	3
VSS 数量	4	5	11	7	4

- 一个单独钽电容或者陶瓷电容（最小值 $4.7\mu\text{F}$, 典型值 $10\mu\text{F}$ ）+ 每个 V_{DD} 引脚一个 100nF 陶瓷电容。

3 时钟

可以使用四种不同的时钟源来驱动系统时钟 (SYSCLK):

- HSI (高速内部) 16 MHz RC 振荡器时钟
- MSI (多速内部) RC 振荡器时钟
- HSE 振荡器时钟, 4 至 48 MHz
- PLL 时钟

从复位中启动后, MSI 用作系统时钟源, 配置为 4 MHz。

器件具有以下附加时钟源:

- 32 kHz 低速内部 RC (LSI RC), 该 RC 用于驱动独立看门狗, 也可选择提供给 RTC 用于停止 / 待机模式下的自动唤醒。
- 32.768 kHz 低速外部晶振 (LSE 晶振), 用于驱动实时时钟 (RTCCLK)

对于每个时钟源来说, 在未使用时都可单独打开或者关闭, 以降低功耗。

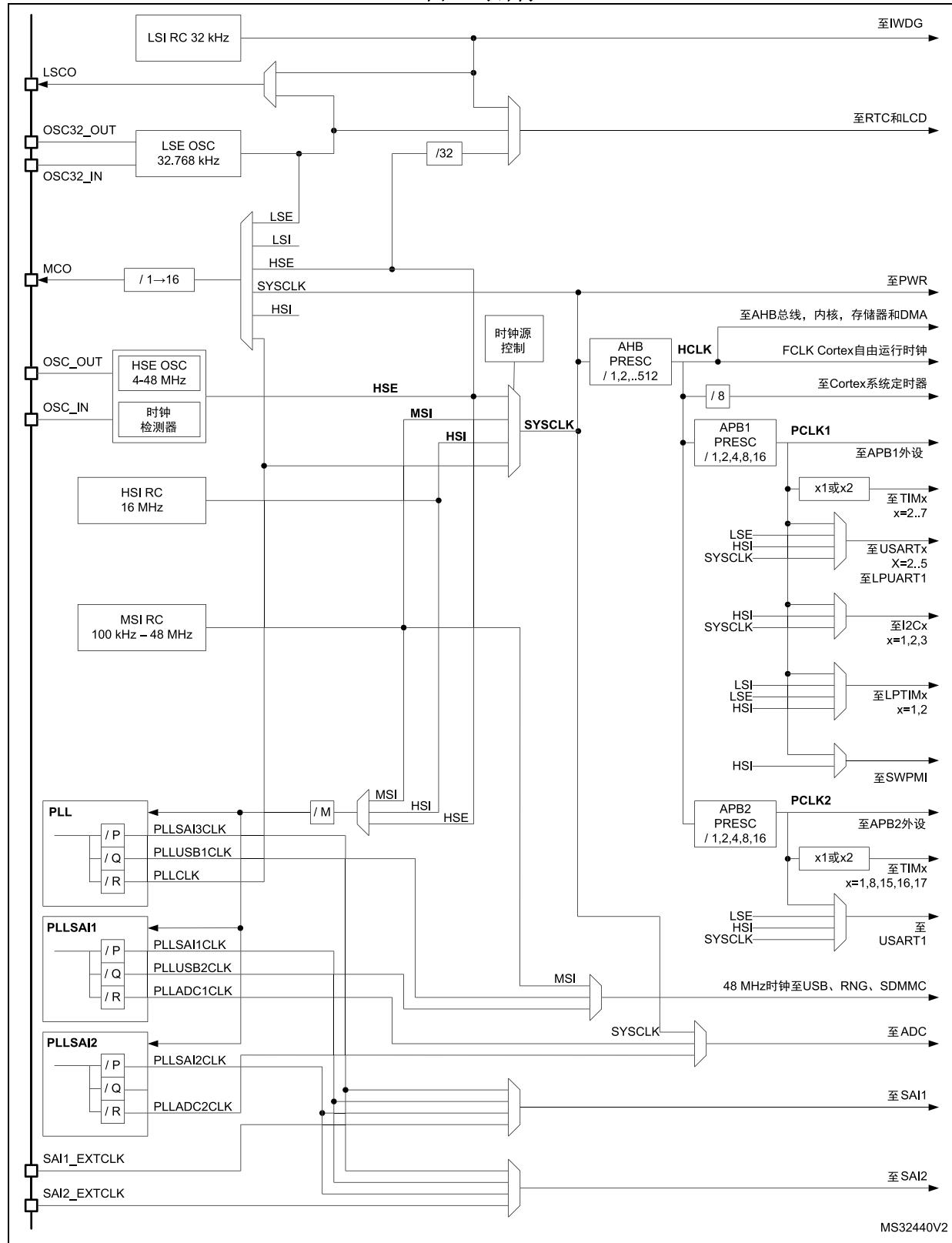
可通过多个预分频器配置 AHB 频率、高速 APB (APB2) 和低速 APB (APB1) 域。AHB、APB1 和 APB2 域的最大频率为 80 MHz。

所有外设时钟均由其总线时钟 (HCLK、PCLK1 或 PCLK2) 提供，但以下时钟除外：

- 48 MHz 时钟，用于 USB OTG FS、SDMMC 和 RNG。该时钟由以下任一时钟源提供（由软件选择）：
 - 主 PLL VCO (PLLUSB1CLK)
 - PLLSAI1 VCO (PLLUSB2CLK)
 - MSI 时钟。
- 当 MSI 时钟利用 LSE 自动调整，它可用于 USB OTG FS 器件。
- 由以下三个时钟源之一提供的 ADC 时钟（由软件选择）：
 - 系统时钟 (SYSCLK)
 - PLLSAI1 VCO (PLLADC1CLK)
 - PLLSAI2 VCO (PLLADC2CLK).
- 由以下四个时钟源之一提供的 U(S)ART 时钟（由软件选择）：
 - 系统时钟 (SYSCLK)
 - HSI 时钟
 - LSE 时钟
 - APB1 或 APB2 时钟（是 PCLK1 还是 PCLK2 取决于 U(S)ART 映射哪个 APB）
仅当时钟为 HSI 或 LSE 时，支持从停止模式唤醒。
- 由以下三个时钟源之一提供的 I²C 时钟（由软件选择）：
 - 系统时钟 (SYSCLK)
 - HSI 时钟
 - APB1 时钟 (PCLK1)
仅当时钟为 HSI 时，支持从停止模式唤醒。
- 由以下四个时钟源之一提供的 SAI1 和 SAI2 时钟（由软件选择）：
 - 外部时钟，对于 SAI1 它映射到 SAI1_EXTCLK，而对于 SAI2，它映射到 SAI2_EXTCLK。
 - PLLSAI1 VCO (PLLSAI1CLK)
 - PLLSAI2 VCO (PLLSAI2CLK)
 - 主 PLL VCO (PLLSAI3CLK)
- 由以下两个时钟源之一提供的 SWPMI1 时钟（由软件选择）：
 - HSI 时钟
 - APB1 时钟 (PCLK1)
仅当时钟为 HSI 时，支持从停止模式唤醒。
- 由以下五个时钟源之一提供的低功耗定时器 (LPTIMx) 时钟（由软件选择）：
 - LSI 时钟
 - LSE 时钟
 - HSI 时钟

- APB1 时钟 (PCLK1)
 - 映射到 LPTIMx_IN1 上的外部时钟
- 仅当时钟为 LSI 或 LSE，或处于外部时钟模式时，支持停止模式的功能（包括唤醒）。
- 由以下三个时钟源之一提供的 RTC 和 LCD 时钟（由软件选择）：
 - LSE 时钟
 - LSI 时钟
 - HSE 时钟 32 分频
- 仅当时钟为 LSI 或 LSE 时，支持停止模式的功能（包括唤醒）。
- 始终为 LSI 时钟的 IWDG 时钟。
- RCC 向 Cortex[®] 系统定时器 (SysTick) 外部时钟馈送 8 分频的 AHB 时钟 (HCLK)。SysTick 可使用此时钟作为时钟源，也可直接使用 Cortex[®] 时钟 (HCLK) 作为时钟源，具体可在 SysTick 控制和状态寄存器中配置。

图 6. 时钟树



1. 有关内部和外部时钟源特性的所有详细信息，请参见器件数据手册的电气特性部分。

2. ADC 时钟可由 ADC 总线接口的 AHB 时钟除以一个可编程的因数（1、2 或 4）来提供。当可编程因数为“1”时，AHB 预分频器必须等于“1”。

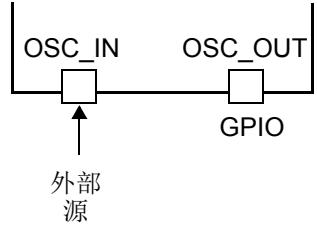
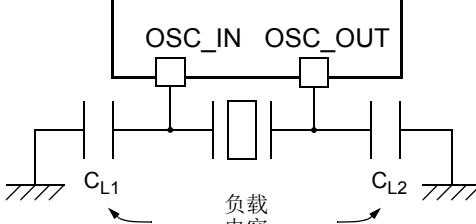
3.1 HSE 时钟

高速外部时钟信号 (HSE) 有 2 个时钟源：

- HSE 外部晶振 / 陶瓷谐振器
- HSE 用户外部时钟

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。
负载电容值必须根据所选振荡器的不同做适当调整。

图 7. HSE/LSE 时钟源

时钟源	硬件配置
外部时钟	
晶振 / 陶瓷谐振器	

1. R_{EXT} 的值取决于晶振特性。典型值范围是 5 到 $6 R_S$ （谐振串联电阻）。若需精调 R_{EXT} 的值，请参考 AN2867 (ST 微控制器振荡器设计指南)。
2. 负载电容 C_L 的公式如下： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ ，其中 C_{stray} 为引脚电容以及与电路板或 PCB 走线相关的电容。典型情况下，它在 2 pF 和 7 pF 之间。请参考 第 6.4 节：去耦以使其值最小。

3.1.1 外部晶振 / 陶瓷谐振器 (HSE 晶振)

4 到 48 MHz 外部振荡器的优点是精度非常高。

相关的硬件配置如[图 7](#) 所示。有关详细信息，请参见数据手册的电气特性部分。

时钟控制寄存器 (*RCC_CR*) 中的 HSERDY 标志指示了 HSE 振荡器是否稳定。在启动时，硬件将此位置 1 后，此时钟才可以使用。如在时钟中断使能寄存器 (*RCC_CIR*) 中使能中断，则可产生中断。

HSE 晶振可通过时钟控制寄存器 (*RCC_CR*) 中的 HSEON 位打开或关闭。

3.1.2 外部源 (HSE 旁路)

在此模式下，必须提供外部时钟源。最高频率不超过 48 MHz。此模式通过将时钟控制寄存器 (*RCC_CR*) 中的 HSEBYP 和 HSEON 位置 1 进行选择。必须使用占空比为 ~40-60 % 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC_IN 引脚，具体取决于频率（参考数据手册），同时 OSC_OUT 引脚可用作 GPIO。请参见[图 7](#)。

3.2 HSI 时钟

HSI 时钟信号是从内部 16 MHz RC 振荡器生成的。

HSI RC 振荡器的优点是成本较低（无需使用外部组件）。此外，其启动速度也要比 HSE 晶振块，但即使校准后，其精度也不及外部晶振或陶瓷谐振器。

从停止模式（Stop 1 或 Stop 2）唤醒后，可选择 HSI 时钟作为系统时钟。请参考[参考手册章节：低功耗模式](#)。它还可作为备份时钟源（辅助时钟）使用，以防 HSE 晶振发生故障。请参考[参考手册章节：时钟安全系统 \(CSS\)](#)。

3.2.1 校准

因为生产工艺不同，不同芯片的 RC 振荡器频率也不同，因此 ST 会对每个器件进行出厂校准，达到 $T_A = 25^\circ\text{C}$ 时 1 % 的精度。

复位后，工厂校准值将加载到内部时钟源校准寄存器 I (*RCC_ICSCR*) 的 HSICAL[7:0] 位中。

如果应用受到电压或温度变化影响，则这可能也会影响到 RC 振荡器的速度。用户可通过内部时钟源校准寄存器 (*RCC_ICSCR*) 中的 HSITRIM[4:0] 位对 HSI 频率进行微调。

关于如何测量 HSI 频率偏移的更多详细信息，请参考[参考手册章节：利用 TIM15/TIM16/TIM17 的内部/外部时钟测量](#)。

时钟控制寄存器 (*RCC_CR*) 中的 HSIRDY 标志指示了 HSI RC 是否稳定。在启动时，硬件将此位置 1 后，HSI 才可以使用。

HSI RC 可通过时钟控制寄存器 (*RCC_CR*) 中的 HSION 位打开或关闭。

HSI 信号还可作为备份时钟源（辅助时钟）使用，以防 HSE 晶振发生故障。请参考参考手册章节：时钟安全系统（CSS）。

3.3 MSI 时钟

MSI 时钟信号是从内部 RC 振荡器生成的。其频率范围可通过时钟控制寄存器（RCC_CR）中的 MSIRANGE[3:0] 位进行软件调节。有 12 个频率范围可用：100 kHz、200 kHz、400 kHz、800 kHz、1 MHz、2 MHz、4 MHz（默认值）、8 MHz、16 MHz、24 MHz、32 MHz 和 48 MHz。

在从复位重启、从待机、关断低功耗模式后唤醒，MSI 时钟被用作系统时钟。从复位重启后，MSI 频率被置位其默认值 4 MHz。请参考参考手册章节：低功耗模式。

从停止模式（Stop 1 或 Stop 2）唤醒后，可选择 MSI 时钟作为系统时钟。请参考参考手册章节：低功耗模式。它还可作为备份时钟源（辅助时钟）使用，以防 HSE 晶振发生故障。请参考参考手册章节：时钟安全系统（CSS）。

MSI RC 振荡器的优势在于可提供一个低成本（无外部元件）低功耗的时钟源。此外，当和 LSE 一起用于 PLL 模式时，它可提供一个非常精确的时钟源，该时钟源可用于 USB OTG FS 器件，并且向主 PLL 反馈，使系统以最大速率 80 MHz 运行。

时钟控制寄存器（RCC_CR）中的 MSIRDY 标志指示了 MSI RC 是否稳定。在启动时，硬件将此位置 1 后，MSI RC 输出时钟才可以使用。MSI RC 可通过时钟控制寄存器（RCC_CR）中的 MSION 位打开或关闭。

3.3.1 利用 LSE 进行硬件自动校准（PLL 模式）

当应用中存在 32.768 kHz 的晶振时，可通过设置时钟控制寄存器（RCC_CR）中的 MSIPLLEN 位将 MSI 配置为 PLL 模式。当配置为 PLL 模式，MSI 利用 LSE 自动校准。该模式可用于所有 MSI 频率范围。48 MHz 时，处于 PLL 模式的 MSI 可用于 USB OTG FS 器件，不需要外部高速晶振。

3.3.2 软件校准

由于生产工艺不同，不同芯片的 MSI RC 振荡器频率也不同，因此 ST 会对每个器件进行出厂校准，使器件在 25 °C 室温（TA）时达到 1 % 的精度。复位后，出厂校准值载入内部时钟源校准寄存器（RCC_ICSCR）的 MSICAL[7:0] 位。如果应用受到电压或温度变化影响，则这可能也会影响到 RC 振荡器的速度。用户可通过 RCC_ICSCR 寄存器中的 MSITRIM[7:0] 位对 MSI 频率进行微调。关于如何测量 MSI 频率偏移的更多详细信息，请参考参考手册章节：利用 TIM15/TIM16/TIM17 的内部/外部时钟测量。

3.4 PLL

器件嵌入了 3 个 PLL：PLL，PLLSAI1，PLLSAI2。每个 PLL 提供了多达 3 个独立输出。内部 PLL 可用来倍频 HSI、HSE 或 MSI 输出时钟频率。PLL 输入频率必须介于 4 至 8 MHz 之间。所选时钟源被可编程因数 PLLM（因数为 1 至 8）分频，提供一个在所需输入范围内的时钟频率。请参考图 6：时钟树和 PLL 配置寄存器（RCC_PLLCFGR）。

PLL 配置（对输入时钟和倍频因数进行选择）必须在使能 PLL 之前完成。当 PLL 使能后，这些参数就不能再更改。

请按以下步骤修改 PLL 配置：

1. 通过将时钟控制寄存器 (*RCC_CR*) 中的 PLLON 置为 0，来禁用 PLL。
2. 等待，直至 PLLRDY 清零。此时 PLL 彻底停止。
3. 更改所需要的参数。
4. 通过将 PLLON 置为 1，再次使能 PLL。
5. 通过配置 PLL 配置寄存器 (*RCC_PLLCFGR*) 中的 PLLPEN、PLLQEN、PLLREN，使能所需要的 PLL 输出。

如在时钟中断使能寄存器 (*RCC_CIR*) 中使能中断，则 PLL 就绪时可产生中断。

更改 PLLSAI1 或 PLLSAI2 配置可应用同样的步骤：

1. 通过将时钟控制寄存器 (*RCC_CR*) 中的 PLLSAI1ON/PLLSAI2ON 置为 0，来禁用 PLLSAI1/PLLSAI2。
2. 等待，直至 PLLSAI1RDY/PLLSAI2RDY 清零。此时 PLLSAI1/PLLSAI2 彻底停止。
3. 更改所需要的参数。
4. 通过将 PLLSAI1ON/PLLSAI2ON 置为 1，再次使能 PLLSAI1/PLLSAI2。
5. 通过配置 PLLSAI1 配置寄存器 (*RCC_PLLSAI1CFGR*) 和 PLLSAI2 配置寄存器 (*RCC_PLLSAI2CFGR*) 中的 PLLSAI1PEN/PLLSAI2PEN、PLLSAI1QEN/PLLSAI2QEN、PLLSAI1REN/PLLSAI2REN，使能所需要的 PLL 输出。

PLL 输出频率不可超过 80 MHz。

每个 PLL 输出时钟的使能位 (PLLPEN, PLLQEN, PLLREN, PLLSAI1PEN, PLLSAI1QEN, PLLSAI1REN, PLLSAI2PEN 和 PLLSAI2REN) 可随时修改，而不必停止相应的 PLL。如果 PLLCLK 用作系统时钟，则 PLLREN 不可被清零。

3.5 LSE 时钟

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器，可作为实时时钟 (RTC) 的时钟源来提供时钟 / 日历或其它定时功能，具有功耗低且精度高的优点。

LSE 晶振通过备份域控制寄存器 (*RCC_BDCR*) 中的 LSEON 位打开和关闭。使用备份域控制寄存器 (*RCC_BDCR*) 中的 LSEDRV[1:0] 位，可在运行时更改晶振驱动强度，以实现稳健性、短启动时间和低功耗之间的最佳平衡。当 LSE 为 ON 时，LSE 驱动可降低为更低的驱动能力 (LSEDRV=00)。但是，当选择了 LSEDRV，如果 LSEON=1 则不能提高驱动能力。

睡眠和停止模式中 AHB1 外设时钟使能寄存器 (*RCC_AHB1SMENR*) 中的 LSERDY 标志指示 LSE 晶振是否稳定。在启动时，硬件将此位置 1 后，LSE 晶振输出时钟信号才可以使能。如在时钟中断使能寄存器 (*RCC_CIR*) 中使能中断，则可产生中断。

3.5.1 外部源 (LSE 旁路)

在此模式下，必须提供外部时钟源。最高频率不超过 1 MHz。用户通过设置睡眠和停止模式中 AHB1 外设时钟使能寄存器 (*RCC_AHB1SMENR*) 中的 LSEBYP 和 LSEON 位来选择此模式。必须使用占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC32_IN 引脚，同时 OSC32_OUT 引脚应保持为高阻态 (GPIO)。请参见 [图 7](#)。

3.6 LSI 时钟

LSI RC 可作为低功耗时钟源在停机和待机模式下保持运行，供独立看门狗 (IWDG)、RTC 和 LCD 使用。时钟频率为 32 kHz。有关详细信息，请参见数据手册的电气特性部分。

LSI RC 可通过控制/状态寄存器 (*RCC_CSR*) 中的 LSION 位打开或关闭。

控制/状态寄存器 (*RCC_CSR*) 中的 LSIRDY 标志指示了 LSI 振荡器是否稳定。在启动时，硬件将此位置 1 后，此时钟才可以使用。如在时钟中断使能寄存器 (*RCC_CIR*) 中使能中断，则可产生中断。

3.7 系统时钟 (SYSCLK) 选择

可以使用四种不同的时钟源来驱动系统时钟 (SYSCLK):

- MSI 振荡器
- HSI 振荡器
- HSE 振荡器
- PLL

系统时钟最大频率为 80 MHz。系统复位后，选择 MSI 振荡器（为 4 MHz）作为系统时钟。在直接使用 HSI 或者通过 PLL 使用时钟源来作为系统时钟时，该时钟源无法停止。

只有在目标时钟源已就绪时（时钟在启动延迟或 PLL 锁相后稳定时），才可从一个时钟源切换到另一个。如果选择尚未就绪的时钟源，则切换在该时钟源就绪时才会进行。内部时钟源校准寄存器 (*RCC_ICSCR*) 中的状态位指示哪个（些）时钟已就绪，以及当前哪个时钟正充当系统时钟。

4 自举配置

在 STM32L4x6 中，可通过 BOOT0 引脚和用户选项字节中的 nBOOT1 位来选择三种不同的自举模式，如下表所示。

表 4. 自举模式

自举模式选择		自举模式	自举空间
BOOT1 ⁽¹⁾	BOOT0		
x	0	主 Flash	选择主 Flash 作为自举空间
0	1	系统存储器	选择系统存储器作为自举空间
1	1	嵌入式 SRAM1	选择嵌入式 SRAM1 作为自举空间

1. BOOT1 的值为 nBOOT1 选项位取反。

复位后，锁存 BOOT0 引脚和 nBOOT1 位的值。由用户决定设置 nBOOT1 和 BOOT0 以选择需要的自举模式。

当退出待机模式时，BOOT0 引脚和 nBOOT1 位也会重新采样。因此，在待机模式中，这些引脚必须保持所需的自举模式配置。启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的自举存储器开始执行代码。

根据所选的自举模式，主 Flash 存储器、系统存储器或 SRAM1 可如下访问：

- 从主 Flash 存储器自举：主 Flash 存储器在自举存储器空间（0x0000 0000）中有别名，但也可从它原来的存储器空间（0x0800 0000）访问。换句话说，闪存内容可从地址 0x0000 0000 或 0x0800 0000 开始访问。
- 从系统存储器自举：系统存储器在自举存储器空间（0x0000 0000）中有别名，但也可从它原来的存储器空间（0x1FFF 0000）访问。
- 从嵌入式 SRAM1 自举：SRAM1 在启动内存空间（0x0000 0000）中有别名，但也可从它原来的内存空间（0x2000 0000）访问。

注：

如果器件从 SRAM 自举，在应用程序初始化代码中，需要使用 NVIC 异常及中断向量表和偏移寄存器来重新分配 SRAM 中的向量表。

从主闪存自举时，应用软件可从存储区 1 或存储区 2 自举。默认情况下，选择从存储区 1 自举。

要选择从闪存存储区 2 自举，则设置用户选项字节中的 BFB2 位。当

该位置位且自举引脚为从闪存自举配置时，

器件从系统存储区自举，自举程序跳转到执行

闪存存储区 2 中编程的用户应用程序。更多详细信息，请参见

AN2606。

注：

从存储区 2 自举时，在应用程序初始化代码中，需要重新分配到存储区 2 基址的向量表。（0x0808 0000）使用 NVIC 异常表和偏移寄存器。

4.1 物理重映射

选择自举引脚后，应用程序软件可以将某些存储器设定为从代码空间进行访问（这样，可通过 ICode 总线而非系统总线执行代码）。这样的修改通过在 **SYSCFG** 控制器中对 **SYSCFG 存储器重映射寄存器 (SYSCFG_MEMRMP)** 编程来实现。

因此可重映射以下存储器：

- 主 Flash
- 系统存储器
- 嵌入式 SRAM1 (112 KB)
- FSMC 块 1 (NOR/PSRAM 1 和 2)
- Quad SPI 存储器

4.2 嵌入式自举程序

嵌入式自举程序位于片内引导程序中，由 ST 在生产阶段编程。它用于通过以下串行接口重新编程 Flash：

- 引脚 PA9/PA10 上的 USART1，引脚 PA2/PA3 上的 USART2，引脚 PC10/PC11 上的 USART3
- 引脚 PB6/PB7 上的 I2C1、引脚 PB10/PB11 上的 I2C2 和引脚 PC0/PC1 上的 I2C3。
- 引脚 PA4/PA5/PA6/PA7 上的 SPI1、引脚 PB12/PB13/PB14/PB15 上的 SPI2 和引脚 PA15/PC10/PC11/PC12 上的 SPI3。
- 引脚 PA11/PA12 上的 USB DFU 接口

4.3 BOOT0 引脚连接

STM32L4 系列产品的 BOOT0 引脚具有比其他 GPIO 更低的 VIL（详细内容见数据手册 I/O 静态特性），因此它不符合 CMOS 要求，故当由其他 CMOS 电路驱动时，必须验证信号电平。

5 调试管理

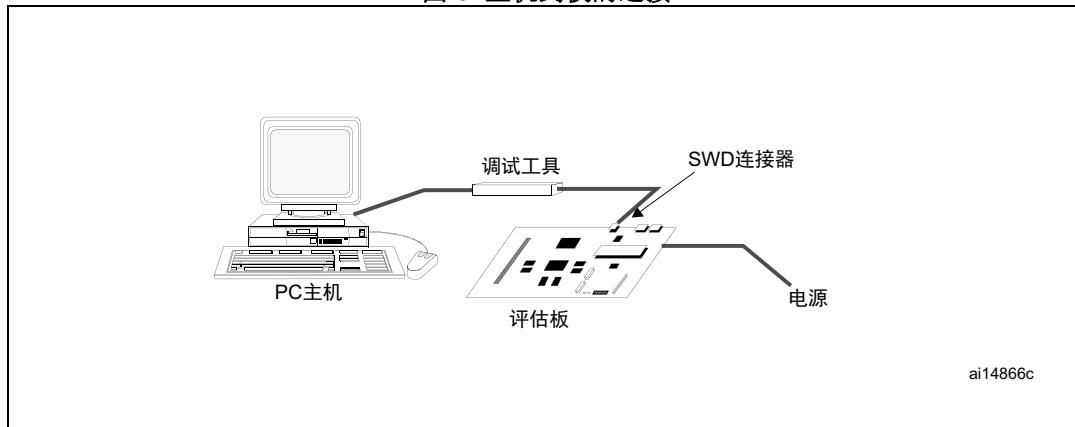
5.1 前言

在 SWJ-DP 中，SW-DP 的 2 个 JTAG 引脚与 JTAG-DP 的 5 个 JTAG 引脚中的部分引脚复用。

主机 / 目标接口为连接主机与应用板的硬件设备。此接口由三部分组成：硬件调试工具、软件连接器，以及连接主机与调试工具的电缆。

[图 8](#) 显示了主机到开发板的连接。

图 8. 主机到板的连接



Nucleo 演示板内置了调试工具（ST-LINK），所以它可通过 USB 线直接连至 PC。ST-LINK 默认要求对为 STM32L4MCU 提供 100 mA 供电的主设备进行枚举，因此用户可使用 Nucleo 板上的跳线 JP1，以防止 U5V 上的最大电流消耗不能超过 100 mA

5.2 SWJ 调试端口 (JTAG 和串行线)

STM32L4 系列内核集成了串行 /JTAG 调试端口 (SWJ-DP)。该端口是 ARM® 标准 CoreSight™ 调试端口，具有 JTAG-DP (5 引脚) 接口和 SW-DP (2 引脚) 接口。

- JTAG 调试端口 (JTAG-DP) 提供用于连接到 AHP-AP 端口的 5 引脚标准 JTAG 接口。
- 串行线调试端口 (SW-DP) 提供用于连接到 AHP-AP 端口的 2 引脚 (时钟 + 数据) 接口。

5.3 引脚排列和调试端口引脚

STM32L4 MCU 的不同封装有不同的有效引脚数。因此，一些与引脚可用性有关的功能可能会因封装不同而不同。

5.3.1 SWJ 调试端口引脚

五个引脚被用作 SWJ-DP 的端口，作为通用 I/O (GPIO) 的复用功能。所有封装（如表 5 所示）都提供这些引脚。

表 5. 调试端口引脚分配

SWJ-DP 引脚名称	JTAG 调试端口		SW 调试端口		引脚分配
	类型	说明	类型	调试分配	
JTMS/SWDIO	I	JTAG 测试模式选择	I/O	串行线数据输入 / 输出	PA13
JTCK/SWCLK	I	JTAG 测试时钟	I	串行线时钟	PA14
JTDI	I	JTAG 测试数据输入	-	-	PA15
JTDO/TRACESWO	O	JTAG 测试数据输出	-	TRACESWO (如果使能异步跟踪)	PB3
JNTRST	I	JTAG 测试 nReset	-	-	PB4

5.3.2 灵活的 SWJ-DP 引脚分配

复位 (SYSRESETn 或 PORESETn) 后，会将用于 SWJ-DP 的全部 5 个引脚指定为专用引脚，可供调试工具立即使用（请注意，除非由调试工具明确编程，否则不分配跟踪输出）。

然而，STM32L4 MCU 实现了一个寄存器以禁用所有或部分的 SWJ-DP 端口，以此释放相关端口用于通用 I/O。此寄存器映射至连在 Cortex®-M4 系统总线的一个 APB 桥上。它由用户软件程序而不是调试器主机编程。

表 6 显示了释放一些引脚的多种可能。若需更多详细信息，请参见 STM32L4x6 基于 ARM® 内核的 32 位高级 MCU 参考手册 (RM0351)。

表 6. 用到的 SWJ I/O 引脚

可用的调试端口	用到的 SWJ I/O 引脚				
	PA13/ JTMS/ SWDIO	PA14 / JTCK/ SWCLK	PA15 / JTDI	PB3 / JTDO	PB4/ JNTRST
全部 SWJ (JTAG-DP + SW-DP) - 复位状态	X	X	X	X	X
全部 SWJ (JTAG-DP + SW-DP)，但不包括 JNTRST	X	X	X	X	
禁止 JTAG-DP 和使能 SW-DP	X	X			
禁止 JTAG-DP 和禁止 SW-DP			已释放		

5.3.3 JTAG 引脚上的内部上拉和下拉电阻

JTAG 输入引脚不得悬空，因为这些引脚直接连接到用于控制调试模式功能的触发器。还必须特别注意 SWCLK/TCK 引脚，该引脚直接连接到一些触发器的时钟。

为避免 I/O 电平浮空，STM32L4 系列在 JTAG 输入引脚上内置有内部上拉和下拉电阻：

- JNTRST: 内部上拉
- JTDI: 内部上拉
- JTMS/SWDIO: 内部上拉
- TCK/SWCLK: 内部下拉

用户软件释放 JTAG I/O 后，GPIO 控制器便会再次取得控制权。GPIO 控制寄存器的复位状态会将 I/O 置于以下同等状态：

- JNTRST: 输入上拉
- JTDI: 输入上拉
- JTMS/SWDIO: 输入上拉
- JTCK/SWCLK: 输入下拉
- JTDO: 输入浮空

软件可以把这些 I/O 口作为普通的 I/O 口使用。

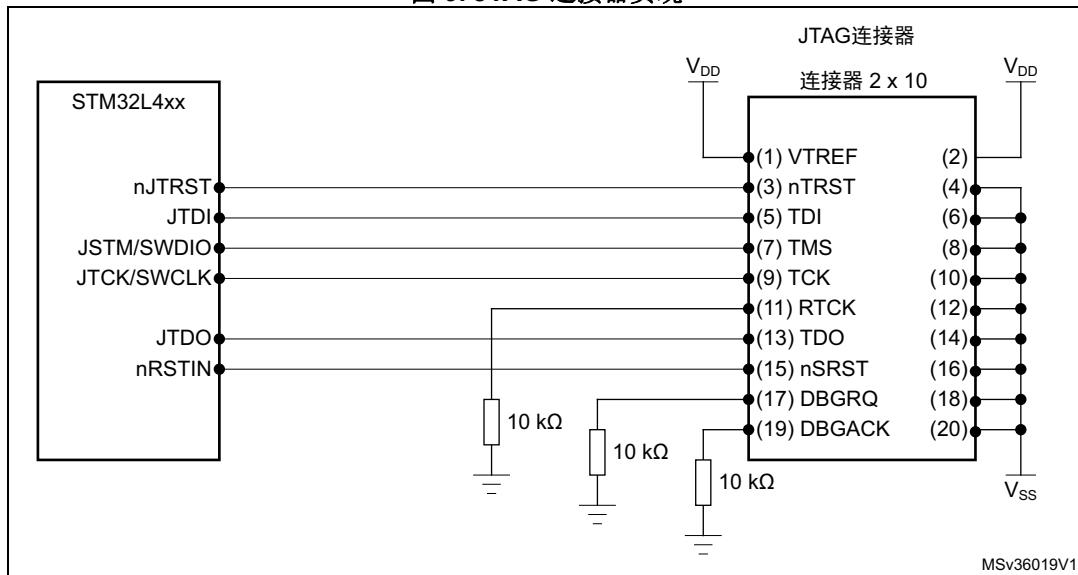
注：JTAG IEEE 标准建议在 TDI、TMS、nTRST 上增加上拉电阻，但对 TCK 没有特殊建议。然而，对于 STM32L4 系列，有一个集成的下拉电阻用于 JTCK。

由于带有上拉和下拉电阻，因此无需添加外部电阻。

5.3.4 使用标准 JTAG 连接器的 SWJ 调试端口连接

图 9 显示了 STM32L4 MCU 和标准 JTAG 连接器之间的连接。

图 9. JTAG 连接器实现



5.4 串行线调试 (SWD) 引脚分配

同样的 SWD 引脚分配支持所有 STM32L4 系列产品封装。

表 7. SWD 端口引脚

SWD 引脚名称	SWD 端口		引脚分配
	类型	调试分配	
SWDIO	I/O	串行线数据输入 / 输出	PA13
SWCLK	I	串行线时钟	PA14

5.4.1 SWD 引脚分配

复位 (SYSRESETn 或 PORESETn) 后，将用于 SWD 的引脚指定为专用引脚，可供调试工具立即使用。

但是，MCU 为禁用 SWD 提供了可能，因此可释放相关引脚供通用 I/O (GPIO) 使用。关于怎样禁用 SWD 端口的更多详细信息，请参考 RM0351 参考手册的 I/O 引脚复用功能复用器和映射部分。

5.4.2 SWD 引脚上的内部上拉和下拉

用户软件释放 SWD I/O 后，GPIO 控制器便会控制这些引脚。GPIO 控制寄存器的复位状态会将 I/O 置于同等状态：

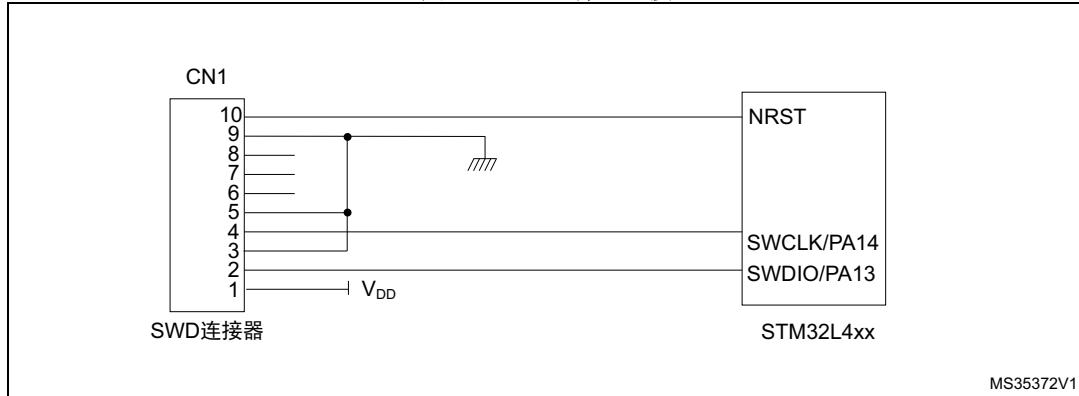
- SWDIO: 复用功能上拉
- SWCLK: 复用功能下拉

由于带有上拉和下拉电阻，因此无需添加外部电阻。

5.4.3 使用标准 SWD 连接器的 SWD 端口连接

图 10 显示了 STM32L4 MCU 和标准 SWD 连接器之间的连接。

图 10. SWD 端口连接



6 建议

6.1 印刷电路板

由于技术原因，最好使用多层印刷电路板（PCB）的单独一层专用于接地（ V_{SS} ），另一层专用于 V_{DD} 供电。这提供了不错的去耦和屏蔽效果。对于很多应用，由于经济原因不能使用此类板。在这种情况下，主要要求就是要确保接地和供电有良好的结构。

6.2 元件位置

PCB 的初始布局必须使单独的电路具有以下特性：

- 高电流电路
- 低电压电路
- 数字元件电路
- 根据电路的 EMI 贡献分离的电路。这会降低 PCB 上会引入噪声的交叉耦合。

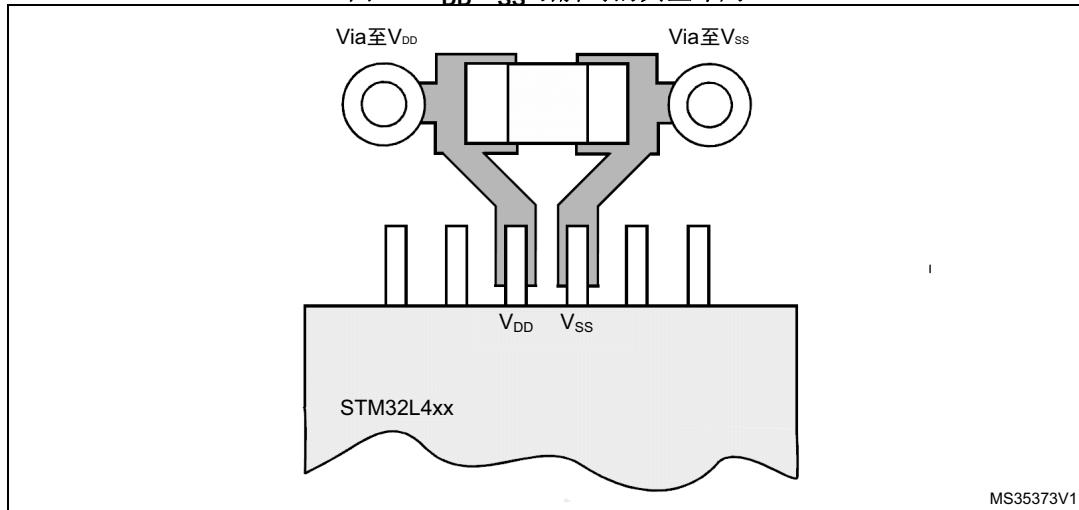
6.3 接地和供电 (V_{SS} 、 V_{DD} 、 V_{SSA} 、 V_{DDA} 、 V_{DDUSB} 、 V_{DDIO2})

每个块（噪声、低电平敏感、数字等等）应单独接地，所有接地回路都应为同一个点。必须避免出现环，或使环有最小面积。为提高模拟性能，您必须对 V_{DD} 和 V_{DDA} 使用单独的电源，将去耦电容放置在离器件尽可能近的位置。供电电源的实现应与地线尽可能近，以最小化供电环区域。这是因为供电环起到了天线及 EMI 主发收的作用。所有无元件的 PCB 区域都必须填充额外的接地，以创造屏蔽环境（尤其是当使用单层 PCB 时）。

6.4 去耦

所有供电和接地引脚都必须适当连至供电电源。这些连接，包括焊盘、线、过孔，都必须有尽可能低的阻抗。典型情况下，这可通过使用粗的线宽做到，最好在多层 PCB 中使用专用供电层。

此外，每个供电电源对都应使用滤波陶瓷电容（100 nF）及约 10 μ F 的钽电容或陶瓷电容去耦，两个电容并联在 STM32L4 系列器件上。在某些封装中，多个 VDD 使用同一个 VSS，而不是一对电源（每个 VDD 对应一个 VSS），这种情况下电容必须在每个 VDD 和公共 VSS 之间。这些电容应放置在 PCB 下侧尽可能接近或低于适当引脚的位置。其典型值为 10 nF 至 100 nF，但准确值取决于应用需要。[图 11](#) 显示了这种 V_{DD}/V_{SS} 对的典型布局。

图 11. V_{DD}/V_{SS} 引脚对的典型布局

6.5 其它信号

当设计应用时，可通过仔细研究以下几点来提高 EMC 性能：

- 临时扰动会永久影响运行过程的信号（中断和握手选通信号就是这个情况，但 LED 指令不是这个情况）。
对于这些信号，可使用周围接地跟踪、更短的长度、无噪声、附近敏感跟踪（串扰影响）提高 EMC 性能。
对于数字信号，两个逻辑状态必须达到可能的最佳电气边界，建议使用慢施密特触发器以消除寄生状态。
- 噪声信号（如时钟）
- 敏感信号（如高阻）

6.6 不使用的 I/O 和特性

所有微控制器都是为多种应用设计的，通常一个应用不会使用 100% 的 MCU 资源。

为增加 EMC 性能、避免额外功耗，不使用的时钟、计数器、I/O 都不应浮空。闲置的 I/O 引脚应当通过软件配置为模拟输入。其他选项通过外部或内部上拉或下拉将它们连接到固定的逻辑电平 0 或 1，或利用软件将它们配置为输出模式。

7 参考设计

7.1 说明

示于 [图 12](#) 中的参考设计基于 STM32L4 系列 LQFP144。

使用 [图 10: 所有封装的参考连接](#)中给出的引脚对应关系，可将不同封装的任何 STM32L4 系列器件定制此参考设计。

7.1.1 时钟

微控制器使用两个时钟源：

- LSE: X2 - 32.768 kHz 晶振用于嵌入式 RTC。
- HSE: X1 - 8 MHz 晶振用于 STM32L4 系列微控制器

请参见 [第 3 节：时钟](#)。

7.1.2 复位

[图 12](#) 中的复位信号为低电平有效。复位源包括：

- 复位按钮 (B1)
- 调试工具通过连接器 CN1 连接

请参见 [第 1.3 节：复位和电源监控](#)。

7.1.3 自举模式

通过设置开关 SW1 (Boot 0) 配置自举选项。请参见 [第 4 节：自举配置](#)。

注：当从待机模式唤醒时，*Boot* 引脚被采样。在此情况下，您需要注意它的值。

7.1.4 SWD 接口

参考设计显示了 STM32L4 MCU 和标准 SWD 连接器之间的连接。请参见 [第 5 节：调试管理](#)。

注：建议连接复位引脚，以便能从工具复位应用。

7.1.5 电源

请参见 [第 1 节：电源](#)。

7.2 元件参考

表 8. 必备元件

参考	元件名称	值	数量	注释
U1A	微控制器	STM32L4 系列 LQFP144	1	144 引脚封装
C8, C11, C13	电容	100 nF	9 + 2	陶瓷电容 (去耦电容)
C9	电容	4.7 μ F	1	钽电容 / 化学电容 / 陶瓷电容 (去耦电容)
C12	电容	1 μ F	1	仅当使用 LCD 时需要陶瓷电容 (LCD 升压器)
C6, C10, C16	电容	1 μ F	3	陶瓷电容 (去耦电容)
C14, C15	电容	1 μ F	1	陶瓷电容 (去耦电容), 用于内部电压参考缓冲器

表 9. 可选元件

参考	元件名称	值	数量	注释
R1	电阻	390 Ω	1	用于 HSE: 值取决于晶振特性, 参见应用笔记 AN2687
R3, R4, R5	电阻	10 k Ω	3	用于 ST Link 接口
C5	电容	100 nF	1	陶瓷电容
C1, C2	电容	6.8 pF	2	用于 LSE: 值取决于晶振特性。适合 MC-306 32.768K-E3, 它有一个 6 pF 的负载电容。
C3, C4	电容	20 pF	2	用于 HSE: 值取决于晶振特性, 参见应用笔记 AN2687
X1	石英	8 MHz	1	用于 HSE
X2	石英	32.764 kHz	1	用于 LSE
SW1	开关	-	1	用于选择正确的自举模式
B1	按钮	-	1	-
L1	铁氧体磁环	-	1	对于 V _{DDA} 电源上的 EMC 下降, 可通过 V _{DD} 和 V _{DDA} 之间的直接连接来代替

图 12. 参考设计 STM32L4 系列

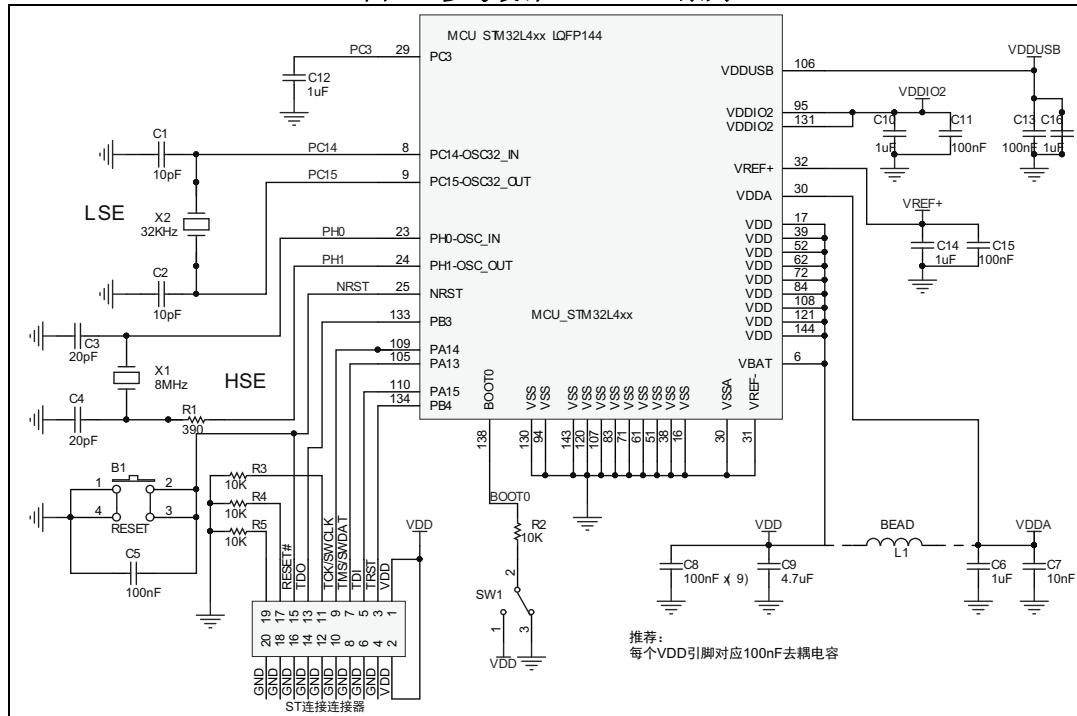


表 10. 所有封装的参考连接

引脚名称	每个封装的引脚数				
	LQFP 64 个引脚	LQFP 100 个引脚	LQFP 144 个引脚	BGA 132 个引脚	CSP 72 个引脚
VBAT	1	6	6	E2	B9
PC14/OSC32_IN	3	8	8	D1	C9
PC15/OSC32_OUT	4	9	9	E1	C8
VSS	-	10	16	F2	-
VDD	-	11	17	G2	-
PH0/OSC_IN	5	12	23	F1	D9
PH1/OSC_OUT	6	13	24	G1	D8
NRST	7	14	25	H2	E9
PC3/VLCD	11	18	29	K2	G7
VSSA_ADC	12	19	30	J1	G9
VREF-		20	31		
VREF+	13	21	32	L1	G8
VDDA_ADC		22	33	M1	H9
VSS	18	27	38	E3	J9

表 10. 所有封装的参考连接（续）

引脚名称	每个封装的引脚数				
	LQFP 64 个引脚	LQFP 100 个引脚	LQFP 144 个引脚	BGA 132 个引脚	CSP 72 个引脚
VDD	19	28	39	H3	J8
VSS	-	-	51	-	-
VDD	-	-	52	-	-
VSS	-	-	61	F6	-
VDD	-	-	62	G6	-
VSS	31	49	71	F12	J2
VDD	32	50	72	G12	J1
VSS	-	-	83	-	-
VDD	-	-	84	-	-
VSS	-	-	94	-	-
VDD	-	-	95	-	-
PA13	46	72	105	A11	C2
VSS	47	-	-	-	B1
VDDUSB	48	73	106	C11	A1
VSS	-	74	107	F11	-
VDD	-	75	108	G11	-
PA14	49	76	109	A10	B2
VSS	-	-	120	-	-
VDD	-	-	121	-	-
VSS	-	-	130	F7	-
VDDIO_2	-	-	131	G7	B6
BOOT0	60	94	138	A4	D7
VSS	63	99	143	D3	A8
VDD	64	100	144	C4	A9

8 修订历史

表 11. 文档修订历史

日期	版本	变更
2015 年 7 月 16 日	1	初始版本。

表 12. 中文文档修订历史

日期	版本	变更
2017 年 6 月 30 日	1	中文初始版本。

重要通知 - 请仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对 ST 产品和 / 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于 ST 产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对 ST 产品的选择和使用，ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的 ST 产品如有不同于此处提供的信息的规定，将导致 ST 针对该产品授予的任何保证失效。

ST 和 ST 徽标是 ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2017 STMicroelectronics - 保留所有权利 2017