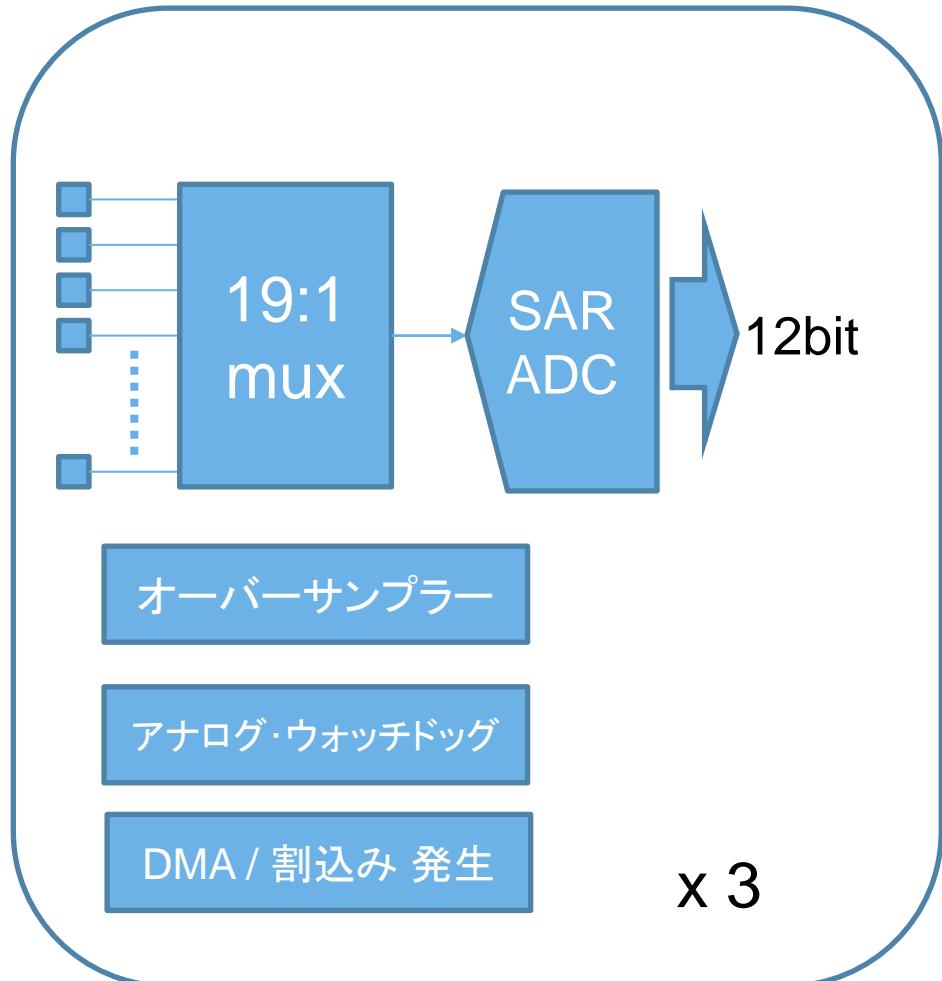


STM32L4 – A/Dコンバータ

Analog-to-Digital Converter

Revision 1





- アナログ/デジタル変換を提供
 - 16から24入力チャンネルの3つのADC
 - 12bit分解能、16bit オーバーサンプリング
 - 5.33Mサンプル/s 最大. (12bit)
 - ADCあたり3つのアナログ・ウォッチドッグ
 - DMAリクエスト発生
 - 割込み発生

アプリケーションの利点

- 超低消費電力: $210 \mu\text{A}$ @ 1 Mサンプル/s
- フレキシブルトリガー、CPUの負荷低減のためのデータマネジメント

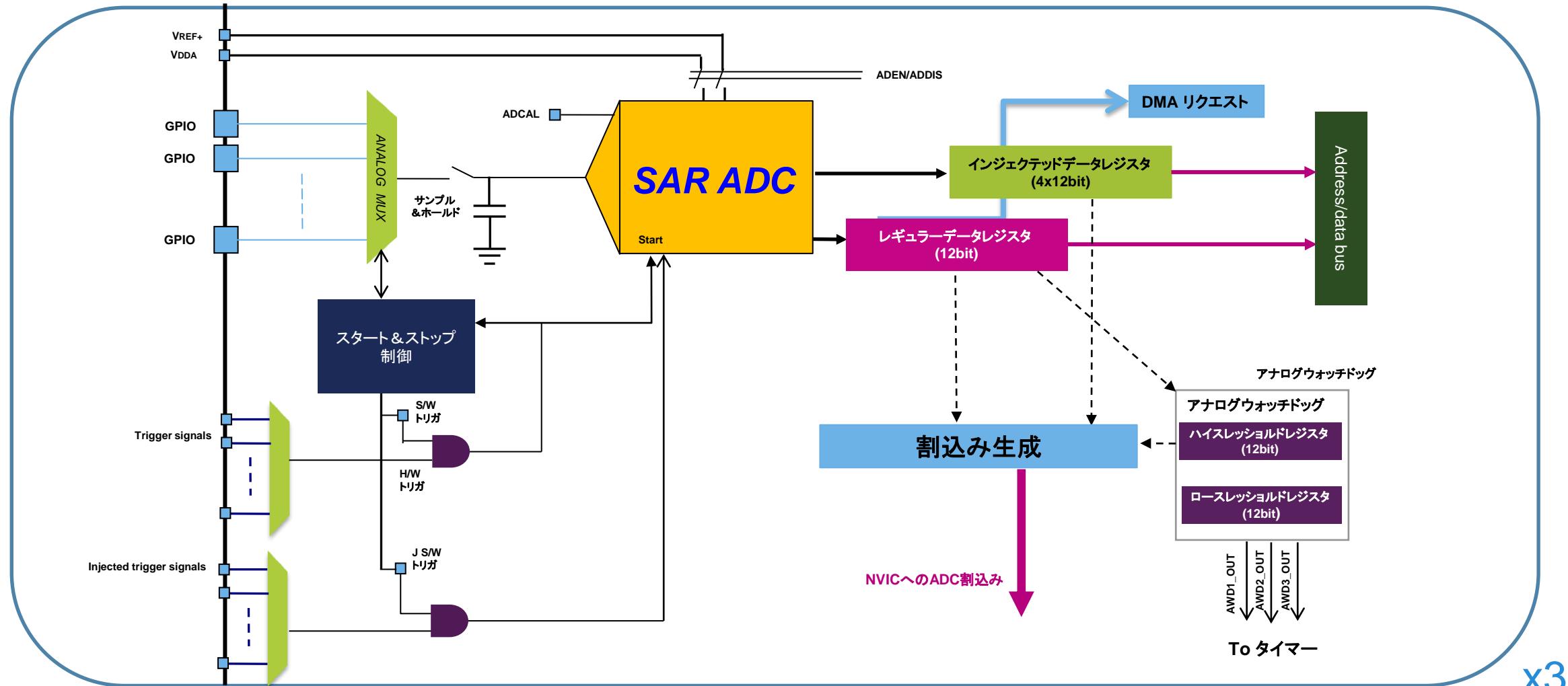
主な特長

3

ADC ユニット	3 モジュール
入力チャンネル	16..24 外部チャンネル (GPIOs)、シングル/差動
テクノロジー	12bit 逐次比較型
変換時間	188nS、5.33M サンプル/s ($f_{ADC_CLK} = 80MHz$ のとき)
機能モード	シングル、連続、スキャン、不連続、or インジェクテッド
トリガー	ソフトウェア or 外部トリガ (for タイマ & IOs)
特別機能	ハードウェア・オーバーサンプリング、アナログ・ウォッチドッグ
データ処理	割込み発生、DMA リクエスト
低消費電力モード	ディープパワーダウン、自動遅延、スピードに応じた消費電力

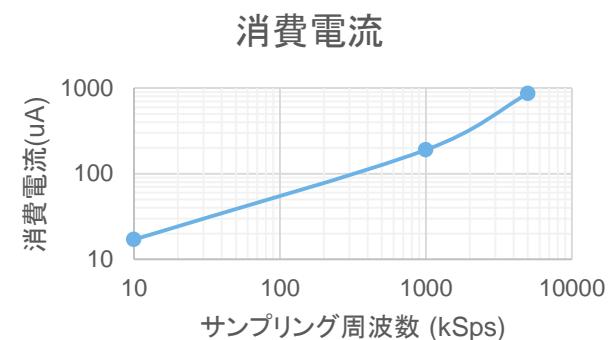
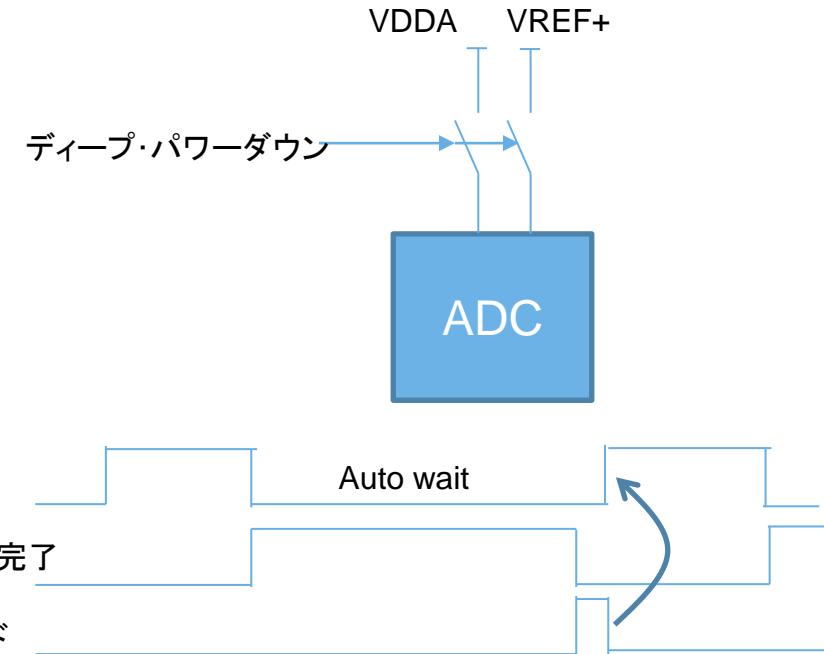
ブロック図

4



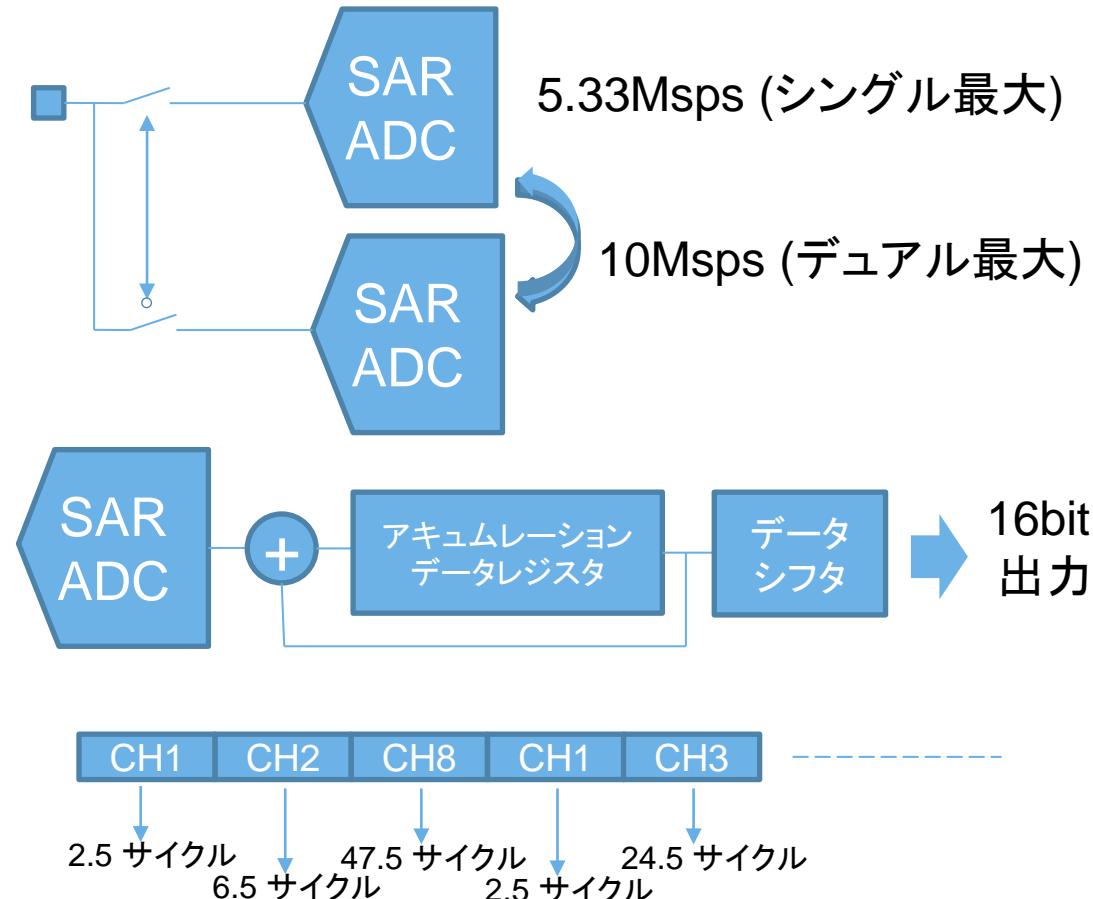
いくつかの低消費電力機能が実装されています

- ディープ・パワーダウン・モード
 - ADCへの内部電源は、漏れを抑えるためのパワー・スイッチによって、ディセーブルすることができます。
- オートディレイ変換
 - ADCは、前のデータがリードされるまで、自動的に待つことができます。
- サンプリング時間に依存する消費電力
 - $865\mu\text{A}$ @ 5M サンプル/s、 $190\mu\text{A}$ @ 1M サンプル/s、 $17\mu\text{A}$ @ 10k サンプル/s



いくつかの高性能な機能が実装されています

- 80MHz ADCクロックで5.33Mサンプル/s
- インタリーブ・モードは、10Mサンプル/sまでサポート可能です。
- ハードウェアオーバーサンプリング
 - アキュムレータとビットシフタは、CPUのサポートなしに16bitのデータを出力可能です。
- フレキシブルシーケンサ
- オフセット低減のためのオートキャリブレーション



変換スピードは分解能に依存

- ADC は、最低サンプル周期のための $2.5_{\text{ADC_CLKs}}$ と変換(12bit)のための $12.5_{\text{ADC_CLKs}}$ が必要です。
- 80MHz の最大クロックと 5.33Mサンプル/秒で 15 サイクルの結果。
- 低分解能によるスピードアップ
 - 10bit : $10.5_{\text{ADC_CLKs}} (+2.5) \Rightarrow 6.15\text{Mサンプル/s}$
 - 8bit : $8.5_{\text{ADC_CLKs}} (+2.5) \Rightarrow 7.27\text{Mサンプル/s}$
 - 6bit : $6.5_{\text{ADC_CLKs}} (+2.5) \Rightarrow 8.88\text{Mサンプル/s}$

分解能	$t_{\text{Conversion}}$
12bit	12.5 サイクル
10bit	10.5 サイクル
8bit	8.5 サイクル
6bit	6.5 サイクル

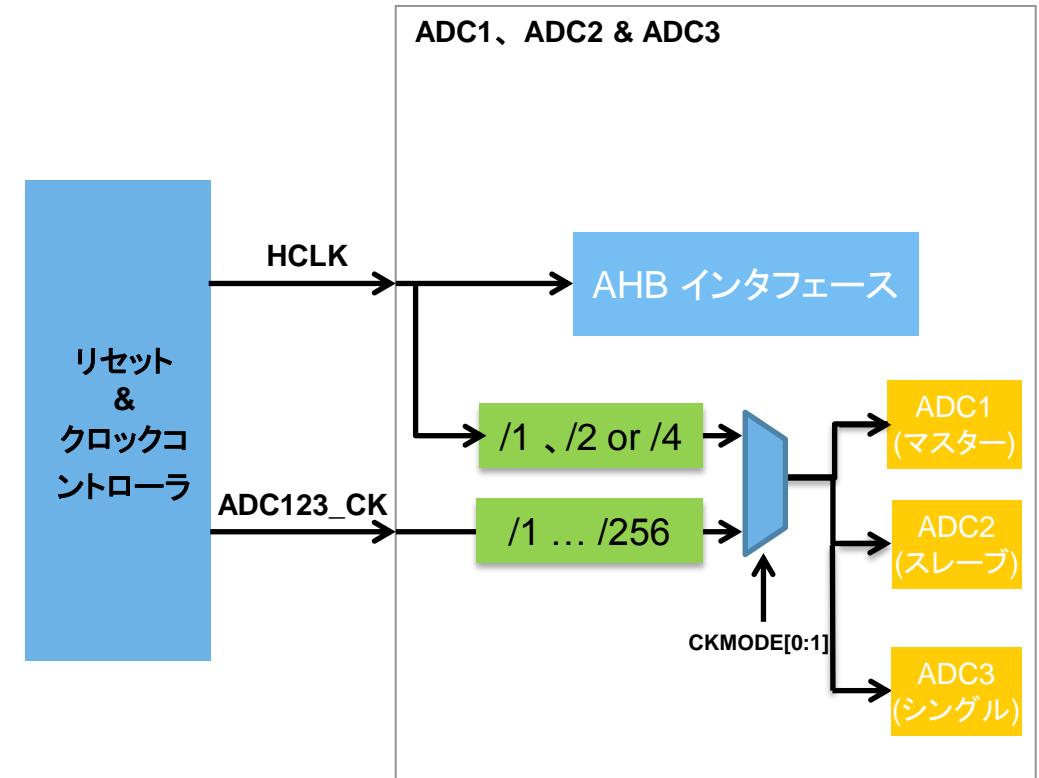
プログラム可能なサンプリング時間

- 以下のサンプリング時間が選択できます
 - 2.5 サイクル
 - 6.5 サイクル
 - 12.5 サイクル
 - 24.5 サイクル
 - 47.5 サイクル
 - 92.5 サイクル
 - 247.5 サイクル
 - 640.5 サイクル
- スキャンモードが選択されている場合、各入力チャンネルは、異なるサンプリング時間を持つことができます。
 - 1つのADCは、入力ソースのインピーダンスに関係なく、異なる入力ソースをスキャン可能です。

柔軟なクロック選択

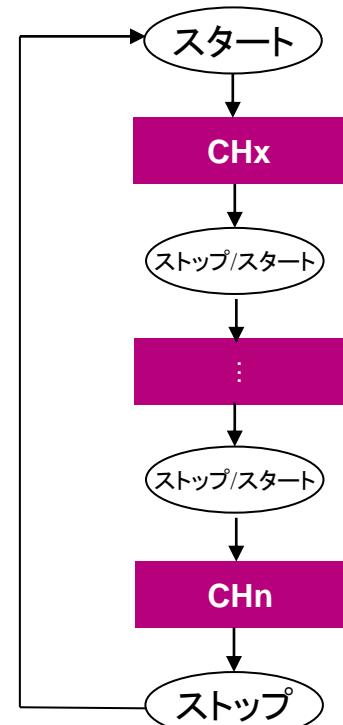
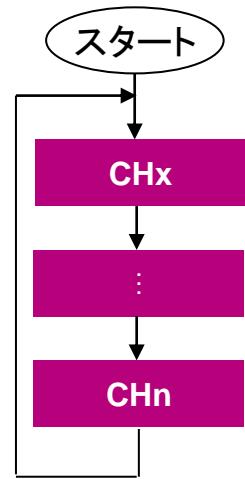
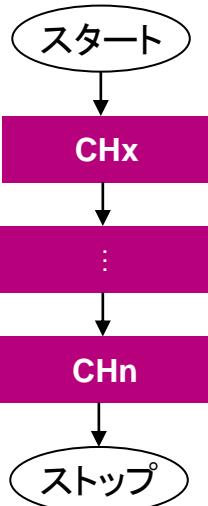
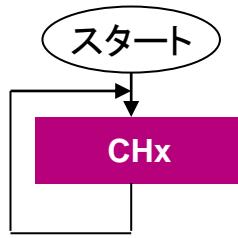
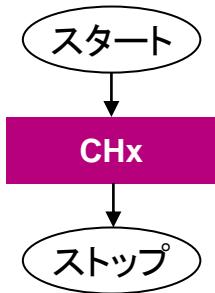
- ADC クロックは、以下から選択可能です。

- 1、2 または4で割ったAHB クロック
もし、トリガーイベントがAHBクロックに依存する場合、イベントと変換の開始との間のレイテンシーは、確定しています。
- 専用のADCクロック
システムクロック(AHB)から独立、非同期
ADCがフルスピードで動作していたとしても、CPU
は低速で動作可能。



ADC変換モード

10



シングル

シングル連続

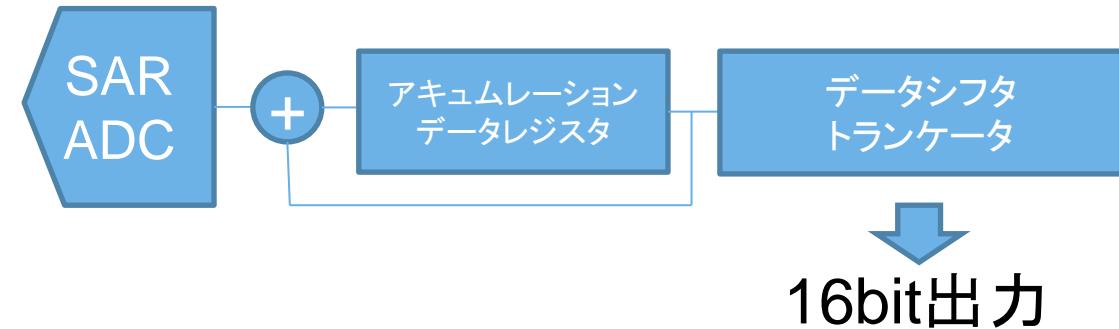
スキャン:複数チャンネル

スキャン: 連続
(複数チャンネル繰り返し)

不連続モード

CPUの負荷低減のためのデータプリプロセッシング

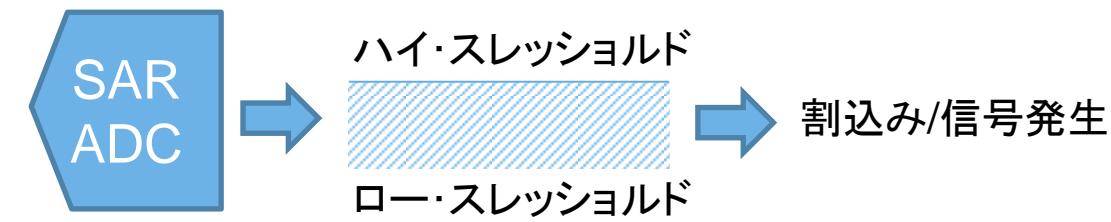
- プログラマブルオーバーサンプリング比: x2、x4、x8、x16、x32、x64、x128、x256
- プログラマブルデータシフタとトランケータ 0~8bitのライトシフト
- 16bitまでのADCの結果
- 平均、データレートの低減、SNRの改善、基本的なフィルタリング



オーバーサンプリング比	出力分解能	等価サンプリング周波数 最大
x4	13bit	1.33Mサンプル/s
x16	14bit	333kサンプル/s
x64	15bit	83kサンプル/s
x256	16bit	20.8kサンプル/s

ソフトウェアオーバーヘッドの低減

- 各ADCは、3つのウインドウ・コンパレータを持っています。
 - 1つの12bitアナログ・ウォッチドッグは、1つの選択されたチャンネルか全ての有効なチャンネルをモニタ可能です。
 - 2つの8bitアナログ・ウォッチドッグは、いくつかの選択されたチャンネルをモニタ可能です。
- 各ウォッチドッグは、連続的にスレッショルドの上下かの状態をモニタし、そしてタイマの停止、外部信号、割込みを発生させます。



ソフトウェアオーバーヘッドの低減

- 通常の変換データは、16bitデータレジスタに保存されます。
 - ソフトウェア・ポーリング、割込み、DMAリクエストは、データの移動に使うことが可能です。
 - OVERRUNフラグは、現在のデータによって、先に変換されたデータが上書きされるときに、セットされます。
 - アナログウォッチドッグに関して、各データを処理する必要はありません。OVERRUNフラグをディセーブルすることは可能です。
- インジェクテッド変換データは、4つの16bitデータレジスタに保存されます。
 - インジェクテッド変換データは、専用のレジスタに保存されます。通常のデータシーケンスは、入力変換が発生したとしても、そのまま続けることが可能です。

ADC変換中の割込み

- A/Dコンバータは、通常の変換が行われていたとしても、インジェクテッド・トリガーを受け入れ可能です。
 - トリガーは、通常の変換を停止させ、そしてインジェクテッド変換をスタートさせます。1つのトリガーで、4つのインジェクテッド変換まで使用可能です。
 - インジェクテッド変換が終了し次第、オートレジュームが発生します。
 - 4つの専用16bitデータレジスタは、インジェクテッド変換結果に使用可能です。
 - ユーザのファームウェアで使用するために、割込みやフラグを生成します。
 - インジェクテッド変換のキューは、その場で再プログラム可能です。

割込みとDMA

15

割込みイベント	説明	割込みイベント	説明
ADRDY	ADCは変換準備完了	AWDx	アナログ・ウォッチドッグスレッショルド超え検出発生
EOC	通常変換の最後	EOSMP	サンプリングフェーズの最後
EOS	通常変換グループのシーケンスの最後	OVR	データオーバーラン発生
JEOC	インジェクテッド変換の最後	JQOVF	インジェクテッド・シーケンス・コンテキストキュー・オーバーフロー
JEOS	インジェクテッド変換グループのシーケンスの最後		

- DMAリクエストは、各チャネルの変換後に発生可能です。

ローパワーモード

16

モード	説明
ラン(Run)	アクティブ
スリープ(Sleep)	アクティブ。ペリフェラル割込みは、デバイスをSleepモードから復帰させます。
ローパワーラン (Low-power run)	アクティブ
ローパワースリープ (Low-power sleep)	アクティブ ペリフェラル割込みは、デバイスを低消費電力Sleepモードから復帰させます。
ストップ1(Stop 1)	利用不可。ペリフェラル・レジスタの内容は保持されます。
ストップ2(Stop 2)	利用不可。ペリフェラル・レジスタの内容は、保持されます。
スタンバイ(Standby)	パワーダウン。ペリフェラルは、スタンバイモードから復帰後、再初期化が必要。
シャットダウン(Shutdown)	パワーダウン。ペリフェラルは、シャットダウンモードから復帰後、再初期化が必要です。

- ディープ・パワーダウン・モードにおいて、各ADCのアナログ部は、オンチップパワースイッチによりスイッチオフされます。キャリブレーションデータは、保持されます。

	条件	データ (typ)	単位
サンプリングレート	12bitモード	5.33	Mサンプル/s
	6ビットモード	8.89	Mサンプル/s
DNL		+/-1	LSB
INL		+/-1.5	LSB
ENOB	シングルエンド	10.3	Bit
	差動	10.9	Bit
消費電流	5 Mサンプル/s	865	µA
	1 Mサンプル/s	190	µA
	10 kサンプル/s	17	µA

- このペリフェラルにリンクされている以下のペリフェラルのトレーニングがあれば参照してください。
 - DMA – ダイレクトメモリアクセスコントローラ
 - Interrupts – 割込み
 - GPIO – 汎用入出力
 - RCC – クロックモジュール
 - DAC – デジタル/アナログ・コンバータ
 - TIM – 割込みのトリガーとイベントのためのタイマー

各ADCの特長

19

ADCの特長	ADC1	ADC2	ADC3
デュアルモード	マスタ	スレーブ	-
内部チャンネル接続	Bandgap 温度センサ VBAT	DAC1出力 DAC2出力	DAC1出力 DAC2出力 温度センサ VBAT

- 詳細については、以下の資料をご参照ください。
 - AN2834: How to get the best ADC accuracy in STM32Fx Series and STM32L1 Series devices
 - AN4073: How to improve ADC accuracy when using STM32F2xx and STM32F4xx microcontrollers
 - AN2668: Improving STM32F1x and STM32L1x ADC resolution by oversampling